

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02008/001818

発行日 平成21年11月26日 (2009.11.26)

(43) 国際公開日 平成20年1月3日 (2008.1.3)

(51) Int.Cl. F I テーマコード (参考)
 GO 1 R 31/3183 (2006.01) GO 1 R 31/28 Q 2 G 1 3 2

審査請求 有 予備審査請求 有 (全 21 頁)

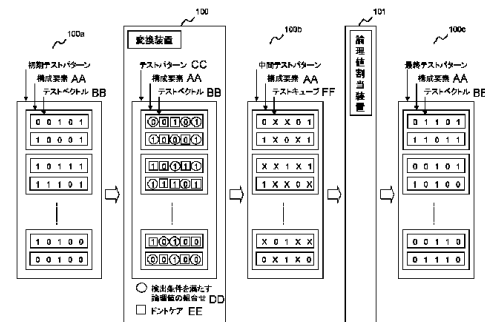
出願番号	特願2008-522609 (P2008-522609)	(71) 出願人	503360115 独立行政法人科学技術振興機構 東京都千代田区四番町5-3 サイエンス プラザ5F
(21) 国際出願番号	PCT/JP2007/062929	(71) 出願人	504174135 国立大学法人九州工業大学 福岡県北九州市戸畑区仙水町1番1号
(22) 国際出願日	平成19年6月27日 (2007.6.27)	(71) 出願人	504125469 株式会社システム・ジェイディー 福岡県福岡市早良区百道浜三丁目8番33 号
(31) 優先権主張番号	特願2006-180655 (P2006-180655)	(74) 代理人	100116573 弁理士 羽立 幸司
(32) 優先日	平成18年6月30日 (2006.6.30)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 変換装置、変換方法、変換方法をコンピュータに実行させることが可能なプログラム、及び、このプログラムを記録した記録媒体

(57) 【要約】

あらかじめ与えられた初期テストパターンを、その構成要素で検出できる遷移遅延故障の故障検出率を下げずに、論理値が異なるビット構成のテストパターンに変換する変換装置等を提供する。論理回路に対して予め与えられた初期テストパターン100aを論理値が異なるビット構成の中間テストパターン100bに変換する変換装置において、前記初期テストパターン100aの構成要素は少なくとも2つの連続して印加されるテストベクトルであり、前記構成要素の印加により検出される前記論理回路の故障の検出条件を満たす初期テストパターン100a中の論理値の組合せを決定する決定手段を備える。



- 100a INITIAL TEST PATTERN
- AA COMPONENT
- BB TEST VECTOR
- 100 CONVERSION DEVICE
- CC TEST PATTERN
- DD COMBINATION OF LOGICAL VALUES SATISFYING DETECTING CONDITIONS
- EE DONT CARE
- 100b INTERMEDIATE TEST PATTERN
- FF TEST CUBE
- 101 LOGICAL VALUE ASSIGNING DEVICE
- 100c FINAL TEST PATTERN

【特許請求の範囲】**【請求項 1】**

論理回路に対して予め与えられたテストパターンを論理値が異なるビット構成のテストパターンに変換する変換装置において、

前記テストパターンの構成要素は少なくとも 2 つの連続して印加されるテストベクトルであり、

前記構成要素の印加により検出される前記論理回路の遅延故障の検出条件を満たすテストパターン中の論理値の組合せを決定する決定手段を備える、変換装置。

【請求項 2】

前記決定手段は前記遅延故障の検出条件である信号値変化前に必要となる初期条件及び変化後の信号値を確認する条件の二つの条件のいずれをも満たすテストパターン中の論理値の組合せを決定する、請求項 1 記載の変換装置。

【請求項 3】

前記決定手段により決定された論理値の組合せに含まれないビットの論理値をドントケアとするドントケア決定手段を備える、請求項 2 記載の変換装置。

【請求項 4】

論理回路に対して予め与えられたテストパターンを論理値が異なるビット構成のテストパターンに変換する変換方法において、

前記テストパターンの構成要素は少なくとも 2 つの連続して印加されるテストベクトルであり、

決定手段が前記構成要素の印加により検出される前記論理回路の故障の検出条件を満たすテストパターン中の論理値の組合せを決定する決定ステップを含む、変換方法。

【請求項 5】

前記決定ステップは前記決定手段が前記故障の検出条件である信号値変化前に必要となる初期条件及び変化後の信号値を確認する条件の二つの条件のいずれをも満たすテストパターン中の論理値の組合せを決定する、請求項 4 記載の変換方法。

【請求項 6】

前記決定ステップにより前記決定手段が決定した論理値の組合せに含まれないビットの論理値をドントケアとするドントケア決定ステップを含む、請求項 5 記載の変換方法。

【請求項 7】

請求項 4 から 6 のいずれかに記載の変換方法をコンピュータに実行させることが可能なプログラム。

【請求項 8】

請求項 7 記載のプログラムをコンピュータが実行することが可能にて記録した記録媒体。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、変換装置、変換方法、変換方法をコンピュータに実行させることが可能なプログラム、及び、このプログラムを記録した記録媒体に関し、特に、論理回路に対して予め与えられたテストパターンを論理値が異なるビット構成のテストパターンに変換する変換装置等に関する。

【背景技術】**【0002】**

以下に、従来から提案されてきた縮退故障検出を前提とした、テストパターン内のドントケアの抽出手法について説明する。

【0003】

図 9 は、一般的な論理回路におけるフルスキャン順序回路の模式図である。

【0004】

10

20

30

40

50

一般に、半導体論理回路は主に順序回路である。順序回路は、アンド（AND）ゲート、ナンド（NAND）ゲート、オア（OR）ゲート、ノア（NOR）ゲート等の論理素子からなる組合せ回路部1201と、回路の内部状態を記憶するフリップフロップ1203とを備える。この場合、組合せ回路部1201は、外部入力線（PI）、フリップフロップの出力線である擬似外部入力線（PPI）、外部出力線（PO）、フリップフロップの入力線である擬似外部出力線（PPO）を有する。組合せ回路部1201への入力は、外部入力線より直接与えられるものと、擬似外部入力線を介して与えられるものがある。また、組合せ回路部1201からの出力は、外部出力線に直接現れるものと擬似外部出力線に現れるものがある。

【0005】

しかし、順序回路のフリップフロップ1203の出力線（擬似外部入力線）と入力線（擬似外部出力線）は一般に外部より直接アクセスできない。従って、組合せ回路部1201をテストするためには、擬似外部入力線の可制御性及び擬似外部出力線の可観測性に問題がある。

【0006】

上述の組合せ回路部1201のテストにおける可制御性及び可観測性の問題を解決する主な手法として、フルスキャン設計がある。フルスキャン設計とは、フリップフロップをスキャンフリップフロップに置き換えた上で、それらを用いて1本または複数本のスキャンチェーンを形成することである。スキャンフリップフロップの動作はスキャンインネーブル（SE）信号線で制御される。例えば、SE=0のとき、従来のフリップフロップと同じ動作をし、クロックパルスが与えられると、組合せ回路部1201からの値でスキャンフリップフロップの出力値が更新され、また、SE=1のとき、同じスキャンチェーンにある他のスキャンフリップフロップと1つのシフトレジスタを形成し、クロックパルスが与えられると、外部から新しい値がスキャンフリップフロップにシフトインされると同時に、スキャンフリップフロップに現存の値が外部へシフトアウトされる。一般に、同じスキャンチェーンにあるスキャンフリップフロップは同じスキャンインネーブル（SE）信号線を共有するが、異なるスキャンチェーンのスキャンインネーブル（SE）信号線は同一の場合もあれば異なる場合もある。

【0007】

フルスキャン順序回路の組合せ回路部のテストはスキャンシフトとスキャンキャプチャを繰り返すことによつて行われる。スキャンシフトは、スキャンインネーブル（SE）信号が論理値1にされているシフトモードで行われる。シフトモードにおいては、1つまたは複数のクロックパルスが与えられ、外部から1つまたは複数の新しい値がスキャンチェーン内のスキャンフリップフロップにシフトインされる。また、それと同時に、そのスキャンチェーン内のスキャンフリップフロップに現存の1つまたは複数の値が外部へシフトアウトされる。スキャンキャプチャは、スキャンインネーブル（SE）信号が論理値0にされているキャプチャモードで行われる。キャプチャモードにおいては、1つのスキャンチェーンにあるすべてのスキャンフリップフロップに同時に1つのクロックパルスが与えられ、組合せ回路部の擬似外部出力線の値がすべてのスキャンフリップフロップに取り込まれる。

【0008】

スキャンシフトは、擬似外部入力線を介して組合せ回路部1201へテストベクトルを印加するためと、擬似外部出力線を介して組合せ回路部1201からテスト応答を観測するために用いられる。また、スキャンキャプチャは、組合せ回路部1201のテスト応答をスキャンフリップフロップに取り込むために用いられる。すべてのテストベクトルに対して、スキャンシフトとスキャンキャプチャを繰り返すことによつて、組合せ回路部をテストすることができる。このようなテスト方式はスキャンテスト方式という。

【0009】

スキャンテスト方式では、組合せ回路部1201へのテストベクトルの印加は、外部入力から直接行われる部分と、スキャンシフトによつて行われる部分とがある。スキャンシ

10

20

30

40

50

フトによって、任意の論理値を任意のスキャンフリップフロップに設定することができるので、擬似外部入力線の可制御性の問題が解決される。組合せ回路部 1 2 0 1 からのテスト応答の観測は、外部出力から直接行われる部分と、スキャンシフトによって行われる部分とがある。スキャンシフトによって、任意のスキャンフリップフロップの出力値を観測することができるため、擬似外部出力線の可観測性の問題が解決される。このように、スキャンテスト方式においては、自動テストパターン生成（以下、A T P G とする）プログラムを用いてテストベクトル及び期待テスト応答を求めるだけで十分である。

【 0 0 1 0 】

図 1 0 は、テスト入力とテスト応答との関係を示した模式図である。

【 0 0 1 1 】

図 1 0 において、テストベクトルに dont care (X) が存在する場合、それによってテスト応答にも dont care が現れる。dont care が存在する原因は、1 つまたは複数の縮退故障を検出するために、テスト入力の一部のビットのみに論理値が決まれば十分であることによる。このような dont care をもつテストベクトルは、テストキューブとも呼ばれ、A T P G または dont care 発見手法によって求められる。dont care には、自由に論理値 0 または 1 を割り当てることができる。

【 0 0 1 2 】

dont care を抽出する方法についての技術がいくつか開示されている（非特許文献 1 ~ 非特許文献 7）。ここでは、非特許文献 1 と非特許文献 2 の技術について簡単に説明する。

【 0 0 1 3 】

非特許文献 1 では、ビット独立と呼ばれる手法に基づいた方法について述べられている。まず、テストベクトル v は、 v のみで検出可能なすべての故障 $F(v)$ を決定するために故障シミュレーションが実行される。次に、 v の最初のビットを仮に dont care とし、3 値故障シミュレーションで $F(v)$ が実際に検出可能かどうかを検証する。検出可能であればそのまま dont care とし、そうでなければ本来の値に戻す。これを全ビットについて繰り返すことにより、dont care を抽出する。

【 0 0 1 4 】

非特許文献 2 では、故障シミュレーションと A T P G の処理手順の一部を用いて、可能な限り多くの dont care の組合せを求める。ただし、初期テストパターンの故障検出率は維持される。以下に例を用いて簡単に説明する。図 1 1 は、テストパターン中の dont care を決定する場合の例を示す回路図である。

【 0 0 1 5 】

縮退故障に対する初期テストパターンが与えられたとすると、その初期テストパターンの中のビットには反対の論理値に変えても故障検出率を低下させないビットがある。そのようなビットは dont care とすることができる。例えば、図 1 1 において、テストベクトル $\langle a, b, c, d \rangle = \langle 1, 0, 0, 1 \rangle$ が与えられ、それは信号線 e の 1 縮退故障のみを検出するテストベクトルであるとする。テストベクトル $\langle a, b, c, d \rangle = \langle 1, 0, 0, 1 \rangle$ は、信号線 (a, b, c, d) に値 $(1, 0, 0, 1)$ がそれぞれ印加されることを表す。テストベクトル $\langle a, b, c, d \rangle = \langle 1, 0, 0, 1 \rangle$ が信号線 e の 1 縮退故障のみを検出できればよいため、信号線 b または c の論理値 0 は不必要であり、どちらかの論理値は dont care とすることができる。縮退故障を検出する条件は、故障の活性化と故障の伝搬を保証することである。

【 0 0 1 6 】

まず、図 1 1 の回路を故障の活性化について見てみると、信号線 e の 1 縮退故障を検出するには信号線 e に論理値 0 を割り当てる必要がある。そのため信号線 b または c のどちらか一方を論理値 0 にすることが必要であるが、もう一方の信号線は論理値 0 と 1 のどちらの値になっても活性化に影響を与えることはない。よって、その信号線の値は dont care に変えることができる。この例では、信号線 c に印加する論理値を dont care とする。

【 0 0 1 7 】

10

20

30

40

50

次に故障の伝搬について見てみると、図 1 1 の回路図では故障箇所 e から外部出力 (h と i) まで 2 つの伝搬経路 (e - f - h と e - g - i) がある。このように複数の伝搬経路がある場合、任意の基準で伝搬経路を選択することができる。この例では、伝搬経路 e - f - h を選択する。この伝搬経路を活性化するために、信号線 a には論理値 1 を印加する必要がある。それにより信号線 e の 1 縮退故障は外部出力 h に伝搬でき、検出が可能になる。よって残りの信号線 d は dont care とすることができる。結果得られたテストキューブ $\langle a, b, c, d \rangle = \langle 1, 0, X, X \rangle$ はテストベクトル $\langle a, b, c, d \rangle = \langle 1, 0, 0, 1 \rangle$ と同じように、信号線 e の 1 縮退故障を検出することが可能である。この例のようにして、テストパターン中のいくつかのビットは故障検出率を低下させずに dont care に変えることができる場合がある。この非特許文献 2 の方法は、テストパターン中の全てのビットについてシミュレーションを行なうわけではないので、実行時間においては非特許文献 1 で提案された手法よりも格段に高速である。

10

【 0 0 1 8 】

【非特許文献 1】R.Sankaralingam, N.A.Touba, "Controlling peak power during scan testing", Proceedings of the IEEE VLSI Test Symposium, pp.153-159, 2002.

【非特許文献 2】S.Kajihara, K.Miyase, "On Identifying Don't Care Inputs of Test Patterns for Combinational Circuits", ICCAD-2001, pp.364-369, Nov.2001.

【非特許文献 3】A.El-Maleh, and, A.Al-Suwaiyan, "An efficient test relaxation technique for combinational & full-scan sequential circuits.", Proceedings of IEEE VLSI Test Symposium, pp.53-59, April 2002.

20

【非特許文献 4】A.El-Maleh, and, K.Al-Utaibi, "An efficient test relaxation technique for synchronous sequential circuits.", Proceedings of IEEE VLSI Test Symposium, pp.179,185, April 2003.

【非特許文献 5】Y.Higami, S.Kajihara, S.Kobayashi, Y.Takamatsu, and, I.Pomeranz, "A method to find don't care values in test sequences for sequential circuits.", Proceedings of IEEE International Conference on Computer Design, pp.397-399, Oct.2003.

【非特許文献 6】B.Koenemann, et.al., "A smart BIST variant guaranteed encoding.", Proceedings of 10th Asian Test Symposium, pp.325-330, November 2001.

30

【非特許文献 7】H.-G.Liang, S.Hellebrand, and, H.-J.Wunderlich, "Two-dimensional test data compaction for scan-based deterministic BIST.", Proceedings of IEEE International Test Conference, pp.894-901, November 2001.

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 9 】

近年、半導体回路の大規模微細化に伴い、VLSI のタイミングに関する欠陥が増大しつつある。このため、VLSI のテストにおいても実動作速度での性能を保証することが重要となってきた。タイミングに関する欠陥は、縮退故障モデルのもとで作成される縮退故障検出用テストパターンでは検出できない。そのため、遷移遅延故障モデルやパス遅延故障モデルを用いた実動作速度でのテストが必要である。しかしながら、遅延故障モデルに対する実動作速度テストでは、上述した従来の縮退故障のテスト以上に、テストパターンのサイズが膨大となり、それに伴いテスト印加時間も増大する。また、テスト時の消費電力が増大する問題もある。

40

【 0 0 2 0 】

1 つの縮退故障を検出するためには 1 つのテストベクトルで検出可能だが、1 つの遅延故障を検出するためには 2 つのテストベクトルが必要である。これが縮退故障検出用のテストパターンのサイズに比べて遅延故障検出用のテストパターンのサイズが増大する理由

50

である。テストパターンのサイズが増大する問題を解決するための有力な手掛りとしてテストパターン内のドントケアを利用したテストパターン圧縮手法が提案されている。

【0021】

しかしながら、非特許文献1の技術は、テストパターン中のビットの数だけ故障シミュレーションを繰り返すので、処理時間が故障数、テストベクトル数、及び、テストベクトルのビット数に比例する。したがって、大規模回路への適用は処理時間の面で実用的でない。

【0022】

また、故障シミュレーションとATPGを応用する非特許文献2の手法は、非特許文献1に比べて実行時間が短いのが特徴である。しかし、縮退故障検出を前提とするものであって、遅延故障検出のためにドントケアを抽出する手法はまだ提案されていないのが現状である。

10

【0023】

上記と同様に非特許文献3～7についても、いずれも縮退故障検出用のテストパターンを対象とする手法であり、遅延故障検出用テストパターンに対しては適用可能性を保障できない。

【0024】

ゆえに、本発明は、上記問題を解決するため、あらかじめ与えられた初期テストパターンを、その構成要素で検出できる遷移遅延故障の故障検出率を下げずに、論理値が異なるビット構成のテストパターンに変換する変換装置、変換方法、変換方法をコンピュータに実行させることが可能なプログラム、及び、このプログラムを記録した記録媒体を提供することを目的とする。

20

【課題を解決するための手段】

【0025】

請求項1に係る発明は、論理回路に対して予め与えられたテストパターンを論理値が異なるビット構成のテストパターンに変換する変換装置において、前記テストパターンの構成要素は少なくとも2つの連続して印加されるテストベクトルであり、前記構成要素の印加により検出される前記論理回路の遅延故障の検出条件を満たすテストパターン中の論理値の組合せを決定する決定手段を備える変換装置である。

【0026】

30

請求項2に係る発明は、請求項1記載の変換装置であって、前記決定手段は前記遅延故障の検出条件である信号値変化前に必要となる初期条件及び変化後の信号値を確認する条件の二つの条件のいずれをも満たすテストパターン中の論理値の組合せを決定する。

【0027】

請求項3に係る発明は、請求項2記載の変換装置であって、前記決定手段により決定された論理値の組合せに含まれないビットの論理値をドントケアとするドントケア決定手段を備える。

【0028】

請求項4に係る発明は、論理回路に対して予め与えられたテストパターンを論理値が異なるビット構成のテストパターンに変換する変換方法において、前記テストパターンの構成要素は少なくとも2つの連続して印加されるテストベクトルであり、決定手段が前記構成要素の印加により検出される前記論理回路の故障の検出条件を満たすテストパターン中の論理値の組合せを決定する決定ステップを含む変換方法である。

40

【0029】

請求項5に係る発明は、請求項4記載の変換方法であって、前記決定ステップは前記決定手段が前記故障の検出条件である信号値変化前に必要となる初期条件及び変化後の信号値を確認する条件の二つの条件のいずれをも満たすテストパターン中の論理値の組合せを決定する。

【0030】

請求項6に係る発明は、請求項5記載の変換方法であって、前記決定ステップにより前

50

記決定手段が決定した論理値の組合せに含まれないビットの論理値をドントケアとするドントケア決定ステップを含む。

【0031】

請求項7に係る発明は、請求項4から6のいずれかに記載の変換方法をコンピュータに実行させることが可能なプログラムである。

【0032】

請求項8に係る発明は、請求項7記載のプログラムをコンピュータが実行することが可能にて記録した記録媒体である。

【発明の効果】

【0033】

本発明によれば、遷移遅延故障検出用のテストパターンを圧縮により削減する有効な手段を実現しているため、遷移遅延故障検出用のテストパターンのサイズが膨大になるという問題が改善され、遷移遅延故障のテスト印加時間を短縮することができる。

【0034】

また、本発明によれば、テスト時の消費電力量が削減されるようなテストパターンに変換することで、テスト時の消費電力量を削減できる。したがって、歩留まりの低下を防ぐのに役立つ。

【0035】

さらに、本発明によれば、予め与えられた初期テストパターンの故障検出率を低下させずに、テストパターンを圧縮する等の新しい特徴を持たせることができる。

【0036】

さらに、本発明によれば、遅延故障検出用のテストパターンのサイズが小さくなるため、従来はテストパターンのサイズが膨大なためにテスト印加時間が増大し、十分にテストできなかった遅延故障に対するテストが可能となる。従って、これまでテストが不十分のため本来不良品なのに良品として出荷していた半導体装置のテストが可能となるため、半導体装置の品質が向上する。

【0037】

さらに、本発明の手法は、スキャン回路の方式及びクロックの種類、クロックの数に依存しないため、フルスキャン設計を適用した半導体装置全般に対して適用できる。すなわち、複数本のスキャンチェーンが存在する半導体装置、スキャン回路を駆動するクロックが複数個存在する半導体装置、または、スキャン回路に組合せ回路部分からフリップフロップに値を取り込むタイミングが異なる半導体装置に対しても適用可能である。

【図面の簡単な説明】

【0038】

【図1】本発明の概要を示す図である。

【図2】被検査対象回路を2時刻展開した場合の回路構造を示す図である。

【図3】本発明の実施の形態に係る変換装置及び圧縮装置の構成の一例を示したブロック図である。

【図4】本発明の実施の形態に係る変換装置及び圧縮装置の処理の一例を示したフロー図である。

【図5】テストパターンの論理値の組合せの決定方法及びドントケアの決定方法の一例を説明するための簡単な回路図である。

【図6】テスト圧縮の処理の例を示す図である。

【図7】初期テストパターンに対してドントケアの決定を行った実験結果を示す表である。

【図8】図7に示す実験でドントケアが決定されたテストパターンに対して、テスト圧縮を行った場合の実験結果を示す表である。

【図9】一般的な論理回路におけるフルスキャン順序回路の模式図である。

【図10】テスト入力とテスト応答との関係を示した模式図である。

【図11】テストパターン中のドントケアを決定する場合の例を示す回路図である。

10

20

30

40

50

【符号の説明】

【0039】

100a 初期テストパターン

100b 中間テストパターン

【発明を実施するための最良の形態】

【0040】

本発明についての概要を説明する。本発明は、VLSIのテストにおいて実動作速度での性能を保証するためのテスト手法であり、本質的には予め与えられた初期テストパターンの各テストベクトルで検出できる遷移遅延故障の情報をもとにしてテストパターン内にドントケアを決定する手法であり、故障検出率を下げずに各テストベクトルをマージし、与えられたテストパターンを圧縮する等の応用が可能である。また、テストパターンを圧縮することに使用されるだけでなく、スキャンフリップフロップのキャプチャ動作時の消費電力の増大に伴う電源電圧降下に起因する誤テスト回避のためのテストパターンの変換など様々な目的に使用可能である。

10

【0041】

図1は、本発明の概要を示す図である。

【0042】

図1において、初期テストパターン100aは、予め与えられたATPG等の手法により生成されたテストデータである。初期テストパターン100aは、複数の構成要素を備え、各構成要素は少なくとも2つのテストベクトルを備える。図1においては、2つのテストベクトルを備える。1つの遷移遅延故障を検出するには、このように連続する2つのテストベクトルが必要である。初期テストパターン100aは、変換装置100により、図に示すように、故障の検出条件を満たす論理値の組合せ(図中に示す)が決定され、同時にドントケア(図中に示す)が決定される。

20

【0043】

変換装置100は、中間テストパターン100bを生成する。中間テストパターン100bは、複数の構成要素を備え、各構成要素は2つのテストキューブを備える。

【0044】

論理値割当装置101は、生成された中間テストパターン100bのドントケアに対して論理値を割り当てる。論理値割当装置101は、具体的にはテストデータを圧縮する装置や、テスト時の消費電力を削減するための装置である。それぞれの目的に応じて適した論理値をドントケアに割り当てる。

30

【0045】

全てのドントケアに論理値が割り当てられたテストデータは、最終テストパターン100cとして変換される。最終テストパターン100cは、初期テストパターン100aと同様に、複数の構成要素を備え、各構成要素は2つのテストベクトルを備える。しかし、データの内容は初期テストパターン100aとは異なるものとなっている。この最終テストパターン100cは、初期テストパターン100aと故障検出率は同じであるが、圧縮によりデータ量が削減されていたり、テスト時の消費電力が削減できるようなテストパターンに変換されている。

40

【0046】

次に、本発明の実施の形態について説明する。

【0047】

本発明では、遷移遅延故障を検出するテストパターンの変換を行うが、遷移遅延故障を検出する方法として、2つの方法が広く知られている。一方はlaunch-off-shift方式であり、もう一方は、ブロードサイドテスト(launch-off-capture方式)である。本発明では、遷移遅延故障を検出するためにブロードサイドテスト(launch-off-capture方式)を用いる場合を想定する。遷移遅延故障モデルに対する実動作速度テストに広く使われ始めたブロードサイドテストについて概説する。実動作速度テストでは、クロックのタイミングの制御が容易であるためブロー

50

ドサイドテストが使用される。遅延テストは通常2パターンテストを必要とする。始めのパターンは*initialization*パターンと呼ばれ、次のパターンは*launch*パターンと呼ばれる。ブロードサイドテストを用いた場合、*launch*パターンは*initialization*パターンに対するテスト応答から導出する。つまり、*launch*パターンは*initialization*パターンに大きく依存していることになる。それゆえ、必要な*launch*パターンが導出できない場合が起こり得る。しかし、ブロードサイドテストはクロックタイミングの制御が*launch-off-shift*方式のテストよりも容易であるので、遅延故障を検出するためにブロードサイドテストのほうが一般に用いられている。ブロードサイドテストを用いた遷移遅延故障を、背景技術に示す縮退故障の検出の技術と同様の方式で取扱うために2時刻展開回路が用いられる。

10

【0048】

本発明では、ブロードサイドテストに基づいた遷移遅延故障用の初期テストパターンに対して、ドントケアを決定する。まず、遷移遅延故障を背景技術に示す縮退故障の検出の技術と同様に取扱うための2時刻展開について説明する。これにより縮退故障検出用のテストパターンに対するドントケアの決定を遷移遅延故障検出用のテストパターンに対するドントケアの決定に拡張することができる。

【0049】

ブロードサイドテストを用いた場合にドントケアの決定を行うために、被検査対象回路を2時刻に展開する。図2に2時刻展開した場合の回路構造を示す。2時刻展開回路は、一つの回路の各時刻の論理動作を空間的に展開したものである。展開した回路ではクロックの概念がなくなり、一つの大きな組合せ回路のように表される。1時刻目は*initialization*段階として取扱うことができ、2時刻目は*launch*段階として取扱うことができる。*launch*パターンは*initialization*パターンから導出される。

20

【0050】

次に2時刻展開回路を用いた場合、遅延故障の検出が可能となるための条件を定義する。この遅延故障の検出の条件は明確に定式化できる。この定式を用いると、遷移遅延故障用の初期テストパターンに対してもドントケアを決定することができる。

【0051】

遷移遅延故障の検出条件について説明する。信号線*a*の遷移遅延故障*f*を検出するためには、信号線*a*の2時刻目に相当する信号線*a*₂で縮退故障の検出が必要である。2時刻目の回路で故障の活性化を保証するため、信号線*a*の値は1時刻目と2時刻目で反対の論理値でなければならない。そのため1時刻目の信号線*a*₁には、*a*₂とは反対の論理値を割当てする。*a*₂に1縮退故障を仮定した場合の故障の検出は、立上り遷移遅延故障の検出と見なせる。*a*₂に0縮退故障を仮定した場合の故障の検出は、立下り遷移遅延故障の検出と見なせる。それゆえ、遷移遅延故障の検出条件は以下のように定式化することができる。

30

【0052】

信号線*a*の立上り故障*f*の検出条件

- (1) 信号線*a*₂の0縮退故障を検出する。
- (2) 信号線*a*₁に*a*₂と反対の論理値割り当てをする。

40

【0053】

信号線*a*の立下り故障*f*の検出条件

- (1) 信号線*a*₂の1縮退故障を検出する。
- (2) 信号線*a*₁に*a*₂と反対の論理値割り当てをする。

【0054】

上記背景技術で示した縮退故障検出の手法に、上記の検出条件を加えることで、遷移遅延故障用の初期テストパターンに対して、その故障検出率を維持したままドントケアの決定が行えるようになる。

【0055】

50

なお、上記条件とは、上記(1)、(2)の条件を満たしさえすれば、対象となる遷移遅延故障の検出ができる条件である。

【0056】

次に、2時刻展開回路中には構造的に検出が不可能であると分かる故障が存在するため、それらはあらかじめ対象故障から除外する。この対象故障の削減は本発明において処理時間の短縮に直接つながる。

【0057】

実速度テストの場合、launchパターンの導出に制約が存在する場合がある。たとえば、1時刻目と2時刻目で外部入力に印加する論理値を変化させないことである。これにより、1時刻目と2時刻目の値が常に同じになる信号線がある。これは外部入力に印加される論理値によってのみ値が導出される信号線が存在することにより起こる。それゆえ、少なくとも1つ以上の擬似外部入力に印加される論理値により信号線値が導出される場合のみ、その信号線の遷移遅延故障が検出される可能性があると考えられる。その他の故障はこの制約のもとで検出されることは不可能である。そのため、本発明においては、構造的に検出不可能な故障があるため、そのような故障は対象故障からは除外する。これにより本発明での検出対象故障は、前提とする実速度テスト環境下で検出される可能性のある故障のみとなる。

10

【0058】

以下に、本発明の実施の形態に係る変換装置及び圧縮装置について説明する。

【0059】

20

図3は、本発明の実施の形態に係る変換装置及び圧縮装置の構成の一例を示したブロック図である。

【0060】

変換装置200は、メモリ部210と処理部220と入出力インターフェース240とデータ記憶部250とを備える。メモリ部210は、故障リスト部212とテストパターン部216とを備える。処理部220は、故障抽出部222とテストパターン変換部225とを備える。テストパターン変換部225は、テストパターン論理値組合せ決定部226とドントケア決定部232と分布調整部230とを備える。データ記憶部250は、初期パターン252と中間テストパターン254を備える。

【0061】

30

圧縮装置201は、変換装置200と同様に、メモリ部260と処理部270と入出力インターフェース280とデータ記憶部290とを備える。メモリ部260は、マージ情報部262を備える。処理部270は、マージ処理部272と論理値割当部274とを備える。データ記憶部290は、最終テストベクトル集合292を備える。

【0062】

変換装置200と圧縮装置201の処理の概要を簡潔に説明する。ATPG等の手法により生成された初期テストパターン252は、変換装置200の入出力インターフェース240を介して故障抽出部222に輸入される。故障抽出部222は、入力された初期テストパターン252の故障リストを抽出し、メモリ部210の故障リスト部212に保持する。テストパターン変換部225は、故障リスト部212に保持された情報を基に、ドントケアの分布を調整しながらテストパターンの論理値の組合せを決定する。その決定されたテストパターンはテストパターン部216に保持される。そして、テストパターン部216に保持された情報を基に、ドントケア決定部232によりドントケアが決定され、ドントケアを含む中間テストパターン254がデータ記憶部250に保持される。

40

【0063】

圧縮装置201は、変換装置200により生成された中間テストパターン254のデータをデータ記憶部290に記憶しており、入出力インターフェース280を介して処理部270のマージ処理部272に輸入される。マージ処理部272は、入力されたデータを基にテストベクトルをマージし、そのマージされたデータは、メモリ部260のマージ情報部262に保持される。論理値割当部274は、マージ情報部262が保持する情報の

50

うちドントケアに論理値を割り当てて、最終テストパターン 292 が生成される。

【0064】

図4は、本発明の実施の形態に係る変換装置及び圧縮装置の処理の一例を示したフロー図である。

【0065】

まず、ステップST301で、図3の初期テストパターン252のデータを用いて故障抽出部222により検出の対象となる対象故障が抽出される。抽出された対象故障のリストは故障リスト部212に保持される。ステップST302では、故障リスト部212に保持された情報に基づいて、テストパターン論理値組合せ決定部226により、テストパターンの論理値の組合せが決定される。同時に、分布調整部230により対象故障の分布の調整が行われる。ステップST303では、ドントケア決定部232が、ステップST302で決定された論理値の組合せに含まれないビットの論理値をドントケアとして決定する。

10

【0066】

ここで、テストパターンの論理値の組合せの決定及びドントケアの決定について詳細に説明する。

【0067】

図5は、テストパターンの論理値の組合せの決定方法及びドントケアの決定方法の一例を説明するための簡単な回路図である。図5(a)の回路に対して、図5(b)は2時刻展開した場合の回路である。この図5の回路を用いて、テストパターンに対してどのようにドントケアを決定するかを示す。

20

【0068】

まずテストベクトル $\langle a1, b1, c1, d1 \rangle = \langle 1, 1, 0, 0 \rangle$ が、外部入力 (a, c, d) と疑似外部入力 (b) に対して印加される場合を考える。このテストベクトル $\langle a1, b1, c1, d1 \rangle = \langle 1, 1, 0, 0 \rangle$ の検出対象故障は、信号線bの立下り遷移遅延故障のみとする。立下り遷移遅延故障を検出するために、1時刻目の信号線b1には論理値1を割り当てなければならない、信号線b2で1縮退故障の活性化とその伝搬を保証しなければならない。故障の影響を外部出力まで伝搬するために、信号線a2には論理値1を割り当てなければならない。また信号線b2の1縮退故障の活性化には信号線b2を論理値0にしなければならないので、信号線c1かd1に論理値0を割り当てる必要がある。そして残りの信号線に印加される論理値はドントケアとすることができる。この例では、信号線c1に論理値0を割り当てている。信号線d1の値はドントケアに変えることができる。テストキューブ $\langle a1, b1, c1, d1 \rangle = \langle 1, 1, 0, X \rangle$ はテストベクトル $\langle a1, b1, c1, d1 \rangle = \langle 1, 1, 0, 0 \rangle$ から導出でき、かつ同じ故障を検出する。もし信号線bの立下り遷移遅延故障を検出するテストベクトル $\langle a1, b1, c1, d1 \rangle = \langle 1, 0, 1, 1 \rangle$ に対してドントケアの決定を行ったとすると、それは1つのドントケアも見つけずに終了する。その理由はテストベクトルの全ての論理値が信号線bの立下り遷移遅延故障を検出するのに必要であるからである。

30

【0069】

図4に戻って、ステップST303でドントケアが決定され、ドントケアを含む中間テストパターン254が生成されると、ステップST304で、図3の圧縮装置201のマージ処理部272によりマージ処理が行われる。このマージ処理により中間テストパターン254は圧縮されてマージ情報部262に保持される。

40

【0070】

ここで、テスト圧縮について説明する。

【0071】

中間テストパターン中の決定されたドントケアは様々な用途に用いることができる。その有効な利用法のひとつに、テスト圧縮にドントケアを利用する方法がある。テストパターンを圧縮することはテストパターンのサイズを削減し、それによりテスト印加時間も同様に削減できるため、非常に有効な利用法である。

50

【 0 0 7 2 】

ドントケアを含む中間テストパターンが与えられると、いくつかのテストキューブは故障検出率を低下させることなくマージすることができる。テスト圧縮を行うと、2つがそれ以上のテストキューブがマージされ、1つのテストキューブとして取扱うことができ、それによりテストパターンのサイズが削減できる。ドントケアを含むテストパターンがどのようにマージされるかを、図6を用いて説明する。

【 0 0 7 3 】

図6は、テスト圧縮の処理の例を示す図である。

【 0 0 7 4 】

テストキューブ $t_1 < 0, X, 1, X >$ はテストキューブ $t_3 < X, 1, 1, X >$ とマージすることが可能である。2つのテストキューブをマージしてテストキューブ $< 0, 1, 1, X >$ が導出される。そして、そのテストキューブ $< 0, 1, 1, X >$ はさらにテストキューブ $t_6 < 0, 1, X, 0 >$ とマージすることができ、テストキューブ $t'_1 < 0, 1, 1, 0 >$ が導出される。図6に示されるようにテストキューブ $t'_1 < 0, 1, 1, 0 >$ はテストキューブ t_1, t_3, t_6 によって検出される全ての故障を検出できる。よって故障検出率を低下させることなくテストキューブ数を削減することができる。同様の方法で、テストキューブ $t'_2 < 1, 1, 0, 1 >$ はテストキューブ $t_2 < X, 1, 0, 1 >$ とテストキューブ $t_4 < 1, X, 0, X >$ をマージすることで導出される。テストキューブ $t'_3 < 1, 0, 1, X >$ はテストキューブ $t_5 < 1, 0, 1, X >$ と同一のものである。なぜならテストキューブ t_5 はマージすることができるテストキューブがないため、そのまま t'_3 として残されている。そして、最終的にテストパターン (t'_1, t'_2, t'_3) が求まる。このテストパターンの故障検出率は、テストパターン ($t_1, t_2, t_3, t_4, t_5, t_6$) と同じである。しかし、テストキューブ数は6から3に削減されているので、テストパターンのサイズは元のテストパターンの半分に削減できている。

10

20

【 0 0 7 5 】

他にも、より高い圧縮の効果の得られるテストキューブをマージする組合せが存在するかもしれないが、最も良いマージの組合せを見つけることはNP-完全問題である。そして良い組合せを見つける有効なヒューリスティックなアルゴリズムも存在するが、それでも多くの計算時間を要する。従って、本発明の実施の形態では、テストパターンを単純に上から降順に探索し、マージ可能なものをマージしていく方法で行った。この処理であれば $O(n^2)$ で終了し、比較的短い時間で良い圧縮の効果を得ることができる。

30

【 0 0 7 6 】

図4に戻って、ステップST305で、ドントケアに論理値が割り当てられて最終テストパターン292が生成されて処理を終了する。

【 0 0 7 7 】

以下に、本発明の実験結果を説明する。

【 0 0 7 8 】

本実験では、PC (OS : FreeBSD 4.11 Release, CPU : Athlon XP 1800+ 1.53GHz, memory : 768MB) 上にCプログラミング言語を用いて実装し、ISCAS'89ベンチマーク回路に対して行った。実験で使用したテストパターンは、ブロードサイドテストを用いて遷移遅延故障に対して生成されたテストパターンを使用する。そのテストパターンは以下の方法で導出している。なお、1時刻目と2時刻目で外部入力に印加する論理値を変化させないことはできず、また、故障検出は疑似外部出力でのみ可能で外部出力ではできないとする。

40

【 0 0 7 9 】

まず1つの対象故障を選択し、その故障に対してテストパターンの生成を行い、生成したテストパターンで故障シミュレーションを実行する。これにより、そのテストパターンで検出される故障はテスト生成を行う必要はなくなり、テスト生成を行う回数を少なくする。この処理をテスト生成する必要があり、且つ、未処理の対象故障がなくなるまで実行

50

することにより、テストパターンを導出している。また、対象故障集合は、initialization段階とlaunch段階で値が変わる可能性のある信号線上の故障のみで構成される。その他の故障はブロードサイドテストを用いる限り、常に検出不可能な故障として対象故障集合からは除外する。

【0080】

図7は、初期テストパターンに対してドントケアの決定を行った実験結果の表を示す。図7の表中の最初の列は回路名を示す。それに続く3列は、外部入力数、擬似外部入力数、与えられたテストパターンのテストベクトル数をそれぞれ示す。次の3列はそれぞれのテストパターン中で決定されたドントケアの平均の割合、最も多くのドントケアを含むテストベクトル中のドントケアの割合、最も少ないドントケアを含むテストベクトル中のドントケアの割合を、それぞれ%で示す。続く2列は、対象故障数と与えられたテストパターンで検出された故障数をそれぞれ示す。最後の列は、CPUの処理時間を秒で示す。

10

【0081】

与えられたテストパターンに対して、本発明ではテストパターン中に74%以上のドントケアを決定している。また、列“%X-max”はドントケア決定後、全てドントケアで構成されたテストキューブを含んでいることを示す。そのようなテストキューブは削除するか、または、テスト品質を高めるために用いることが可能である。また、列“%X-min”は、いくつかの回路のテストパターンが全くドントケアを含まないテストベクトルを含んでいることと示す。このようなテストベクトルでは、全ての入力値が遷移遅延故障を検出するために用いられていることを意味する。CPU処理時間は、与えられたテストパターンのテストベクトル数と回路規模に依存する。それは本発明の方法がテストベクトルをシリアルに処理しているからである。

20

【0082】

図8は、図7に示す実験でドントケアが決定されたテストパターンに対して、テスト圧縮を行った場合の実験結果の表を示す。この実験で、テスト圧縮には上記で示したように単純に上から降順に探索する方法を用いている。図8の表の最初の列は回路名を示す。次の列“#tests”は、圧縮前と圧縮後のテストパターン中のテストベクトル数を示す。列“%(圧縮率)”は与えられたテストパターンに対するテスト圧縮後のテストベクトル数の割合を%で示す。この結果は与えられたテストパターンを67%まで圧縮することができたことを示す。CPU処理時間については、図8に示される大規模回路に対しても数秒の計算時間で終了する。

30

【0083】

上記実験結果から、本発明の方法がテストパターン中に平均して74%以上のドントケアを決定できたことを示した。また、実験結果はドントケアが決定されたテストパターンに対して良いテスト圧縮の効果を示せた。それはテストパターン中にドントケアを決定することの有効性を示している。

【0084】

なお、上記では2時刻展開回路を用いて、2つの連続して印加されるテストベクトルにより遅延故障を検出しているが、2時刻展開に限らずN時刻展開回路を用いてもよい。また、N個の連続して印加されるテストベクトルにより故障を検出してもよい。その場合の故障は、遅延故障に限定されない。

40

【0085】

また、本発明の実施の形態では、遷移遅延故障の検出を行っているが、バス遅延故障の他、クロストーク、スタックオープン、ブリッジ等、複数テストパターンで検出できる故障であれば応用可能である。

【0086】

さらに、上記条件を満たすテストパターンの論理値の組合せは、そのテストパターンの全てであっても、一部であってもよい。

【0087】

さらに、変換装置と圧縮装置を分けて示しているが、変換装置と圧縮装置を1つの装置

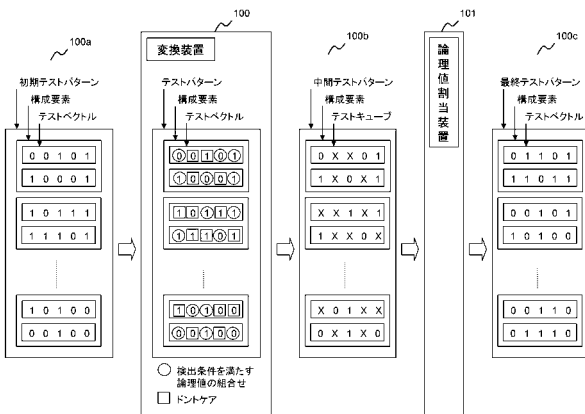
50

と捉えてもよい。

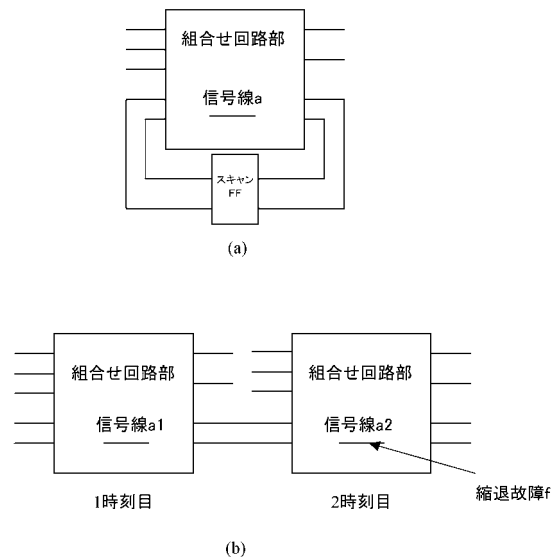
【 0 0 8 8 】

さらに、上記実施の形態における圧縮装置は、テスト時の最大電力を削減するようにドントケアに論理値を割り当てるための装置やテスト時の平均電力を削減するようにドントケアに論理値を割り当てるための装置や対象故障をN回検出するようにドントケアに論理値を割り当てる装置等であってもよい。この場合、これらの装置と変換装置を1つの装置と捉えてもよい。

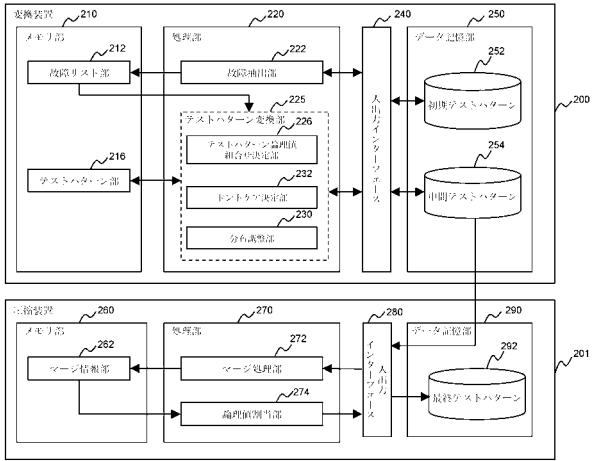
【 図 1 】



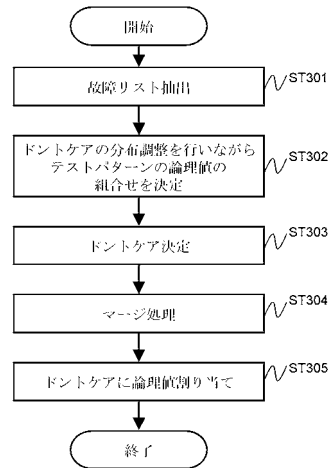
【 図 2 】



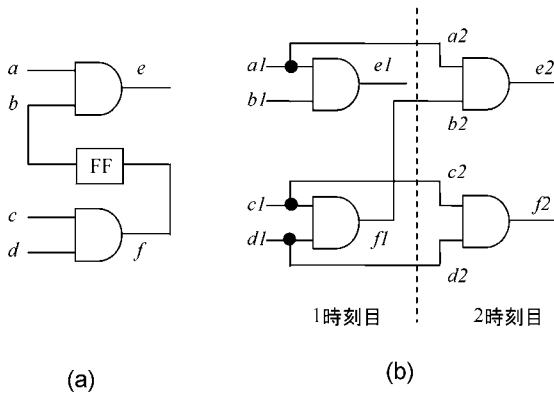
【 図 3 】



【 図 4 】



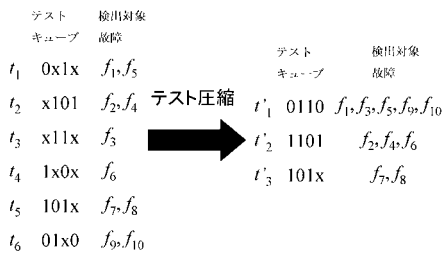
【 図 5 】



【 図 7 】

回路名	#PB	#PPB	#tests	*cN-avg	*cN-max	*cN-min	故障数	抽出故障数	時間(秒)
s510	19	6	78	75.13	100	48	660	571	0.03
s526	3	21	86	56.3	100	25	874	515	0.03
s641	35	19	57	75.34	100	55.56	336	288	0.01
s713	35	19	54	74.31	100	59.26	512	360	0.03
s820	18	5	83	59.51	100	34.78	786	531	0.04
s832	18	5	81	58.62	100	34.78	824	538	0.03
s838	35	32	55	85.16	100	62.69	780	406	0.02
s953	16	29	94	75.63	100	22.22	1234	1041	0.27
s1196	14	18	34	66.64	100	31.25	216	198	0.03
s1238	14	18	36	66.93	100	31.25	216	198	0.03
s1423	17	74	166	69.83	100	17.58	2244	1925	0.8
s1488	8	6	131	37.73	100	0	1200	1069	0.13
s1494	8	6	129	34.5	100	0	1226	1080	0.14
s5378	35	179	402	85.08	100	19.63	4948	4198	5.76
s9234	19	228	992	86.62	100	46.56	10618	8632	31.1
s13207	51	669	1030	96.51	100	38.71	14796	11770	43.64
s15850	14	597	772	94.36	100	44.52	17568	12344	42.69
s35932	35	1728	193	91.4	100	2.72	53340	44012	39.46
s38417	28	1636	2360	96.35	100	51.62	48988	48016	382.64
s38584	12	1452	2411	96.91	100	26.91	52112	43701	372.26
平均				74.04	100.00	32.65			

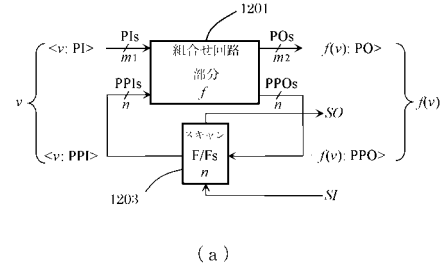
【 図 6 】



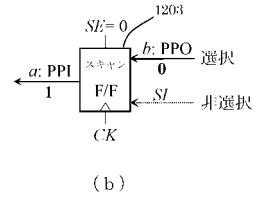
【 図 8 】

回路名	#tests		% (圧縮率)
	圧縮前	圧縮後	
s510	78	61	78.2
s526	86	63	73.3
s611	57	35	61.4
s713	54	34	63.0
s820	83	67	80.7
s832	81	66	81.5
s838	55	22	40.0
s953	94	74	78.7
s1196	34	26	76.5
s1238	36	27	75.0
s1423	166	114	68.7
s1488	133	103	78.6
s1494	129	106	82.2
s5378	402	272	67.7
s9234	992	619	62.4
s13207	1630	555	33.9
s15850	772	478	61.9
s35932	193	72	37.3
s38417	2360	1352	57.3
s38584	2411	1499	62.2
平均			67.0

【 図 9 】



(a)

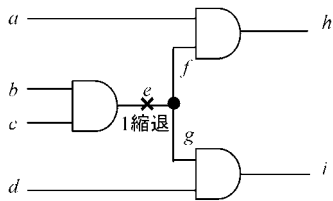


(b)

【 図 10 】



【 図 11 】



【手続補正書】

【提出日】平成19年10月29日(2007.10.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

論理回路に対して予め与えられた遅延故障を検出するテストパターンを論理値が異なるビット構成の前記遅延故障を検出する新たなテストパターンに変換する変換装置において、

前記予め与えられたテストパターンの構成要素は少なくとも2つの連続して印加されるテストベクトルであり、

前記構成要素の印加により検出される前記論理回路の遅延故障の検出条件を満たすテストパターン中の論理値の組合せを決定する決定手段を備える、変換装置。

【請求項2】

前記決定手段は前記遅延故障の検出条件である信号値変化前に必要となる初期条件及び変化後の信号値を確認する条件の二つの条件のいずれをも満たすテストパターン中の論理値の組合せを決定する、請求項1記載の変換装置。

【請求項3】

前記決定手段により決定された論理値の組合せに含まれないビットの論理値をドントケアとするドントケア決定手段を備える、請求項2記載の変換装置。

【請求項4】

論理回路に対して予め与えられた所定の故障を検出するテストパターンを論理値が異なるビット構成の前記故障と同一の故障を検出する新たなテストパターンに変換する変換方法において、

前記予め与えられたテストパターンの構成要素は少なくとも2つの連続して印加されるテストベクトルであり、

決定手段が前記構成要素の印加により検出される前記故障の検出条件を満たすテストパターン中の論理値の組合せを決定する決定ステップを含む、変換方法。

【請求項5】

前記決定ステップは前記決定手段が前記故障の検出条件である信号値変化前に必要となる初期条件及び変化後の信号値を確認する条件の二つの条件のいずれをも満たすテストパターン中の論理値の組合せを決定する、請求項4記載の変換方法。

【請求項6】

前記決定ステップにより前記決定手段が決定した論理値の組合せに含まれないビットの論理値をドントケアとするドントケア決定ステップを含む、請求項5記載の変換方法。

【請求項7】

請求項4から6のいずれかに記載の変換方法をコンピュータに実行させることが可能なプログラム。

【請求項8】

請求項7記載のプログラムをコンピュータが実行することが可能にて記録した記録媒体。

【手続補正書】

【提出日】平成20年3月21日(2008.3.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】**【特許請求の範囲】****【請求項 1】**

論理回路に対して予め与えられた遷移遅延故障を検出する複数のテストベクトルを有するテストパターンを前記論理回路に印加する前に論理値が異なるビット構成の前記遷移遅延故障を検出する新たなテストパターンに変換する変換装置において、

前記予め与えられたテストパターンの構成要素は連続して前記論理回路に印加されることが予定された N 個($N \geq 2$)のテストベクトルであり、且つ、前記構成要素を構成する N 個($N \geq 2$)のテストベクトルは互いのビット間の関係が反転関係に限られず且つそれぞれのビット配列が交互にビット反転するものに限られないテストベクトルであり、

前記構成要素の印加により検出される前記論理回路の遷移遅延故障の検出条件を N 時刻展開回路($N \geq 2$)により定め、この検出条件を満たす前記予め与えられたテストパターン中の論理値の組み合わせであってドントケアとできないビットについての論理値の組合せを決定する決定手段を備え、

前記決定手段は前記遷移遅延故障の検出条件である信号値変化前に必要となる初期条件及び変化後の信号値を確認する条件の二つの条件のいずれをも満たすテストパターン中の論理値の組合せを決定する、変換装置。

【請求項 2】

前記決定手段により決定された論理値の組合せに含まれないビットの論理値をドントケアとするドントケア決定手段を備えた、請求項 1 記載の変換装置。

【請求項 3】

論理回路に対して予め与えられた所定の故障を検出する複数のテストベクトルを有するテストパターンを前記論理回路に印加する前に論理値が異なるビット構成の前記故障を検出する新たなテストパターンに変換する変換方法において、

前記予め与えられたテストパターンの構成要素は連続して前記論理回路に印加されることが予定された N 個($N \geq 2$)のテストベクトルであり、且つ、前記構成要素を構成する N 個($N \geq 2$)のテストベクトルは互いのビット間の関係が反転関係に限られず且つそれぞれのビット配列が交互にビット反転するものに限られないテストベクトルであり、

決定手段が前記構成要素の印加により検出される前記論理回路の故障の検出条件を満たす前記予め与えられたテストパターン中の論理値の組み合わせであってドントケアとできないビットについての論理値の組合せを決定する決定ステップを含み、

前記決定ステップは、前記論理回路の故障の検出条件を前記 N 時刻展開回路($N \geq 2$)により定め、この検出条件を満たす前記予め与えられたテストパターン中の論理値の組合せを決定する、変換方法。

【請求項 4】

前記決定ステップは前記決定手段が前記故障の検出条件である信号値変化前に必要となる初期条件及び変化後の信号値を確認する条件の二つの条件のいずれをも満たすテストパターン中の論理値の組合せを決定する、請求項 3 記載の変換方法。

【請求項 5】

前記決定ステップにより前記決定手段が決定した論理値の組合せに含まれないビットの論理値をドントケアとするドントケア決定ステップを含む、請求項 3 又は 4 記載の変換方法。

【請求項 6】

請求項 4 から 5 のいずれかに記載の変換方法をコンピュータに実行させることが可能なプログラム。

【請求項 7】

請求項 6 記載のプログラムをコンピュータが実行することが可能にて記録した記録媒体。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/062929
A. CLASSIFICATION OF SUBJECT MATTER G01R31/3183(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G01R31/28-3193		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) IEEE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-4710 A (Mitsubishi Electric Corp.), 12 January, 2001 (12.01.01), Par. Nos. [0055] to [0057]; Fig. 9 (Family: none)	1, 2, 4, 5, 7, 8 3, 6
Y	Seiji Kajihara, Kenjiro Taniguchi, Kohei Miyase, Irith Pomeranz, Sudhakar M. Reddy, Test Data Compression Using Don't-Care Identification and Statistical Encoding, Proceedings of the 11th Asian Test Symposium(ATS'02), 2002, pp. 67 - 72	3, 6
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 August, 2007 (15.08.07)		Date of mailing of the international search report 28 August, 2007 (28.08.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/JP2007/062929									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G01R31/3183(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G01R31/28-3193											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2007年										
日本国実用新案登録公報	1996-2007年										
日本国登録実用新案公報	1994-2007年										
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語) IEEE											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
X	JP 2001-4710 A (三菱電機株式会社) 2001.01.12, 段落【0055】	1, 2, 4, 5, 7, 8									
Y	-【0057】, 図9 (ファミリーなし)	3, 6									
Y	Seiji Kajihara, Kenjiro Taniguchi, Kohei Miyase, Irith Pomeranz, Sudhakar M. Reddy, Test Data Compression Using Don't-Care Identification and Statistical Encoding, Proceedings of the 11th Asian Test Symposium(ATS'02), 2002, pp. 67 - 72	3, 6									
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 15.08.2007		国際調査報告の発送日 28.08.2007									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 神谷 健一	2 S 9705								
		電話番号 03-3581-1101 内線	3258								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 梶原 誠司

福岡県飯塚市大字川津 6 8 0 番地の 4 号 国立大学法人九州工業大学内

(72)発明者 宮瀬 紘平

福岡県福岡市早良区昭代一丁目 6 番 2 7 - 4 0 2 号

(72)発明者 温 暁青

福岡県飯塚市大字川津 6 8 0 番地の 4 号 国立大学法人九州工業大学内

(72)発明者 皆本 義弘

福岡県北九州市八幡西区三ヶ森二丁目 8 番 1 8 - 4 0 3 号

(72)発明者 伊達 博

福岡県福岡市早良区百道浜三丁目 8 番 3 3 号 株式会社システム・ジェイディー内

Fターム(参考) 2G132 AA01 AB01 AC03 AD07 AG11 AL09 AL11

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。