

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-226131

(P2010-226131A)

(43) 公開日 平成22年10月7日(2010.10.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 Z	5 F 0 4 8
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 G	5 F 1 1 0
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	5 F 1 5 2
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 0 2 E	
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 3 3 1 E	

審査請求 有 請求項の数 4 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2010-125040 (P2010-125040)  
 (22) 出願日 平成22年5月31日 (2010. 5. 31)  
 (62) 分割の表示 特願2007-49628 (P2007-49628) の分割  
 原出願日 平成19年2月28日 (2007. 2. 28)

(71) 出願人 504145308  
 国立大学法人 琉球大学  
 沖縄県中頭郡西原町字千原 1 番地  
 (74) 代理人 110000925  
 特許業務法人信友国際特許事務所  
 (72) 発明者 野口 隆  
 沖縄県宜野湾市志真志 1 丁目 1 〇 番 1 - 4  
 〇 3 志真志住宅  
 Fターム(参考) 5F048 AA07 AA09 AB01 AB10 AC10  
 BA14 BA16 BD01 BF16 BG01  
 CB01

最終頁に続く

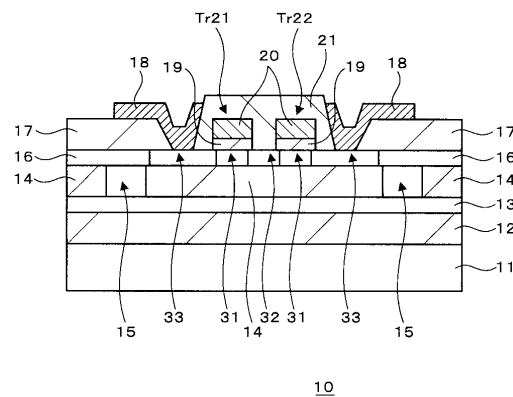
(54) 【発明の名称】 3次元集積回路装置及びその製造方法

(57) 【要約】

【課題】 ガラス基板上に薄膜半導体層を形成した3次元集積回路装置を提供する。

【解決手段】 ガラス基板 1 1 上に、単結晶もしくは準単結晶の2層の薄膜半導体層 1 3 , 1 6 が層間絶縁層 1 4 を介して積層され、2層の薄膜半導体層 1 3 , 1 6 は、下層の第1層の薄膜半導体層 1 3 と上層の第2層の薄膜半導体層 1 6 とが異なる材料であり、2層の薄膜半導体層 1 3 , 1 6 が、層間絶縁層 1 4 に形成された開口内を埋めて形成された、エピタキシャル層 1 5 によって接続され、エピタキシャル層 1 5 の表面部は、第2層の薄膜半導体層 1 6 と同じ材料の層であり、第1層の薄膜半導体層 1 3 及び第2層の薄膜半導体層 1 6 のうち、1層以上に能動素子 Tr 2 1 , Tr 2 2 が形成されている3次元集積回路装置 1 0 を構成する。

【選択図】 図 1



10

## 【特許請求の範囲】

## 【請求項 1】

ガラス基板上に、単結晶もしくは準単結晶の薄膜半導体層が、層間絶縁層を介して 2 層積層され、

2 層の前記薄膜半導体層は、下層の第 1 層の薄膜半導体層と、上層の第 2 層の薄膜半導体層とが、異なる材料であり、

2 層の前記薄膜半導体層が、前記層間絶縁層に形成された開口内を埋めて形成された、エピタキシャル層によって接続され、

前記エピタキシャル層の表面部は、前記第 2 層の薄膜半導体層と同じ材料の層であり、前記第 1 層の薄膜半導体層及び前記第 2 層の薄膜半導体層のうち、1 層以上の前記薄膜半導体層に能動素子が形成されている

ことを特徴とする 3 次元集積回路装置。

## 【請求項 2】

前記第 1 層の薄膜半導体層の材料が Si であり、前記第 2 層の薄膜半導体層の材料が Ge であることを特徴とする請求項 1 に記載の 3 次元集積回路装置。

## 【請求項 3】

ガラス基板上に、アモルファスの第 1 層の薄膜半導体層を形成する工程と、

前記アモルファスの第 1 層の薄膜半導体層を結晶化して、単結晶もしくは準単結晶の第 1 層の薄膜半導体層を形成する工程と、

前記第 1 層の薄膜半導体層上に層間絶縁層を形成した後、前記層間絶縁層に前記第 1 層の薄膜半導体層に達する開口を形成する工程と、

前記層間絶縁層の前記開口内に、エピタキシャル層をエピタキシャル成長させる工程と、

前記層間絶縁層及び前記エピタキシャル層上に、前記第 1 層の薄膜半導体層とは材料が異なる、アモルファスの第 2 層の薄膜半導体層を形成する工程と、

前記アモルファスの第 2 層の薄膜半導体層を結晶化して、単結晶もしくは準単結晶の第 2 層の薄膜半導体層を形成する工程とを少なくとも有し、

前記エピタキシャル層をエピタキシャル成長させる工程において、ガスの流量比を変えて前記エピタキシャル層を成長させることにより、前記エピタキシャル層の表面部を前記第 2 層の薄膜半導体層と同じ材料の層とし、

前記第 1 層の薄膜半導体層及び前記第 2 層の薄膜半導体層のうち、1 層以上の前記薄膜半導体層に能動素子を形成する

ことを特徴とする 3 次元集積回路装置の製造方法。

## 【請求項 4】

前記第 1 層の薄膜半導体層の材料が Si であり、前記第 2 層の薄膜半導体層の材料が Ge であることを特徴とする請求項 3 に記載の 3 次元集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、3 次元集積回路装置及びその製造方法に係わる。

## 【背景技術】

## 【0002】

LSI 等の集積回路装置において、新しい機能を実現することや、高集積化を実現することが要望されている。

そのため、従来行われてきた、スケールリング則（比例縮小）に沿った微細化に対して、それに代わる手法が検討されている。

## 【0003】

SRAMセルにおいては、高集積化を実現する構造として、多結晶シリコン（ポリシリコン）から成る TFT（薄膜トランジスタ）によって基本メモリセルを構成し、従来のシリコンウエハ上に集積された LSI 上に 3 次元的に積層させて高集積化させる、いわゆる

10

20

30

40

50

TFTスタック型構造が提案されている。

【0004】

しかしながら、このTFTスタック型構造は、製造コストの問題や、微細な多結晶シリコンTFTの素子特性ばらつきの問題があった。

そのため、従来の平面的な2次元CMOSバルク型構造に戻り、フォトグラフィに依存する微細化技術によって集積化が進められている。

【0005】

最近、動作電圧の更なる低減や高密度化への要求が強まったこともあって、特性ばらつきの少ない、単結晶並みの高性能のTFTを、より高密度に集積させる方法が望まれている。

【0006】

一方、TFTの平面ディスプレイ等への応用として、ガラス上のパネルにTFTを作製する技術が、急激に進展してきている。

この分野では、LSIと同様に、微細化、高性能化、さらにシステム機能化の実現が、新製造プロセスの開発も含めて求められている。

そして、一つのガラス基板上に、ディスプレイとしての画素及び周辺回路のみだけでなく、センサ、メモリ、A/Dコンバータ、D/Aコンバータ、CPU等、様々な機能システムが集積される、いわゆるSoG (System on Glass) を目指して、低温形成プロセスによるシリコンTFTを基にした、研究開発が進んでいる。

【0007】

シリコン基板やSOI (Silicon on insulator) 基板上にTFTを形成した場合、シリコンのウエハを使用するため、基板が不透明であり、面積もウエハの大きさ以下に限られる。

その代わり、製造の際に1,000以上の工程も可能であり、熱酸化で絶縁膜(酸化膜)を形成することが可能である。また、ウエハがシリコン単結晶であるため、結晶が作りやすく、エピタキシーが容易である。

【0008】

これに対して、ガラス基板上にTFTを形成した場合、ガラスが透明であり、また大面積とすることが可能であり、集積回路装置をフレキシブルな構成とすることができる。

しかし、製造の際に高温の工程を行うことはできず、また基板がガラスであるため、結晶が作りにくい。

【0009】

ガラス基板上の3次元構造としては、ガラス基板上の3次元不揮発性ドットTFTメモリアレイや、紫外領域のパルスレーザによる強誘電体膜の実現による3次元1T1C(1トランジスタ1キャパシタ)TFTアレイが提案されている。

しかし、この構造では、トランジスタ等の能動素子が形成されるシリコン薄膜が、1層のみとなっているため、さらなる集積化が難しい。

【0010】

ところで、アモルファスの薄膜半導体層は、成膜性が良いが、加熱ができない。

また、アモルファス層内では、電子等のキャリアの移動度が低い。そのため、アモルファス層に形成できるトランジスタは、スイッチング用など高速動作が必要ないものに限られる。

従って、高速動作が必要なTFTを形成するためには、薄膜半導体層を結晶とする必要があり、結晶の薄膜半導体層を成膜するか、アモルファスの薄膜半導体層を結晶化する工程を行うか、いずれかの方法を採用することになる。

【0011】

ガラス基板上にシリコン結晶薄膜を形成する方法として、2層のアモルファスシリコン薄膜層をSiO<sub>2</sub>基板上に堆積させ、固体YAGレーザを照射させて結晶化させる方法が提案されている(非特許文献1参照)。

この方法によって、上部シリコン層の結晶化を効率よく行うことで、上部シリコン層の

10

20

30

40

50

みではあるが、多結晶薄膜が形成され、高移動度のTFT特性が得られる。

【0012】

ガラス基板上にCMOSトランジスタを形成する場合、ポリシリコン（多結晶シリコン）TFTが、現状では唯一可能な構成である。

そして、このポリシリコンTFTでは、結晶粒を増大させることにより、特性を左右する伝導キャリアの移動度を向上させてきた（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開平11-87545号公報

10

【非特許文献】

【0014】

【非特許文献1】Crystallization of Double-Layered Silicon Thin Films by Solid Green Laser Annealing, T. Sugawara, Y. Uraoka, T. Hayama, T. Fuyuki and A. Miura, Digest of Tech. Papers, AM-FPD '06, 8.4, p.317(2006)

【発明の概要】

【発明が解決しようとする課題】

【0015】

しかしながら、ポリシリコンTFTは、原理的に、大きな多結晶粒に起因して、素子が微細化するほど素子の特性が不均一になる、という問題が生じる。

20

特に、動作電圧を下げるためには、素子を小さく形成する必要があり、素子の特性のばらつきの影響が大きくなる。

【0016】

また、上記非特許文献1に記載された方法は、2層の薄膜を形成した後に、一度にレーザ結晶化を行うので、その結晶化プロセスがシンプルである利点を有するが、2層の薄膜を形成した後に、一度にレーザ結晶化を行うため、下層のシリコン層の結晶化が充分ではない。

そのため、下層のシリコン層に対して能動素子を形成しても、十分に良好な素子特性が得られないおそれがある。

【0017】

30

複数層の薄膜半導体層を形成する方法としては、この他にも、1層以上の薄膜半導体層をそれぞれ形成した2つのウエハを用意して、2つのウエハを張り合わせる方法もある。しかし、この方法は量産化が難しく、製造コストが高くなる。

【0018】

上述した問題に対して、本発明においては、ガラス基板上に薄膜半導体層を形成した3次元集積回路装置及びその製造方法を提供するものである。

【課題を解決するための手段】

【0019】

本発明の3次元集積回路装置は、ガラス基板上に、単結晶もしくは準単結晶の薄膜半導体層が、層間絶縁層を介して2層積層され、2層の薄膜半導体層は、下層の第1層の薄膜半導体層と、上層の第2層の薄膜半導体層とが、異なる材料であり、2層の薄膜半導体層が、層間絶縁層に形成された開口内を埋めて形成された、エピタキシャル層によって接続され、エピタキシャル層の表面部は、第2層の薄膜半導体層と同じ材料の層であり、第1層の薄膜半導体層及び第2層の薄膜半導体層のうち、1層以上の薄膜半導体層に能動素子が形成されているものである。

40

【0020】

本発明の3次元集積回路装置の製造方法は、ガラス基板上に、アモルファスの第1層の薄膜半導体層を形成する工程と、このアモルファスの第1層の薄膜半導体層を結晶化して、単結晶もしくは準単結晶の第1層の薄膜半導体層を形成する工程と、この第1層の薄膜半導体層上に層間絶縁層を形成した後、この層間絶縁層に第1層の薄膜半導体層に達する

50

開口を形成する工程と、層間絶縁層の開口内に、エピタキシャル層をエピタキシャル成長させる工程と、層間絶縁層及びエピタキシャル層上に、第1層の薄膜半導体層とは材料が異なる、アモルファスの第2層の薄膜半導体層を形成する工程と、このアモルファスの第2層の薄膜半導体層を結晶化して、単結晶もしくは準単結晶の第2層の薄膜半導体層を形成する工程とを少なくとも有し、エピタキシャル層をエピタキシャル成長させる工程において、ガスの流量比を変えてエピタキシャル層を成長させることにより、エピタキシャル層の表面部を第2層の薄膜半導体層と同じ材料の層とし、第1層の薄膜半導体層及び第2層の薄膜半導体層のうち、1層以上の薄膜半導体層に能動素子を形成するものである。

【発明の効果】

【0021】

上述の本発明の3次元集積回路装置の構成によれば、2層の薄膜半導体層が、単結晶もしくは準単結晶により形成されていることにより、伝導キャリアの移動度を高くすることができるので、薄膜半導体層に形成されたトランジスタ等の能動素子を、高速に動作させることが可能になる。

また、ポリシリコン（多結晶シリコン）で薄膜半導体層を形成した、従来提案されている構成と比較して、多結晶シリコンの結晶粒界による、トランジスタ等の能動素子の特性ばらつきを、ほとんどなくすることが可能になる。

そして、薄膜半導体層が2層形成されていることにより、それぞれの回路素子や回路素子間の接続部の占める面積を低減することができるため、高密度に回路素子を集積することが可能になる。

【0022】

従って、高速に動作する高性能の能動素子を有し、高密度に集積された集積回路装置を実現することが可能になる。

【0023】

上述の本発明の3次元集積回路装置の製造方法によれば、アモルファスの第2層の薄膜半導体層の結晶化過程において、半導体エピタキシャル層を種として、横方向（膜面方向）に溶融結晶化が生じ、第2層の薄膜半導体層を良好な状態の単結晶もしくは準単結晶とすることができる。

【0024】

従って、本発明の製造方法により、薄膜半導体層内の伝導キャリアの移動度が高く、高速に動作する高性能の能動素子を有する集積回路装置を製造することができる。

【図面の簡単な説明】

【0025】

【図1】本発明の一実施の形態の3次元集積回路装置の概略構成図（断面図）である。

【図2】図1の3次元集積回路装置を適用したセルの回路構成図である。

【図3】A～E 図1の3次元集積回路装置の製造方法を説明する図である。

【発明を実施するための形態】

【0026】

本発明の一実施の形態として、3次元集積回路装置の概略構成図（断面図）を、図1に示す。

この3次元集積回路装置10は、ガラス基板11上に3次元構造の集積回路が形成されたものである。

【0027】

図1に示すように、ガラス基板11上に、ガラスを保護するための保護層12を介して、第1層の薄膜半導体層13が形成され、この第1層の薄膜半導体層13上に、絶縁層14が覆っている。

この絶縁層14には、第1層の薄膜半導体層13に達する開口が形成されており、この開口内を、半導体エピタキシャル層15が埋めている。

絶縁層14及び開口内の半導体エピタキシャル層15上に、第2層の薄膜半導体層16が形成されている。

10

20

30

40

50

即ち、絶縁層 14 は、2 層の薄膜半導体層 13, 16 の間の層間絶縁層として形成されている。

【0028】

第2層の薄膜半導体層 16 には、薄膜トランジスタ  $T r 2 1$ ,  $T r 2 2$  が形成されている。即ち、薄膜トランジスタ  $T r 2 1$ ,  $T r 2 2$  の、チャンネル 31 とソース・ドレイン領域 32, 33 が、第2層の薄膜半導体層 16 に形成されている。

この薄膜トランジスタ  $T r 2 1$ ,  $T r 2 2$  の部分では、第2層の薄膜半導体層 16 の上に形成された絶縁層 17 が除去されている。

そして、チャンネル 31 の第2層の薄膜半導体層 16 の上にゲート絶縁層 19 を介して、ゲート 20 が形成されている。このゲート 20 を覆って絶縁層 21 が形成され、この絶縁層 21 と絶縁層 17 との間に、薄膜トランジスタ  $T r 2 1$ ,  $T r 2 2$  のソース・ドレイン領域 33 に接続された電極層 18 が形成されている。

10

【0029】

第1層の薄膜半導体層 13 には、図示しない部分に、トランジスタ又はダイオード等の能動素子やその他の回路素子が形成されている。

なお、第2層の薄膜半導体層 16 についても、図示しない部分に、図1の薄膜トランジスタ  $T r 2 1$ ,  $T r 2 2$  の他に、薄膜トランジスタ又はダイオード等の能動素子やその他の回路素子が形成されていても良い。

【0030】

ガラス基板 11 を保護するための保護層 12 としては、例えば、 $S i O_2$  層や  $S i N$  層、並びにこれらを積層した層を使用することができる。

20

【0031】

本実施の形態の3次元集積回路装置 10 では、特に、第1層の薄膜半導体層 13 及び第2層の薄膜半導体層 16 が、単結晶もしくは準単結晶により形成されていることを特徴とする。

【0032】

なお、「準単結晶」とは、一定の優先結晶面方位をもち、位置的にほぼ規則的に配列され、電子伝導的にもほぼ均一なサイズの結晶粒で構成され、相隣接する結晶粒界も互いに整合するような一定方向に優先的に配列しており、粒界での欠陥密度が低減されるために従来の多結晶相薄膜より優れた電子伝導を示す、人工的に実現可能なエネルギー的に準安定な結晶相である（具体的には、文献；Possibility of Quasi-Single-Crystalline Semiconductor Films, T. Noguchi, S. Usui, D.P. Gosainand Y. Ikeda, Mat. Res. Soc. Symp. Proc. Vol.557, p.213 (1999). を参照のこと）。

30

【0033】

薄膜半導体層 13, 16 が、単結晶もしくは準単結晶により形成されていることにより、ポリシリコン（多結晶シリコン）で薄膜半導体層を形成した、従来提案されている構成と比較して、多結晶シリコンの結晶粒界による、トランジスタ等の能動素子の特性ばらつきを、ほとんどなくすることが可能になる。

【0034】

次に、図1の3次元集積回路装置の適用例として、図1の2つのトランジスタ  $T r 2 1$ ,  $T r 2 2$  を用いて構成した、SRAMセルの回路構成図を、図2に示す。

40

このSRAMセルは、6つのトランジスタ  $T r 1 1$ ,  $T r 1 2$ ,  $T r 1 3$ ,  $T r 1 4$ ,  $T r 2 1$ ,  $T r 2 2$  を有して構成されている。

これら6つのトランジスタ  $T r 1 1$ ,  $T r 1 2$ ,  $T r 1 3$ ,  $T r 1 4$ ,  $T r 2 1$ ,  $T r 2 2$  は、いずれも薄膜半導体層 13, 16 に薄膜トランジスタ (TFET) として形成されているものである。

下の2つのトランジスタ  $T r 1 1$ ,  $T r 1 2$  のソース・ドレイン領域の一方は、接地電位に接続されている。

上の2つのトランジスタ  $T r 2 1$ ,  $T r 2 2$  のソース・ドレイン領域の一方には、電位  $V d d$  が供給される。

50

左の2つのトランジスタ $Tr 1 1$ 、 $Tr 2 1$ のソース・ドレイン領域の他方には、右の2つのトランジスタ $Tr 1 2$ 、 $Tr 2 2$ のゲート及びトランジスタ $Tr 1 3$ のソース・ドレイン領域の一方が接続されている。

右の2つのトランジスタ $Tr 1 2$ 、 $Tr 2 2$ のソース・ドレイン領域の他方には、左の2つのトランジスタ $Tr 1 1$ 、 $Tr 2 1$ のゲート及びトランジスタ $Tr 1 4$ のソース・ドレイン領域の一方が接続されている。

トランジスタ $Tr 1 3$ のソース・ドレイン領域の他方は、ビット線 $BL$ に接続されている。

外側の2つのトランジスタ $Tr 1 3$ 、 $Tr 1 4$ のゲートは、ワード線 $WL$ に接続されている。

6つのトランジスタ $Tr 1 1$ 、 $Tr 1 2$ 、 $Tr 1 3$ 、 $Tr 1 4$ 、 $Tr 2 1$ 、 $Tr 2 2$ の接続関係は、バルクの半導体層に形成された、一般的なSRAMセルと同様になっている。

#### 【0035】

そして、図2に示すSRAMセルでは、4つのトランジスタ $Tr 1 1$ 、 $Tr 1 2$ 、 $Tr 1 3$ 、 $Tr 1 4$ が第1層の薄膜半導体層13に形成され、2つのトランジスタ $Tr 2 1$ 、 $Tr 2 2$ が第2層の薄膜半導体層16に形成されている。

このように、6つのTFTを2層の薄膜半導体層13、16に分けて形成することにより、1層の薄膜半導体層に全て形成した場合と比較して、SRAMセルの占める面積を低減することができるため、SRAMセルをより高密度に集積することが可能になる。

#### 【0036】

図2では、図1に示した3次元集積回路装置10を、SRAMセルに適用した場合を示したが、図1に示した3次元集積回路装置10は、その他の様々な機器に適用することが可能である。

例えば、液晶ディスプレイ等のフラットパネルディスプレイ(FPD)の画素部及び周辺回路部に適用することができる。

また例えば、ガラス基板11から薄膜半導体層13へ光を入射させて、入射した光を受光検出する、センサや撮像素子(CMOS撮像素子等)を構成することも、可能である。

#### 【0037】

次に、図1に示した3次元集積回路装置10の製造方法を、図3A~図3Eを参照して、説明する。

なお、図3A~図3Eでは、図面を簡略化するために、ガラス基板11と保護層12とを一体化して示す。

#### 【0038】

まず、表面に保護層12が形成されたガラス基板11上に、図3Aに示すように、第1層の薄膜半導体層13を形成する。

第1層の薄膜半導体層13は、図示しないが、まずアモルファスの薄膜半導体層を成膜し、その後結晶化を行うことにより、単結晶又は準単結晶の薄膜半導体層とする。

#### 【0039】

アモルファスの薄膜半導体層の成膜方法としては、ガラス基板11に影響を及ぼさない低温で成膜が可能な方法を採用する。

低温で成膜が可能な方法としては、例えば、(1)PECVD(プラズマCVD)法で成膜した後、300~400で脱水素過程を行う方法、(2)室温でスパッタリングにより成膜する方法、等が挙げられる。

アモルファスの薄膜半導体層の結晶化の方法としては、ELA(エキシマレーザーアニール)や紫外線照射が考えられる。

#### 【0040】

そして、アモルファスの薄膜半導体層に、線状又は面状の紫外線ビーム(例えば、エキシマレーザーや固体レーザー)を、パルス状にして照射して、結晶化を行うことにより、特定の方位、例えば(100)結晶面が優先方位である、単結晶又は準単結晶を、形成するこ

10

20

30

40

50

とが可能である。線状の紫外線ビームを使用する場合には、紫外線ビームを走査させて、広い領域を結晶化させる。

【0041】

その後、必要に応じて、図示しないが、第1層の薄膜半導体層13上に、TFTのゲートを形成したり、第1層の薄膜半導体層13内に、TFTのチャネルやソース・ドレイン領域を形成したりする。

【0042】

次に、図3Bに示すように、結晶化させた第1層の薄膜半導体層13の上に、絶縁層14を形成する。このとき、上述の第1層の薄膜半導体層13上に形成したTFTのゲートは、絶縁層14により覆われる。

続いて、図3Cに示すように、絶縁層14の一部に対してエッチングを行って、第1層の薄膜半導体層13に達する開口14Aを形成する。

【0043】

次に、開口14Aに露出した第1層の薄膜半導体層13から、エピタキシャル成長により、絶縁層14の開口内を埋めて、半導体エピタキシャル層15を成長させる。

例えば、 $\text{Si}_2\text{H}_6$  ガスを使用したUHV (ultra-high vacuum; 超高真空) CVD法により、450程度で、半導体エピタキシャル層15としてシリコンエピタキシャル層のエピタキシャル成長を行う。

なお、UHV CVD法の代わりに、MBE (分子線エピタキシー) 法によってエピタキシャル成長を行ってもよい。

その後、必要ならば、例えばCMP (化学的機械的研磨) 法等により、表面の平坦化を行う。

【0044】

次に、絶縁層14及び半導体エピタキシャル層15の上に、第2層の薄膜半導体層16を形成する。

第2層の薄膜半導体層16も、図示しないが、まずアモルファスの薄膜半導体層を成膜し、その後結晶化を行うことにより、単結晶又は準単結晶の薄膜半導体層とすることができる。

特に、下層に半導体エピタキシャル層15があるため、第2層の薄膜半導体層16を、良好な単結晶又は準単結晶とすることができる。

【0045】

第2層の薄膜半導体層16を形成した後に、図1に示した、TFTのゲート20やチャネル31やソース・ドレイン領域32, 33、絶縁層17、配線層18、絶縁層21等を、それぞれ形成する。

このようにして、図1に示した3次元集積回路装置10を製造することができる。

【0046】

上述の製造方法により、単結晶もしくは準単結晶の半導体層を、段階的に低温プロセス (500) で形成することができる。

【0047】

なお、第1層の薄膜半導体層13や第2層の薄膜半導体層16として、シリコン層を形成する場合において、アモルファスの結晶化のために照射する紫外線は、その波長を380nm以下とすることが望ましい。

このように波長を380nm以下とすると、シリコン中での吸収が大きくなり、シリコン層の奥に紫外線が入り込まない。このため、ガラス基板に熱が伝わりにくくなり、ガラス基板の熱による変形等を防ぐことができる。

【0048】

特に、第1層の薄膜半導体層13や第2層の薄膜半導体層16が、膜厚100nm以下である場合、アモルファスの結晶化には、紫外線照射が好適である。

【0049】

10

20

30

40

50



また、アモルファスの半導体層に紫外線を照射する際には、連続照射よりも、パルス状にして照射することが望ましい。紫外線をパルス状にして照射することにより、ガラス基板に熱が伝わりにくくなり、ガラス基板の熱による変形等を防ぐことができる。

パルス状の紫外線のパルス幅は、1000 nsec (ナノ秒) 以下とすることが好ましい。

#### 【0050】

上述の製造方法では、第1層の薄膜半導体層13にトランジスタ等の素子を形成してから、第2層の薄膜半導体層16を形成していたが、第2層の薄膜半導体層16を形成した後、第1層の薄膜半導体層13に素子を形成しても構わない。

#### 【0051】

上述の本実施の形態によれば、2層の薄膜半導体層13, 16が、単結晶もしくは準単結晶により形成されていることにより、伝導キャリアの移動度を高くすることができるので、薄膜半導体層13, 16に形成されたトランジスタTr21, Tr22等の能動素子を、高速に動作させることが可能になる。

また、ポリシリコン(多結晶シリコン)で薄膜半導体層を形成した、従来提案されている構成と比較して、多結晶シリコンの結晶粒界による、トランジスタ等の能動素子の特性ばらつきを、ほとんどなくすることが可能になる。

#### 【0052】

また、上述の製造方法によれば、第1層の薄膜半導体層13をアモルファス層の結晶化により形成した後、第1層の薄膜半導体層13の上に絶縁層14を形成し、この絶縁層14の開口内に、半導体エピタキシャル層15をエピタキシャル成長させ、絶縁層14及び半導体エピタキシャル層15の上に第2層の薄膜半導体層16を形成している。

これにより、第2層の薄膜半導体層16を形成する際の、アモルファス層の結晶化過程において、半導体エピタキシャル層15を種として、横方向(膜面方向)に溶融結晶化が生じ、第2層の薄膜半導体層16を良好な状態の単結晶もしくは準単結晶とすることができる。

#### 【0053】

上述の実施の形態では、薄膜半導体層が2層13, 16である場合であったが、本発明では、薄膜半導体層が3層以上である場合も含むものである。

特に、第2層の薄膜半導体層と第3層の薄膜半導体層との間、第3層の薄膜半導体層と第4層の薄膜半導体層との間、・・・を、それぞれ層間絶縁層に形成した開口内の半導体エピタキシャル層で接続することにより、単結晶又は準単結晶の薄膜半導体層を3層以上形成することが可能であり、さらなる集積化を図ることが可能になる。

#### 【0054】

なお、本発明の3次元集積回路装置は、ガラス基板上に単結晶又は準単結晶の薄膜半導体層が複数層(即ち2層以上)形成された構成であるので、薄膜半導体層が3層以上ある場合には、複数層の単結晶又は準単結晶の薄膜半導体層の他に、多結晶やアモルファスの薄膜半導体層が含まれていても構わない。

#### 【0055】

上述の実施の形態では、第1層の薄膜半導体層13及び第2層の薄膜半導体層16がシリコン層である場合を、主として説明したが、本発明は、その他の半導体層を用いることも可能である。

その他の半導体層としては、例えば、Ge(ゲルマニウム)層やSiGe層、化合物半導体層(GaAs, ZnS等)が考えられる。

#### 【0056】

ここで、例えば、第1層の薄膜半導体層13をシリコン層として、第2層の薄膜半導体層16をゲルマニウム層とする場合の製造方法を説明する。

この場合、第1層の薄膜半導体層13と第2層の薄膜半導体層16とが異なる材料であるため、半導体エピタキシャル層15の形成方法を工夫する。

#### 【0057】

10

20

30

40

50

まず、前述した方法により、単結晶又は準単結晶の第1層の薄膜半導体層13のシリコン層を形成する。

次に、第1層の薄膜半導体層13上に絶縁層14を形成した後、この絶縁層14に第1層の薄膜半導体層13に達する開口を形成する。

【0058】

次に、絶縁層14の開口内に、選択的に、半導体エピタキシャル層15をエピタキシャル成長させる。

このとき、 $SiH_4$ ガスもしくは $Si_2H_6$ ガスと同時に、 $GeH_4$ （ゲルマン）ガス等のガスを同時に加えて、半導体エピタキシャル層15の膜成長と共に、徐々に $GeH_4$ ガスの流量比を高めていく。これにより、下方から、 $Si-SiGe-Ge$ と、縦方向に連続にエピタキシーが生じ、ある所定の厚さで半導体エピタキシャル層15の表面部を単結晶 $Ge$ とすることができる。

10

【0059】

続いて、必要に応じて、絶縁層14及び半導体エピタキシャル層15の表面の平坦化を行う。

次に、絶縁層14及び半導体エピタキシャル層15の上に、アモルファスのゲルマニウム層を堆積させる。

その後、アモルファスのゲルマニウム層に対して、一括の均一ビームでレーザ光を照射する。これにより、選択成長させた半導体エピタキシャル層15の表面部の単結晶 $Ge$ を種に、横方向（膜面方向）に溶融結晶化が生じ、ゲルマニウム層が単結晶化されて、単結晶もしくは準単結晶のゲルマニウム層による第2層の薄膜半導体層16が形成される。

20

【0060】

下層の薄膜半導体層と上層の薄膜半導体層とが異なる材料である場合でも、これらの薄膜半導体層の間の半導体エピタキシャル層を、徐々にガスの流量比を変えてエピタキシャル成長させれば、半導体エピタキシャル層の表面部を上層の薄膜半導体層と同じ材料の層とすることが可能である。これにより、上層の薄膜半導体層を、良好な状態の単結晶もしくは準単結晶とすることが可能になる。

【0061】

本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

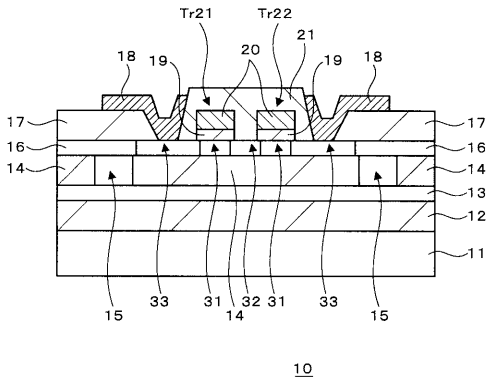
30

【符号の説明】

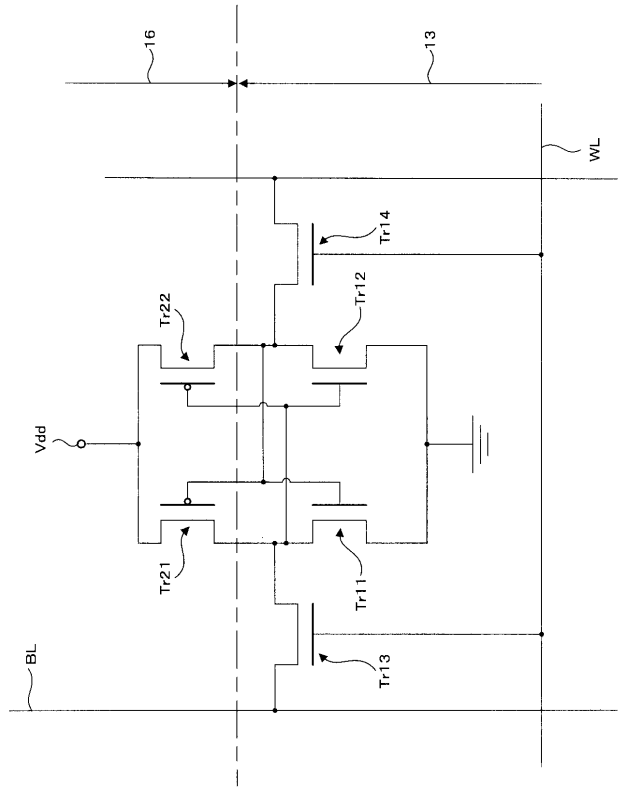
【0062】

10 3次元集積回路装置、11 ガラス基板、12 保護層、13 第1層の薄膜半導体層、14 絶縁層（層間絶縁層）、15 半導体エピタキシャル層、16 第2層の薄膜半導体層、17 絶縁層、18 電極層、31 チャネル、32, 33 ソース・ドレイン領域、 $Tr11$ ,  $Tr12$ ,  $Tr13$ ,  $Tr14$ ,  $Tr21$ ,  $Tr22$  トランジスタ、BL ビット線、WL ワード線

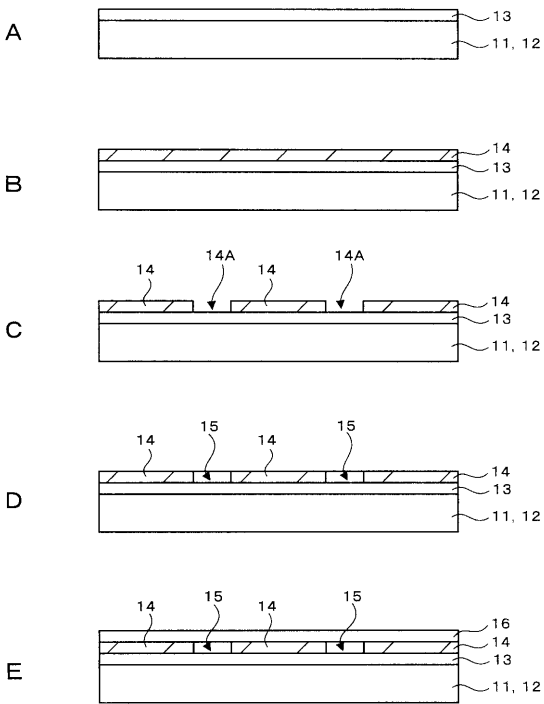
【 図 1 】



【 図 2 】



【 図 3 】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 1 L 27/08 (2006.01) H 0 1 L 27/08 1 0 2 B

Fターム(参考) 5F110 AA04 AA26 BB02 BB04 BB07 BB09 BB11 CC02 DD02 DD13  
DD14 DD17 GG01 GG02 GG03 GG04 GG12 GG13 GG15 GG17  
GG25 GG43 GG44 GG45 NN78 PP03 PP06 PP35 PP36  
5F152 AA02 AA07 AA20 BB01 CC02 CD05 CD09 CD13 CD14 CD24  
CD25 CE05 CE06 CE08 CE14 CE26 CE45 FF03 FF28 FF43  
FG04 FG21 FG23 FH02 LL03 LL09 LM02 LM04 MM02 MM03  
MM04 NN14 NP03 NP13 NP14 NP22 NQ03 NQ04 NQ06 NQ10  
NQ12 NQ13