

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-55152

(P2011-55152A)

(43) 公開日 平成23年3月17日(2011.3.17)

(51) Int.Cl.		F I	テーマコード (参考)
<b>H03F</b>	<b>1/02</b>	<b>H03F 1/02</b>	<b>5J024</b>
<b>H03F</b>	<b>3/20</b>	<b>H03F 3/20</b>	<b>5J500</b>
<b>H03F</b>	<b>3/189</b>	<b>H03F 3/189</b>	
<b>H03H</b>	<b>7/075</b>	<b>H03H 7/075</b>	<b>A</b>
<b>H03H</b>	<b>5/02</b>	<b>H03H 5/02</b>	

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願2009-200817 (P2009-200817)  
 (22) 出願日 平成21年8月31日 (2009.8.31)

(71) 出願人 504133110  
 国立大学法人電気通信大学  
 東京都調布市調布ヶ丘一丁目5番地1  
 (74) 代理人 100102864  
 弁理士 工藤 実  
 (74) 代理人 100117617  
 弁理士 中尾 圭策  
 (72) 発明者 本城 和彦  
 東京都調布市調布ヶ丘一丁目5番地1 国立大学法人電気通信大学内  
 (72) 発明者 高山 洋一郎  
 東京都調布市調布ヶ丘一丁目5番地1 国立大学法人電気通信大学内

最終頁に続く

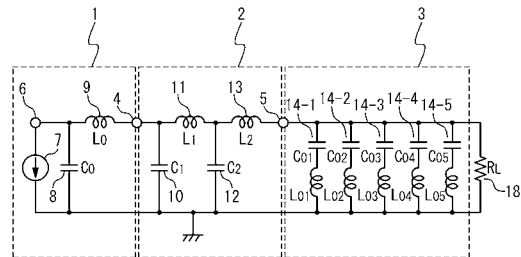
(54) 【発明の名称】 増幅回路

(57) 【要約】

【課題】無視することが出来ない寄生容量や寄生インダクタンスを有するトランジスタを用いながら、4次以上の次数に亘ってF級または逆F級の負荷条件を満たす増幅回路を提供する。

【解決手段】トランジスタの後段に、 $n$ 段 ( $n = 1, 2, 3, \dots$ ) の梯子型回路を有する高調波処理回路を設ける。高調波処理回路の後段に、それぞれの共振周波数が互いに異なる  $2n + 1$  個の共振器を有する共振回路部を設ける。 $2n + 1$  個の共振器の共振周波数を、高調波処理回路の出力部を短絡した場合にトランジスタのドレーン出力部および接地面との間に形成される  $n + 1$  個の極および  $n$  個の零点の周波数にそれぞれ一致させる。 $2n + 1$  個の共振器のうち、 $2n$  個の共振器の共振周波数を、2次から  $2n + 1$  次の高調波の周波数にそれぞれ一致させる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

基本角周波数  $\omega_0$  で動作する増幅回路であって、  
 等価出力電流源と、前記等価出力電流源の出力部に対して並列寄生容量となるドレーン-ソース間容量と、前記等価出力電流源およびドレーン出力部の間に存在し、かつ、直列寄生インダクタンスとなるドレーンインダクタンスとを有する等価回路として表現可能なトランジスタと、

前記ドレーン出力部に接続された入力部と、出力部と、前記入力部および出力部の間に設けられて各段が並列容量および直列インダクタを具備する  $n$  段 ( $n = 1, 2, 3, \dots$ ) の梯子型回路とを有する高調波処理回路と、

前記高調波処理回路の出力部および接地面との間に設けられて、それぞれの共振周波数が互いに異なる  $2n + 1$  個の共振器を有する共振回路部と、

前記高調波処理回路の後段に設けられた負荷抵抗とを具備し、

前記  $2n + 1$  個の共振器の共振周波数は、前記高調波処理回路の出力部を短絡した場合に前記トランジスタのドレーン出力部および前記接地面の間に形成される  $n + 1$  個の極および  $n$  個の零点の周波数にそれぞれ一致し、

前記  $2n + 1$  個の共振器のうち、 $2n$  個の共振器の共振周波数は、2次 ( $2\omega_0$ ) から  $2n + 1$  次 ( $(2n + 1)\omega_0$ ) の高調波の周波数にそれぞれ一致している

増幅回路。

## 【請求項 2】

請求項 1 に記載の増幅回路であって、

前記  $2n + 1$  個の共振器は、

直列に接続されたキャパシタ及びインダクタンスを具備し、前記高調波処理回路の出力部を短絡した場合に、前記トランジスタの等価回路における等価出力電流源の出力部および接地面の間に形成される  $n + 1$  個の極および  $n$  個の零点の周波数において短絡となる増幅回路。

## 【請求項 3】

請求項 1 に記載の増幅回路であって、

前記共振回路部は、前記  $2n + 1$  個の共振器として、

前記高調波処理回路の出力部を短絡した場合に、前記トランジスタの等価回路における等価出力電流源の出力部および接地面の間に形成される  $n + 1$  個の極および  $n$  個の零点の周波数において短絡となり、前記  $2n + 1$  個の共振器の共振周波数で 4 分の 1 波長とした先端開放スタブ

を具備する

増幅回路。

## 【請求項 4】

請求項 1 ~ 3 のいずれかに記載の増幅回路であって、

前記高調波処理回路の後段、かつ、前記負荷抵抗の前段に接続されて、前記基本波  $\omega_0$  に対応する整合回路

をさらに具備する

増幅回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、特にトランジスタを用いる増幅回路に関する。

## 【背景技術】

## 【0002】

トランジスタ出力端子から負荷側を見込んだインピーダンスが、偶数次高調波では短絡、かつ、奇数次高調波では開放、となっている場合について考える。このような場合にお

10

20

30

40

50

いて、偶数次高調波における出力は電流成分のみとなり、奇数次高調波における出力は電圧成分のみとなる。すなわち、高調波での消費電力が無くなる。ここでさらに、基本波における力率が - 1 になるように設定すると、100%の電力効率を実現する。このような原理による増幅器は、F級増幅器として知られている。

#### 【0003】

これとは逆に、トランジスタ出力端子から負荷側を見込んだインピーダンスが偶数次高調波で開放、かつ、奇数次高調波で短絡、となっている場合について考える。このような場合において、偶数次高調波における出力は電圧成分のみとなり、奇数次高調波における出力は電流成分のみとなる。すなわち、高調波での消費電力が無くなる。ここでさらに、基本波における力率が - 1 になるように設定すると、100%の電力効率を実現する。このような原理による増幅器は、逆F級増幅器として知られている。

10

#### 【0004】

図5は、従来技術における増幅器の構成を示す回路図である。この回路は、トランジスタ1の等価回路と、整合回路19と、負荷抵抗18とを具備している。トランジスタ1の等価回路は、等価出力電流源7と、ドレーン-ソース間容量8と、ドレーンインダクタ9とを具備している。

#### 【0005】

ここで、トランジスタ1におけるドレーン-ソース間容量8と、ドレーンインダクタ9とは、それぞれ寄生容量と、寄生インダクタとである。トランジスタ1の寄生容量や寄生インダクタンスを考慮しない場合については、例えば、特許文献1、特許文献2及び特許文献3に示されるように、無限次までの任意次数に亘って、F級および逆F級負荷回路を実現できる。

20

#### 【0006】

しかしながら、実際のトランジスタには、ドレーン-ソース間容量やドレーンインダクタなどの寄生回路素子が存在する。そして、特にマイクロ波帯やミリ波帯など、周波数が高い領域では、これらの寄生回路素子の影響が無視出来ず、負荷回路の高調波の処理次数を上げて効率が改善しないという問題があった。

#### 【0007】

このため、トランジスタの寄生容量および寄生インダクタンスを考慮したF級増幅器回路および逆F級増幅器回路の検討も行われている。非特許文献1や特許文献3には、トランジスタの寄生容量および寄生インダクタを考慮して、F級および逆F級の負荷条件を3次高調波まで実現する手法が開示されている。

30

#### 【0008】

しかし、4次高調波以上を処理する回路は知られていない。このため、実際の設計に当たっては、半導体素子に寄生回路素子が存在しないと仮定して設計し試作した後に、実験的に再調整を行わなければならなかった。この場合、多数の高調波の終端条件を同時に考慮して調整することは非常に難しい。原理的にはF級や逆F級の増幅回路により100%の電力効率が達成可能であっても、現実には、マイクロ波帯における電力効率は80%程度に留まっていた。

#### 【先行技術文献】

40

#### 【特許文献】

#### 【0009】

【特許文献1】特開2003-234626号公報

【特許文献2】特開2005-117200号公報

【特許文献3】特開2009-130472号公報

#### 【非特許文献】

#### 【0010】

【非特許文献1】Y. Y. Woo, et al., "Analysis and Experiments for High Efficiency Class-F and inverse Class-F power amplifier", IEE

50

E Trans. Microwave Theory and Techniques  
 , vol. 54, no. 5, pp. 1969 - 1974, May 2006

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の目的は、無視することが出来ない寄生容量や寄生インダクタンスを有するトランジスタを用いながら、4次以上の次数に亘ってF級または逆F級の負荷条件を満たす増幅回路を提供することにある。

【課題を解決するための手段】

【0012】

以下に、（発明を実施するための形態）で使用される番号を用いて、課題を解決するための手段を説明する。これらの番号は、（特許請求の範囲）の記載と（発明を実施するための形態）との対応関係を明らかにするために付加されたものである。ただし、それらの番号を、（特許請求の範囲）に記載されている発明の技術的範囲の解釈に用いてはならない。

【0013】

本発明における増幅回路は、基本角周波数  $\omega_0$  で動作する。この増幅回路は、トランジスタ（1）と、高調波処理回路（2）と、共振回路部（3）と、負荷抵抗（18）とを具備する。ここで、トランジスタ（1）は、等価出力電流源（7）と、等価出力電流源（7）の出力部（6）に対して並列寄生容量となるドレーン-ソース間容量（8）と、等価出力電流源（7）およびドレーン出力部（4）の間に存在し、かつ、直列寄生インダクタンスとなるドレーンインダクタンス（9）とを有する等価回路として表現可能である。高調波処理回路（2）は、ドレーン出力部（4）に接続された入力部（4）と、出力部（5）と、入力部（4）および出力部（5）の間に設けられて各段が並列容量および直列インダクタを具備するn段（ $n = 1, 2, 3, \dots$ ）の梯子型回路（10～13）とを有する。共振回路部（3）は、高調波処理回路（2）の出力部（5）および接地面の間に設けられて、それぞれの共振周波数が互いに異なる  $2n + 1$  個の共振器（14-1～14-5）を有する。負荷抵抗（18）は、高調波処理回路（2）の後段に設けられている。  $2n + 1$  個の共振器（14-1～14-5）の共振周波数は、高調波処理回路（2）の出力部（5）を短絡した場合にトランジスタ（1）のドレーン出力部（4）および接地面との間に形成される  $n + 1$  個の極およびn個の零点の周波数にそれぞれ一致している。  $2n + 1$  個の共振器（14-1～14-5）のうち、  $2n$  個の共振器の共振周波数は、2次（ $2\omega_0$ ）から  $2n + 1$  次（ $(2 + 1)\omega_0$ ）の高調波の周波数にそれぞれ一致している。

【0014】

本発明の増幅回路では、複数の共振周波数を有する共振回路部を、高調波処理回路部の後段に設ける。ここで、複数（ $2n + 1$  個）の共振周波数はそれぞれ、共振回路部を短絡したときに、トランジスタの等価出力電流源出力端子と接地面との間に形成される極と零点の周波数に一致している。この内  $2n$  個の共振周波数は、F級あるいは逆F級増幅器の動作に必要な各高調波と一致しており、残りの1つは、増幅器動作と無関係な周波数（擬似共振周波数と呼ぶことにする）となり、トランジスタの寄生容量と寄生インダクタンスならびに設計事項として設定された他の  $n - 1$  個の共振周波数を用いて、例えば  $n = 2$  の時は後述する数式8で表される。

【発明の効果】

【0015】

本発明の増幅回路では、無視することが出来ない寄生容量や寄生インダクタンスを有するトランジスタを用いても、4次以上の次数に亘ってF級または逆F級の負荷条件を満たすことができる。

【図面の簡単な説明】

【0016】

【図1】図1は、本発明の第1の実施形態における増幅回路の構成を示す回路図である。

10

20

30

40

50

【図 2】図 2 は、図 1 において、出力端子 5 を短絡した場合に、トランジスタ部 1 の等価出力電流源 7 から負荷側を見た等価回路である。

【図 3】図 3 は、本発明の第 2 の実施形態における増幅回路の構成を示す回路図である。

【図 4】図 4 は、本発明の第 3 の実施形態における増幅回路の構成を示す回路図である。

【図 5】図 5 は、従来技術における増幅器の構成を示す回路図である。

【発明を実施するための形態】

【0017】

添付図面を参照して、本発明における増幅回路を実施するための形態を以下に説明する。

【0018】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態における増幅回路の構成を示す回路図である。この増幅回路は、トランジスタ部 1 と、高調波処理回路部 2 と、共振回路部 3 と、任意の負荷抵抗  $18 (R_L)$  とを具備する。

【0019】

トランジスタ部 1 と、高調波処理回路部 2 と、共振回路部 3 と、任意の負荷抵抗  $18 (R_L)$  とは、この順番に直列に接続されている。

【0020】

トランジスタ部 1 について説明する。トランジスタ部 1 は、トランジスタを、その等価回路として表している。このトランジスタの等価回路には、等価出力電流源 7 と、ドレーン - ソース間容量  $8 (C_0)$  と、ドレーンインダクタ  $9 (L_0)$  とが介在している。ここで、ドレーン - ソース間容量  $8 (C_0)$  は、等価出力電流源 7 における出力部 6 に対する並列寄生容量である。ドレーンインダクタ  $9 (L_0)$  は、等価出力電流源 7 とドレーン出力部 4 との間に存在する直列寄生インダクタンスである。

【0021】

トランジスタ部 1 の各構成要素間の接続関係について説明する。ドレーン出力部 4 は、ドレーンインダクタ  $9 (L_0)$  における一方の端部に接続されている。ドレーンインダクタ  $9 (L_0)$  における他方の端部は、ドレーン - ソース間容量  $8 (C_0)$  における一方の端部と、等価出力電流源 7 における一方の出力部 6 とに接続されている。ドレーン - ソース間容量  $8 (C_0)$  における他方の端部と、等価出力電流源 7 における他方の端子とは、

接地されている。

【0022】

高調波処理回路部 2 について説明する。高調波処理回路部 2 は、入力部 4 と、第 1 および第 2 のキャパシタ  $10 (C_1)$ 、 $12 (C_2)$  と、第 1 および第 2 のインダクタ  $11 (L_1)$ 、 $13 (L_2)$  と、出力部 5 とを具備する。なお、高調波処理回路部 2 の入力部 4 と、トランジスタ部 1 のドレーン出力部 4 とは直接的に接続されているので、同じ番号 4 で表すことにする。

【0023】

高調波処理回路部 2 における各構成要素間の接続関係について説明する。入力部 4 は、第 1 のキャパシタ  $10 (C_1)$  における一方の端部と、第 1 のインダクタ  $11 (L_1)$  における一方の端部とに接続されている。第 1 のインダクタ  $11 (L_1)$  における他方の端部は、第 2 のキャパシタ  $12 (C_2)$  における一方の端部と、第 2 のインダクタ  $13 (L_2)$  における一方の端部とに接続されている。第 2 のインダクタ  $13 (L_2)$  における他方の端部は、出力部 5 に接続されている。第 1 および第 2 のキャパシタ  $10 (C_1)$ 、 $12 (C_2)$  のそれぞれにおける他方の端部は、接地されている。

【0024】

言い換えると、第 1 のキャパシタ  $10 (C_1)$  および第 1 のインダクタ  $11 (L_1)$  は、第 1 の一段逆 L 回路として動作する。同様に、第 2 のキャパシタ  $12 (C_2)$  および第 2 のインダクタ  $13 (L_2)$  は、第 2 の一段逆 L 回路として動作する。高調波処理回路部 2 において、第 2 の一段逆 L 回路は、第 1 の一段逆 L 回路に従属して接続されている。

10

20

30

40

50

## 【0025】

共振回路部3について説明する。共振回路部3は、入力部5と、第1～第5の共振器14-1～14-5を具備する。これら第1～第5の共振器14-1～14-5は、第1～第5のキャパシタ( $C_{01} \sim C_{05}$ )と、第1～第5のインダクタ( $L_{01} \sim L_{05}$ )とをそれぞれ具備する。なお、共振回路部3における入力部5と、高周波処理回路部2における出力部5とは、直接的に接続されているので、同じ番号5で表すことにする。

## 【0026】

共振回路部3における各構成要素間の接続関係について説明する。第1～第5のキャパシタ( $C_{01} \sim C_{05}$ )のそれぞれにおける一方の端部は、入力部5に接続されている。第1～第5のキャパシタ( $C_{01} \sim C_{05}$ )のそれぞれにおける他方の端部は、第1～第5のインダクタ( $L_{01} \sim L_{05}$ )のそれぞれにおける一方の端部に接続されている。第1～第5のインダクタ( $L_{01} \sim L_{05}$ )のそれぞれにおける他方の端部は、接地されている。

10

## 【0027】

言い換えると、共振回路部3では、直列に接続されたキャパシタとインダクタによって決定される共振周波数を有する共振器が、5つ並列に接続されている。ここで、5つの共振器のそれぞれにおける共振周波数は、それぞれ異なっている(ただし、トランジスタの寄生回路素子に由来する零点または極が、増幅器の動作高調波と一致する場合(縮退)もあり得るが、これは稀有望ましい状態である。この場合並列共振器の数は $2n$ 個で良いことになる)。

20

## 【0028】

負荷抵抗18( $R_L$ )における一方の端部は、共振回路部3の入力部5に接続されている。負荷抵抗18( $R_L$ )における他方の端部は、接地されている。

## 【0029】

これらの共振器14-1～14-5における共振時の零インピーダンスにより、高周波処理回路部2の出力部5が短絡する。したがって、これらの共振器14-1～14-5における共振周波数がそれぞれ異なれば、複数の所望動作周波数においてこの短絡条件が実現する。

## 【0030】

上述したとおり、高周波処理回路部2の出力部5と、接地面との間には、負荷抵抗18( $R_L$ )が接続されている。この負荷抵抗18( $R_L$ )から、基本角周波数 $\omega_0$ の出力信号を取り出すことができる。高周波処理回路部2の出力端子5を短絡した場合に、トランジスタ部1の出力部4と、接地面との間に、 $n+1$ 個の極および $n$ 個の零点が形成される。ここで、共振器の共振角周波数が、これら $n+1$ 個の極および $n$ 個の零点の周波数に各々一致するように、設定する。同時に、5個の共振器14-1～14-5のうち4個の共振器の共振角周波数が、2次( $2\omega_0$ )から5次( $5\omega_0$ )の高調波とそれぞれ一致するように設定する。また、残りの1つの共振器における共振角周波数が、トランジスタの寄生回路素子に起因する擬似共振角周波数と一致するように設定する。

30

## 【0031】

図2は、図1において、出力端子5を短絡した場合に、トランジスタ部1の等価出力電流源7から負荷側を見た等価回路である。この等価回路は、等価出力電流源7の出力部6と、第1～第3のキャパシタ8( $C_0$ )、10( $C_1$ )、12( $C_2$ )と、第1～第3のインダクタ9( $L_0$ )、11( $L_1$ )、13( $L_2$ )とを具備する。

40

## 【0032】

出力部6は、第1のキャパシタ8( $C_0$ )における一方の端部と、第1のインダクタ9( $L_0$ )における一方の端部とに接続されている。第1のインダクタ9( $L_0$ )における他方の端部は、第2のキャパシタ10( $C_1$ )における一方の端部と、第2のインダクタ11( $L_1$ )における一方の端部とに接続されている。第2のインダクタ11( $L_1$ )における他方の端部は、第3のキャパシタ12( $C_2$ )における一方の端部と、第3のインダクタ13( $L_2$ )における一方の端部とに接続されている。第1～第3のキャパシタ8

50

( $C_0$ )、 $10$ ( $C_1$ )、 $12$ ( $C_2$ )のそれぞれにおける他方の端部と、第3のインダクタ $13$ ( $L_2$ )における他方の端部とは、接地されている。

【0033】

図2の回路における入力アドミタンス $Y(s)$ を求めると、次の(1)式が得られる。

【数1】

$$Y(s) = C_0 s + \frac{1}{L_0 s + \frac{1}{C_1 s + \frac{1}{L_1 s + \frac{1}{C_2 s + \frac{1}{L_2 s}}}}} \quad \dots(1)$$

10

ここで、

$$s = j$$

である。

【0034】

その一方で、図2の回路は、純リアクタンス1端子対回路網である。一般的に、純リアクタンス1端子対回路網のアドミタンス特性は、次の(2)式のように示すことが出来る。

20

【数2】

$$Y(s) = \frac{a_0 + a_2 s^2 + a_4 s^4 + a_6 s^6}{b_1 s + b_3 s^3 + b_5 s^5} = M \cdot \frac{(s^2 + \omega_1^2)(s^2 + \omega_3^2)(s^2 + \omega_5^2)}{s(s^2 + \omega_2^2)(s^2 + \omega_4^2)} \quad \dots(2)$$

ここで、(1)式における $Y(s)$ と、(2)式における $Y(s)$ は、同一の回路のアドミタンスを示す。

30

【0035】

(2)式において、 $\omega_1$ 、 $\omega_3$ 、 $\omega_5$ は、アドミタンス関数の分子が零になる角周波数であり、すなわち、インピーダンス関数の極を表す。同様に、(2)式において、 $\omega_2$ 、 $\omega_4$ は、アドミタンス関数の分母が零になる角周波数であり、すなわち、インピーダンス関数の零点を表している。

【0036】

また、(2)式において、

$$M = a_6 / b_5$$

である。

【0037】

40

あらかじめ、(2)式により等価出力電流源7から負荷側を見込んだ各高調波のインピーダンスを零あるいは無限大(極)に設定して、すなわちアドミタンスを無限大(インピーダンスの零に対応)あるいは零(インピーダンスの極に対応)に設定して、F級あるいは逆F級の負荷条件を指定する。同時に、F級や逆F級動作と無関係の極を $C_0$ 、 $L_0$ の寄生回路素子により発生させる。こうすることにより、トランジスタの寄生回路素子を取り込んだ状態で、等価出力電流源7から負荷側を見た周波数特性を理想的なF級、あるいは逆F級とすることが出来る。

【0038】

例えば、 $\omega_0$ を基本波角周波数とし、(2)式において、 $\omega_2 = 2\omega_0$ 、 $\omega_4 = 4\omega_0$ を零点とし、 $\omega_3 = 3\omega_0$ 、 $\omega_5 = 5\omega_0$ を極とする。こうすることにより、トランジスタ

50

の寄生回路素子の影響をも考慮しつつ、4次までの高調波を処理できる完全なF級増幅負荷回路が得られる。このとき  $\omega_1$  はトランジスタ寄生素子に起因する擬似共振角周波数となる。

【0039】

そこで、(2)式の第3項において分子を分母で割ることで商と剰余式を得て、この剰余式において分子を分母で割る。この操作を繰り返すことにより、次の(3)式に示されるように、連分数で表現された式が得られる。

【数3】

$$Y(s) = Ms + \frac{1}{\frac{1}{M(a-d)}s + \frac{1}{d - \frac{b-e}{a-d} \left( \frac{1}{K_1} + \frac{1}{\frac{K_1}{K_2}s + \frac{Mc}{K_2}} \right)}} \quad \dots(3) \quad 10$$

ここで、 $a$ 、 $b$ 、 $c$ 、 $d$ 、 $e$ 、 $K_1$ 、 $K_2$ は、次の(4)式、(5)式のように定義される。 20

【数4】

$$\begin{aligned} \omega_1^2 + \omega_3^2 + \omega_5^2 &\equiv a \\ \omega_1^2 \omega_3^2 + \omega_3^2 \omega_5^2 + \omega_5^2 \omega_1^2 &\equiv b \\ \omega_1^2 \omega_3^2 \omega_5^2 &\equiv c \\ \omega_2^2 + \omega_4^2 &\equiv d \\ \omega_2^2 \omega_4^2 &\equiv e \end{aligned} \quad \dots(4) \quad 30$$

【数5】

$$\begin{aligned} K_1 &= M \left\{ (b-e) - \frac{\left( e - \frac{c}{a-d} \right) (a-d)}{d - \frac{b-e}{a-d}} \right\} \\ K_2 &= \left( e - \frac{c}{a-d} \right) - \frac{\left( d - \frac{b-e}{a-d} \right) c}{\left\{ (b-e) - \frac{\left( e - \frac{c}{a-d} \right) (a-d)}{d - \frac{b-e}{a-d}} \right\}} \end{aligned} \quad \dots(5) \quad 40$$

【0040】



上記に得られた(3)式と、前述した(1)式において、各係数を比較することで、トランジスタの寄生回路素子まで考慮しつつ、4次までの高調波処理を行うことができる完全なF級負荷回路を実現することができる。回路パラメータのそれぞれは、より具体的には、次の(6)式のように求められる。

【数6】

$$\begin{aligned}
 C_0 &= M \\
 L_0 &= \frac{1}{C_0(a-d)} \\
 C_1 &= \frac{C_0(a-d)}{\left(d - \frac{b-e}{a-d}\right)} \\
 L_1 &= \frac{\left(d - \frac{b-e}{a-d}\right)}{K_1} \quad \dots(6) \\
 C_2 &= \frac{K_1}{K_2} \\
 L_2 &= \frac{K_2}{cC_0}
 \end{aligned}$$

【0041】

上記の(6)式および(4)式より、次の(7)式が得られる。

【数7】

$$L_0 = \frac{1}{C_0(a-d)} = \frac{1}{C_0(\omega_1^2 + \omega_3^2 + \omega_5^2 - \omega_2^2 - \omega_4^2)} \quad \dots(7)$$

【0042】

擬似共振角周波数  $\omega_1$  は、F級増幅器の設計事項である2つの零点および2つの極ならびにトランジスタの寄生容量( $C_0$ )および寄生インダクタンス( $L_0$ )を用いて、次の(8)式のように表すことができる。

【数8】

$$\omega_1^2 = \frac{1}{L_0 C_0} - \omega_3^2 - \omega_5^2 + \omega_2^2 + \omega_4^2 = \frac{1}{L_0 C_0} - 14\omega_0^2 \quad \dots(8)$$

【0043】

一方、 $\omega_0$  を基本波角周波数とし、上記の(2)式において  $\omega_1 = 2\omega_0$ 、 $\omega_3 = 4\omega_0$  を極とし、 $\omega_2 = 3\omega_0$ 、 $\omega_4 = 5\omega_0$  を零点とし、 $\omega_5$  を擬似共振周波数とおくと、トランジスタの寄生回路素子を考慮して4次までの高調波を処理する完全な逆F級増幅回路を得ることが出来る。逆F級増幅器の場合も、高調波処理次数は4次に限らず、4次以上の任意次数まで処理できる完全逆F負荷回路が得られる。

【0044】

(第2の実施形態)

図3は、本発明の第2の実施形態における増幅回路の構成を示す回路図である。本実施形態における増幅回路の構成は、本発明の第1の実施形態における増幅回路に次の変更を

10

20

30

40

50

加えたものに等しい。すなわち、本実施形態における増幅回路は、本発明の第1の実施形態における増幅回路に基本波インピーダンス整合回路19を追加し、かつ、負荷抵抗18の接続位置を、高周波処理回路部の出力部から、基本波インピーダンス整合回路19の出力部に変更したものである。

【0045】

インピーダンス整合回路19の構成例について説明する。図3に示されるように、インピーダンス整合回路19は、インダクタンス20と、キャパシタ21とを具備する。インダクタンス20における一方の端部は、高周波処理回路部2の出力部5に接続されている。インダクタンス20における他方の端部は、キャパシタ21における一方の端部に接続されている。キャパシタ21における他方の端部は、接地されている。すなわち、この構成例において、インピーダンス整合回路19は、インダクタンスとキャパシタを用いた一段のフィルタ回路である。

10

【0046】

インダクタンス20とキャパシタ21との接続部は、基本波インピーダンス整合回路19の出力部に相当する。インダクタンス20とキャパシタ21との接続部には、負荷抵抗18が接続されている。

【0047】

なお、上記に説明したインピーダンス整合回路19の構成例は、あくまでも一例であって、多段のフィルタ回路や分布定数回路であっても良い。

【0048】

本実施形態における増幅回路のその他の構成、構成要素間の接続関係、動作などは、全て本発明の第1の実施形態で説明した内容と同じであるので、さらなる詳細な説明を省略する。

20

【0049】

基本波インピーダンス整合回路19を用いて基本波のインピーダンス整合を実施すると、基本波の力率を-1により近づけることができる。

【0050】

(第3の実施形態)

図4は、本発明の第3の実施形態における増幅回路の構成を示す回路図である。本実施形態における増幅回路の構成は、本発明の第2の実施形態における増幅回路に次の変更を加えたものに等しい。すなわち、本発明の第2の実施形態では、共振回路部3が複数の共振器14-1~14-5を具備しているのに対して、本実施形態では、共振回路部3が複数の先端開放スタブ23~27を具備している。複数の先端開放スタブ23~27は、複数の共振器14-1~14-5に対応しており、これら複数の共振器14-1~14-5と同じ機能を有する。

30

【0051】

複数のスタブ23~27のそれぞれにおける端部は、共振回路部3の入力部に接続されている。これら複数の先端開放スタブ23~27のそれぞれにおける長さは、所望の共振周波数に対応する4分の1波長に基づいて設定されている。したがって、本実施形態における共振回路部3は、本発明の第2の実施形態における共振回路部3と同様に動作する。これら複数の先端開放スタブ23~27は、例えば、特許文献1の図2などに記載された従来技術と同様に形成されても良いが、接続部において所望の複数の共振周波数で短絡させられれば他の方法で形成されても構わないことは言うまでも無い。

40

【0052】

本実施形態における増幅回路のその他の構成、構成要素間の接続関係、動作などは、全て本発明の第2の実施形態で説明した内容と同じであるので、さらなる詳細な説明を省略する。

【0053】

なお、本発明の第1~第3の実施形態は、技術的な矛盾が生じない範囲において、あらゆる組み合わせが可能である。例えば、本発明の第3の実施形態による増幅回路では、基

50

本波インピーダンス整合回路(19)の存在は必ずしも必要ではなく、省略可能である。すなわち、本発明の第1の実施形態による共振回路部(3)を、本発明の第3の実施形態による共振回路部(3)と取り替えても、本発明の課題は実現される。また、本発明の第1及び第2の実施の形態では、共振回路部3は4個の共振器14-1~14-5を備えていると説明したが、共振回路部3は2個以上の共振器を備えていればよく、これにより、上述した効果と同一の効果を奏する。また、ここまで $n = 2$ の場合について説明したが、 $n = 1, 2, 3, \dots$ などいかなる正整数であっても良く、例えば $n = 3$ 以上で共振器の数が6個ないし7個以上であっても構わないことは言うまでもない。

【符号の説明】

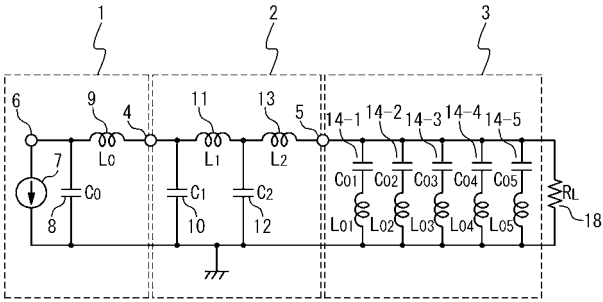
【0054】

- 1 トランジスタ部
- 2 高周波処理回路部
- 3 共振回路部
- 4 ドレーン出力部、高周波処理回路部の入力部
- 5 高周波処理回路部の出力部、共振回路部の入力部
- 6 等価出力電流源の出力部
- 7 等価出力電流源
- 8 ドレーン-ソース間容量
- 9 ドレーンインダクタ
- 10 キャパシタ
- 11 インダクタ
- 12 キャパシタ
- 13 インダクタ
- 14 - 1 ~ 14 - 5 共振器
- 18 負荷抵抗
- 19 基本波インピーダンス整合回路
- 20 インダクタ
- 21 キャパシタ
- 23 ~ 27 先端開放スタブ

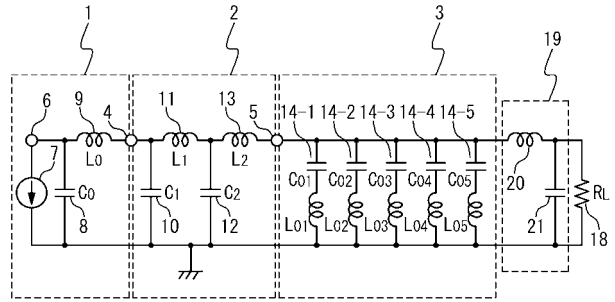
10

20

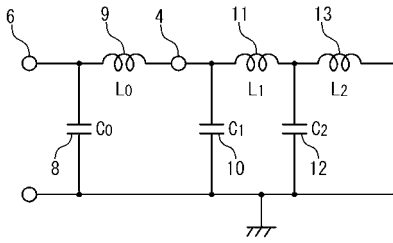
【図 1】



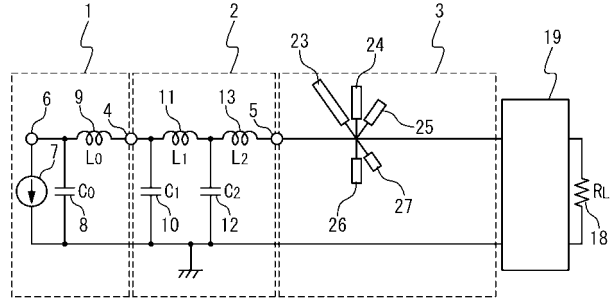
【図 3】



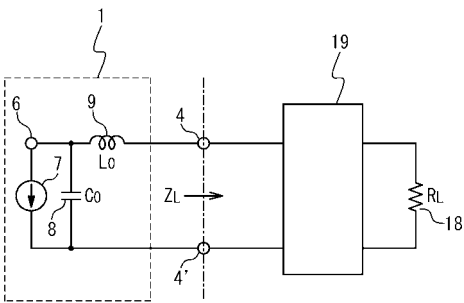
【図 2】



【図 4】



【図 5】



---

フロントページの続き

(72)発明者 石川 亮

東京都調布市調布ヶ丘一丁目5番地1 国立大学法人電気通信大学内

Fターム(参考) 5J024 AA01 AA10 BA04 BA18 BA19 CA02 CA19 DA01 DA25 EA01  
5J500 AA01 AA04 AA41 AA67 AC16 AC36 AH09 AH29 AH33 AK13  
AK41 AK68 LV05