

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-289256
(P2009-289256A)

(43) 公開日 平成21年12月10日(2009.12.10)

(51) Int.Cl. F I テーマコード(参考)
G06F 17/14 (2006.01) G O 6 F 17/14 A 5 B 0 5 6
 G O 6 F 17/14 S

審査請求 未請求 請求項の数 2 O L (全 33 頁)

<p>(21) 出願番号 特願2009-94620 (P2009-94620) (22) 出願日 平成21年4月9日(2009.4.9) (31) 優先権主張番号 特願2008-119884 (P2008-119884) (32) 優先日 平成20年5月1日(2008.5.1) (33) 優先権主張国 日本国(JP)</p>	<p>(71) 出願人 506301140 公立大学法人会津大学 福島県会津若松市一箕町大字鶴賀字上居合 90番地 (74) 代理人 100118094 弁理士 殿元 基城 (72) 発明者 スタニスラフ セドゥーキン 福島県会津若松市一箕町大字鶴賀字上居合 90番地 公立大学法人会津大学内 (72) 発明者 官崎 敏明 福島県会津若松市一箕町大字鶴賀字上居合 90番地 公立大学法人会津大学内 (72) 発明者 黒田 研一 福島県会津若松市一箕町大字鶴賀字上居合 90番地 公立大学法人会津大学内 Fターム(参考) 5B056 AA05 BB11 BB12 BB17 FF00</p>
---	---

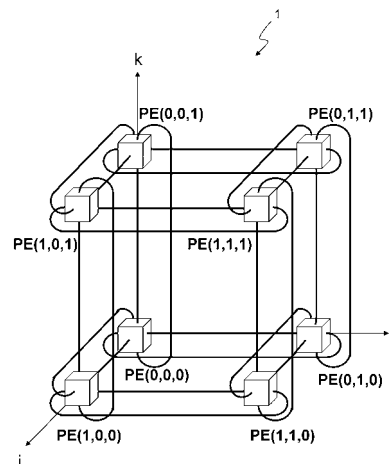
(54) 【発明の名称】 アレイプロセッサ

(57) 【要約】

【課題】データ同士の入替作業用の専用回路の設置などを行うことなく、三次元離散直交変換および三次元逆離散直交変換を迅速に実行すること。

【解決手段】アレイプロセッサ1は、プロセッシングエレメントPEによる概念的な三次元配置状態により形成され、各プロセッシングエレメントPEの入力端子と出力端子とはそれぞれトラス状に接続されている。各プロセッシングエレメントPEは、積和演算の演算結果を一の軸方向のプロセッシングエレメントPEに出力し、また、積和演算の演算データを他の軸方向のプロセッシングエレメントPEに出力する。演算結果等を取付したプロセッシングエレメントPEは積和演算を行い、演算結果と前記演算データとをそれぞれ隣接する他のプロセッシングエレメントPEに出力する。この処理をトラス状に接続した全てのプロセッシングエレメントPEで行い、軸方向を変えて3回実行する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

積和演算機能を備えたプロセッシングエレメントを3つの軸方向にそれぞれn個ずつ配設することにより概念的な三次元配置状態を形成し、

各プロセッシングエレメントに対して、前記軸方向に対応付けられた入力端子と出力端子とを各軸方向に対応付けて3組設け、同一軸方向に隣接配置される一のプロセッシングエレメントの当該軸方向における入力端子と他のプロセッシングエレメントの当該軸方向における出力端子とを接続することにより、各プロセッシングエレメントの3組の入力端子および出力端子を軸方向に対応させてそれぞれトラス状に接続し、

各プロセッシングエレメントでは、前記積和演算機能に基づいて積和演算を行った演算結果を、一の軸方向に対応する出力端子より当該一の軸方向に隣接する他のプロセッシングエレメントに出力すると共に、前記積和演算を行う際に用いた演算データを他の軸方向に対応する出力端子より当該他の軸方向に隣接する他のプロセッシングエレメントに出力し、

前記演算結果と演算データとをそれぞれ異なる軸方向に隣接する他のプロセッシングエレメントより取得したプロセッシングエレメントでは、取得した前記演算結果と演算データとを用いて積和演算を行い、当該積和演算に基づく演算結果と前記演算データとを、それぞれ取得した入力端子に対応する出力端子よりそれぞれの軸方向に隣接する他のプロセッシングエレメントに対し出力することにより、一の軸方向に対してトラス状に接続された全てのプロセッシングエレメントにおいて第一周期目のn回の積和演算処理を互いに同期させて実行し、

該第一周期目のn回の積和演算処理の後に、各プロセッシングエレメントでは、前記演算結果を出力する出力端子の軸方向を変更すると共に、当該軸方向の変更に対応させて前記演算データを出力する出力端子の軸方向を変更して、第二周期目のn回の積和演算処理を互いに同期させて実行し、

該第二周期目のn回の積和演算処理の後に、各プロセッシングエレメントでは、前記演算結果を出力する出力端子の軸方向を、第一周期目および第二周期目と異なる軸方向に変更すると共に、当該軸方向の変更に対応させて前記演算データを出力する出力端子の軸方向を第一周期目および第二周期目と異なる軸方向に変更して、第三周期目のn回の積和演算処理を互いに同期させて実行することによって、

三次元直交変換処理を実行することを特徴とするアレイプロセッサ。

【請求項 2】

前記各プロセッシングエレメントは、

前記積和演算に用いられる被演算値を記憶する1つの被演算値記憶手段と、

前記入力端子を介して入力された前記演算結果または前記演算データを記憶する3つの入力情報記憶手段と、

前記積和演算機能による演算方法に対応して決定される定数値を記憶する3つの定数値記憶手段と、

前記演算結果と前記演算データと前記被演算値と前記定数値とのいずれかを用いて積和演算を行う演算処理手段と、

前記3つの入力端子のいずれかより入力された情報を前記入力情報記憶手段または前記被演算値記憶手段のいずれかに案内する入力スイッチ手段と、

前記演算データおよび前記演算処理手段により積和演算が行われた演算結果を前記3つの出力端子のいずれかよりそれぞれ出力させる出力スイッチ手段と、

前記被演算値記憶手段と前記入力情報記憶手段と前記定数値記憶手段とのいずれかより3つのデータを読み出して前記演算処理手段に案内するセレクト手段と、

前記入力スイッチ手段、前記出力スイッチ手段および前記セレクト手段の制御を行う制御手段と

を有し、

前記制御手段は、前記演算結果が前記入力端子を介して入力された場合に、前記入力ス

10

20

30

40

50

スイッチ手段を制御して当該演算結果を前記入力情報記憶手段のいずれかに案内し、前記セクタ手段を制御して当該入力情報記憶手段より読み出された演算結果を前記演算処理手段に案内し、一周期においてまだn回の演算処理が行われていない場合には、前記出力スイッチ手段を制御して前記演算処理手段により積和演算が行われた演算結果を、前記演算結果が入力された前記入力端子に対応する軸方向の出力端子より出力し、一周期においてn回目の演算処理が行われた場合には、前記出力スイッチ手段を制御して前記演算処理手段により積和演算が行われた演算結果を、前記演算結果が入力された前記入力端子とは異なる軸方向の出力端子より出力する

ことを特徴とする請求項1に記載のアレイプロセッサ。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、アレイプロセッサに関し、より詳細には、積和演算処理を行うプロセッシングエレメントを各軸方向に配設して概念的な三次元配置状態に形成し、各プロセッシングエレメントに設けられる入力端子と隣接する他のプロセッシングエレメントに設けられる出力端子とを前記軸方向に対応させてトラス状に接続させたアレイプロセッサに関する。

【背景技術】

【0002】

従来より、画像を空間座標から周波数座標に変換する処理方式として二次元直交変換処理が知られている。この二次元直交変換処理は、デジタル技術の進んだ今日において大変多く用いられる変換処理であり、例えば、JPEG等の画像圧縮技術や動画圧縮技術等においても多く用いられている。さらに、時間軸を考え三次元のデータに対して周波数座標に変換する三次元直交変換も古くから動画圧縮への応用が考えられている。

20

【0003】

次述する式(1)は、一般的な三次元離散直交変換処理に用いられる数式を示している。

【数1】

$$Y(k_1, k_2, k_3) = \sum_{n_3} \sum_{n_2} \sum_{n_1} X(n_1, n_2, n_3) \cdot C(n_1, k_1) \cdot C(n_2, k_2) \cdot C(n_3, k_3), \quad \dots \text{式(1)}$$

30

【0004】

ここで、 n_1, n_2, n_3 は、0以上 $n-1$ 以下の整数値（つまり、 $0 \leq n_1 \leq n-1, 0 \leq n_2 \leq n-1, 0 \leq n_3 \leq n-1$ ）であり、 k_1, k_2, k_3 は、0以上 $n-1$ 以下の整数値（つまり、 $0 \leq k_1 \leq n-1, 0 \leq k_2 \leq n-1, 0 \leq k_3 \leq n-1$ ）である。また、 $C(n_1, k_1), C(n_2, k_2), C(n_3, k_3)$ はサイズが $n \times n$ の二次元係数行列を示し、 $X(n_1, n_2, n_3)$ はサイズ $n \times n \times n$ の三次元入力データ行列を示し、 $Y(k_1, k_2, k_3)$ はサイズ $n \times n \times n$ の三次元直交変換後のデータを表す行列である。

40

【0005】

式(1)に示す数式において、 $C(n_1, k_1), C(n_2, k_2), C(n_3, k_3)$ に記録される具体的な値を変更することにより、さまざまな直交変換の方式、例えば、JPEGで採用されている離散コサイン変換(DCT: Discrete Cosine Transform)の他に、ウォルシュ・アダマール変換(WHT: Walsh-Hadamard Transform)、離散フーリエ変換(DFT: Discrete Fourier Transform)、離散サイン変換(DST: Discrete Sine Transform)などの変換処理を実行することが可能となっている。

【0006】

このような三次元離散直交変換処理をコンピュータを用いて演算する場合には、メモリ

50

に格納した係数 C と入力データ X とを虫食いの如く何度もアクセスする必要があり、膨大なデータアクセスの発生により処理の高速化が困難であるという問題があった。このような問題を回避するために、次元の離散直交変換専用回路を 3 つ使い、それぞれを接続して三次元離散直交変換処理を実現する方法が提案されている（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】米国特許第 5, 126, 962 号明細書

【発明の概要】

【発明が解決しようとする課題】

10

【0008】

上述した特許文献 1 に記載の方法は、(1) 式に示した各変数 n_1, n_2, n_3 の 1 つのみを変化させながら順番に計算を進める方法に該当する。この方法を用いる場合には、一の軸方向に係る離散直交変換処理が終了した後に次の軸方向において離散直交変換処理を行うために、計算途中のデータや係数データを回路に入力させる順番を調整して各データの掛け合わせ処理を行う必要が生ずる。このため、特許文献 1 に示す方法を用いる場合には、計算途中のデータや係数データを回路に入力させる順番を調整するための専用回路を設ける必要が生じる（例えば、特許文献 1 の図 5 参照）。このようにデータ調整用の専用回路を設けることによって、離散直交変換処理における処理速度の向上を図ることが可能になる一方で、アレイプロセッサの回路構成が複雑になってしまうという問題が生じていた。

20

【0009】

また、複数のプロセッシングエレメントによって構成されるアレイプロセッサを用いて三次元離散直交変換を実行する方法も考えられているが、各次元の計算途中においてプロセッシングエレメントの内部に蓄えられるデータおよび係数行列要素を、各プロセッシングエレメントを互いに接続させた複雑な配線構造を用いて何度も交換し合う必要が生ずるという問題があった。

【0010】

しかも、行列要素の交換は、隣接するプロセッシングエレメントの間だけに限定されないため、プロセッシングエレメントの間の配線構造に制約がある場合は、幾つかのプロセッシングエレメントを経由してデータの交換作業を行う必要が生じ、演算処理における処理負担が増大してしまうという問題があった。

30

【0011】

さらに、このような問題は、式(2)に示す三次元離散直交変換の逆変換処理（三次元逆離散直交変換）においても同様に生じるものであった。

【数 2】

$$X(n_1, n_2, n_3) = \sum_{k_3} \sum_{k_2} \sum_{k_1} Y(k_1, k_2, k_3) \cdot C(k_1, n_1) \cdot C(k_2, n_2) \cdot C(k_3, n_3), \quad \dots \text{式(2)}$$

40

【0012】

本発明は上記問題に鑑みて成されたものであり、計算途中におけるデータの入替作業を行ったり、その入替作業用の専用回路を設置したりすることなく、三次元直交変換および三次元逆直交変換を迅速に実行することが可能なアレイプロセッサを提供することを課題とする。

【課題を解決するための手段】

【0013】

上記課題を解決するために、本発明に係るアレイプロセッサは、積和演算機能を備えたプロセッシングエレメントを 3 つの軸方向にそれぞれ n 個ずつ配設することにより概念的

50

な三次元配置状態を形成し、各プロセッシングエレメントに対して、前記軸方向に対応付けられた入力端子と出力端子とを各軸方向に対応付けて3組設け、同一軸方向に隣接配置される一のプロセッシングエレメントの当該軸方向における入力端子と他のプロセッシングエレメントの当該軸方向における出力端子とを接続することにより、各プロセッシングエレメントの3組の入力端子および出力端子を軸方向に対応させてそれぞれトラス状に接続し、各プロセッシングエレメントでは、前記積和演算機能に基づいて積和演算を行った演算結果を、一の軸方向に対応する出力端子より当該一の軸方向に隣接する他のプロセッシングエレメントに出力すると共に、前記積和演算を行う際に用いた演算データを他の軸方向に対応する出力端子より当該他の軸方向に隣接する他のプロセッシングエレメントに出力し、前記演算結果と演算データとをそれぞれ異なる軸方向に隣接する他のプロセッシングエレメントより取得したプロセッシングエレメントでは、取得した前記演算結果と演算データとを用いて積和演算を行い、当該積和演算に基づく演算結果と前記演算データとを、それぞれ取得した入力端子に対応する出力端子よりそれぞれの軸方向に隣接する他のプロセッシングエレメントに対し出力することにより、一の軸方向に対してトラス状に接続された全てのプロセッシングエレメントにおいて第一周期目のn回の積和演算処理を互いに同期させて実行し、該第一周期目のn回の積和演算処理の後に、各プロセッシングエレメントでは、前記演算結果を出力する出力端子の軸方向を変更すると共に、当該軸方向の変更に対応させて前記演算データを出力する出力端子の軸方向を変更して、第二周期目のn回の積和演算処理を互いに同期させて実行し、該第二周期目のn回の積和演算処理の後に、各プロセッシングエレメントでは、前記演算結果を出力する出力端子の軸方向を、第一周期目および第二周期目と異なる軸方向に変更すると共に、当該軸方向の変更に対応させて前記演算データを出力する出力端子の軸方向を第一周期目および第二周期目と異なる軸方向に変更して、第三周期目のn回の積和演算処理を互いに同期させて実行することによって、三次元直交変換処理を実行することを特徴とする。

【0014】

このように、本発明に係るアレイプロセッサでは、各プロセッシングエレメントの入力端子が軸方向に対応されてトラス状に接続されているため、積和演算処理に伴う演算結果と演算処理に用いる演算データとをそれぞれ異なる軸方向に対して隣接する他のプロセッシングエレメントに順次送り出しながら（リレーのように順次伝搬させながら）、各プロセッシングエレメントにおいて個別に演算処理を行うことができる。従って、軸方向に配設されたn個のプロセッシングエレメントにおいて演算結果の送り出しを行いつつn回の演算処理を行うことにより、n回の積和演算を軸方向に沿って行うことができる。

【0015】

また、直交変換処理を行うためには、データの掛け合わせの都合により、演算結果や演算データ等の入力順番を調整させて演算処理を行う必要があるが、第一周期目（第一回目）の演算処理が行われた後に、送り出しを行う軸方向を変更させることによって、容易にデータの入力順番の変更を行うことが可能となる。このため、従来のアレイプロセッサのように、データの入力順番を調整するための専用回路を設ける必要がなくなり、また、データの入替作業等を直接的に行うことなく直交変換処理を行うことが可能となる。

【0016】

特に、本発明に係るアレイプロセッサは、3つの軸方向に対してそれぞれn個ずつ配設されたプロセッシングエレメントにより概念的な三次元配置状態が形成され、各プロセッシングエレメントに対して各軸方向に対応付けられた3組の入出力端子が設けられているため、3回の周期にわたりn回の積和演算処理を行うことができる。このため、上述したデータの入替処理などを直接的に行うことなく、迅速、確実かつ簡易に三次元直交変換処理を行うことが可能となる。

【0017】

なお、本発明に係るアレイプロセッサでは、各プロセッシングエレメントが概念的な三次元配置状態を形成していればよいため、必ずしも物理的な立体形状を構成する必要はない。例えば、平面状に3つの軸を設けることによって、実際には平面的な配置状態におい

て概念的な三次元配置状態を形成するものであってもよい。

【0018】

また、前記アレイプロセッサにおいて、前記各プロセッシングエレメントが、前記積和演算に用いられる被演算値を記憶する1つの被演算値記憶手段と、前記入力端子を介して入力された前記演算結果または前記演算データを記憶する3つの入力情報記憶手段と、前記積和演算機能による演算方法に対応して決定される定数値を記憶する3つの定数値記憶手段と、前記演算結果と前記演算データと前記被演算値と前記定数値とのいずれかを用いて積和演算を行う演算処理手段と、前記3つの入力端子のいずれかより入力された情報を前記入力情報記憶手段または前記被演算値記憶手段のいずれかに案内する入力スイッチ手段と、前記演算データおよび前記演算処理手段により積和演算が行われた演算結果を前記3つの出力端子のいずれかよりそれぞれ出力させる出力スイッチ手段と、前記被演算値記憶手段と前記入力情報記憶手段と前記定数値記憶手段とのいずれかより3つのデータを読み出して前記演算処理手段に案内するセクタ手段と、前記入力スイッチ手段、前記出力スイッチ手段および前記セクタ手段の制御を行う制御手段とを有し、前記制御手段は、前記演算結果が前記入力端子を介して入力された場合に、前記入力スイッチ手段を制御して当該演算結果を前記入力情報記憶手段のいずれかに案内し、前記セクタ手段を制御して当該入力情報記憶手段より読み出された演算結果を前記演算処理手段に案内し、一周期においてまだn回の演算処理が行われていない場合には、前記出力スイッチ手段を制御して前記演算処理手段により積和演算が行われた演算結果を、前記演算結果が入力された前記入力端子に対応する軸方向の出力端子より出力し、一周期においてn回目の演算処理が行われた場合には、前記出力スイッチ手段を制御して前記演算処理手段により積和演算が行われた演算結果を、前記演算結果が入力された前記入力端子とは異なる軸方向の出力端子より出力するものであってもよい。

【0019】

このように、プロセッシングエレメントに対して、入力端子を介して取得されたデータを記録する入力情報記憶手段と被演算値を記憶する被演算値記憶手段とを設けることによって、これらの記憶手段を、n回の積和演算において内容が変更されたデータを記憶するための記憶手段（入力情報記憶手段）と、同一周期の処理では変更されないが、異なる周期において内容が変更されたデータを記録するための記憶手段として利用することが可能となる。従って、制御手段の制御に応じて入力スイッチ手段およびセクタ手段を制御して、処理過程に応じて適切なデータを記憶手段に記憶（退避）させておくことができ、また、適切なタイミングで記憶（退避）されたデータを積和演算処理に利用させることが可能となる。このため結果として、データの入力順番を調整するための専用回路を設けることなく実質的なデータの入替処理を行うことができ、直交変換処理を迅速かつ容易に実行することが可能となる。

【0020】

また、演算方法に対応して決定される定数値を記憶する定数値記憶手段が設けられているので、この定数値を演算方法に応じて変更することにより、さまざまな種類の三次元直交変換処理を実行することが可能となる。定数値を適宜変更することにより、例えば、後述する実施の形態において説明する離散コサイン変換の他に、ウォルシュ・アダマール変換、離散フーリエ変換、離散サイン変換等を行うことが可能となる。

【0021】

さらに、制御手段が、入力スイッチ手段と、セクタ手段と、出力スイッチ手段とを、積和演算処理に対応させて適宜制御することにより、3回の周期にわたるn回の積和演算処理を適切に行うことができるので、従来のようなデータの入力順番処理などを直接的に行うことなく、迅速、確実かつ簡易に三次元直交変換処理を行うことが可能となる。

【発明の効果】

【0022】

本発明に係るアレイプロセッサによれば、各プロセッシングエレメントの入出力端子が軸方向に対応されてトラス状に接続されているため、積和演算処理に伴う演算結果と演

10

20

30

40

50

算処理に用いる演算データとをそれぞれ異なる軸方向に対して隣接する他のプロセッシングエレメントに順次送り出しながら（リレーのように順次伝搬させながら）、各プロセッシングエレメントにおいて個別に演算処理を行うことができる。従って、軸方向に配設された n 個のプロセッシングエレメントにおいて演算結果の送り出しを行いつつ n 回の演算処理を行うことにより、 n 回の積和演算を軸方向に沿って行うことができる。

【 0 0 2 3 】

また、直交変換処理を行うためには、データの掛け合わせの都合により、演算結果や演算データ等の入力順番を調整させて演算処理を行う必要があるが、第一周期目（第一回目）の演算処理が行われた後に、送り出しを行う軸方向を変更させることによって、第二周期目および第三周期目において、容易にデータの入力順番の変更を行うことが可能となる。このため、従来のアレイプロセッサのように、データの入力順番を調整するための専用回路を設ける必要がなくなり、入替作業等を直接的に行うことなく直交変換処理を行うことが可能となる。

10

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 実施の形態 1 および実施の形態 2 に係るアレイプロセッサの概略構成を模式的に示した図である。

【 図 2 】 実施の形態 1 に係るプロセッシングエレメントの概略構成を示したブロック図である。

【 図 3 】 実施の形態 1 に係るアレイプロセッサを用いて三次元離散コサイン変換処理を行う場合におけるレジスタ $R_0 \sim R_6$ の初期値および各処理ステップにおいて記録される内容を示した表である。

20

【 図 4 】 図 3 に示した表において、各レジスタの内容が変更される状態を処理ステップに応じて矢印で示したものである。

【 図 5 】 実施の形態 1 に係るアレイプロセッサを用いて三次元逆離散コサイン変換処理を行う場合におけるレジスタ $R_0 \sim R_6$ の初期値および各処理ステップにおいて記録される内容を示した表である。

【 図 6 】 図 5 に示した表において、各レジスタの内容が変更される状態を処理ステップに応じて矢印で示したものである。

【 図 7 】 実施の形態 2 に係るプロセッシングエレメントの概略構成を示したブロック図である。

30

【 図 8 】 実施の形態 2 に係るアレイプロセッサを用いて三次元離散コサイン変換処理を行う場合におけるレジスタ $R_0 \sim R_6$ の初期値および各処理ステップにおいて記録される内容を示した表である。

【 図 9 】 図 8 に示した表において、各レジスタの内容が変更される状態を処理ステップに応じて矢印で示したものである。

【 図 10 】 実施の形態 2 に係るアレイプロセッサを用いて三次元逆離散コサイン変換処理を行う場合におけるレジスタ $R_0 \sim R_6$ の初期値および各処理ステップにおいて記録される内容を示した表である。

【 図 11 】 図 10 に示した表において、各レジスタの内容が変更される状態を処理ステップに応じて矢印で示したものである。

40

【 発明を実施するための形態 】

【 0 0 2 5 】

以下、本発明に係るアレイプロセッサを、図面を用いて詳細に説明する。なお、後述する実施の形態 1 および実施の形態 2 では、三次元離散コサイン変換（3 D Discrete Cosine Transform: 3 D - D C T）と三次元逆離散コサイン変換（3 D Inverse Discrete Cosine Transform: 3 D - I D C T）とを計算するアレイプロセッサについて説明を行うが、本発明に係るアレイプロセッサは、この三次元離散コサイン変換および三次元逆離散コサイン変換の計算に用いるものだけには限定されず、上述した一般的な式（1）の C を適宜変更することによって、他の変換方式に基づく三次元直交変換処理を実行することがで

50

きる。

【0026】

[実施の形態1]

図1は、実施の形態1に係るアレイプロセッサを示した図である。アレイプロセッサ1は、8個のプロセッシングエレメントPEを有している。ここでプロセッシングエレメントPEとは、積和演算処理を行う役割を有するアレイプロセッサの演算構成部である。

【0027】

プロセッシングエレメントPEは、縦方向、横方向、高さ方向（三軸方向）にそれぞれ2個ずつ配置されており、各プロセッシングエレメントPEは、直方体を成すアレイプロセッサ1の各頂点に一つずつ配置される構成となっている。

10

【0028】

実施の形態1では、前述した縦方向をi軸方向、前述した横方向をj軸方向、前述した高さ方向をk軸方向とする。また、各プロセッシングエレメントPEは、それぞれを他のプロセッシングエレメントPEと区別するために、i軸、j軸、k軸により構成されるijk空間の座標位置を用いてPE(i, j, k)で特定される。

【0029】

各プロセッシングエレメントPEは、図1及び図2に示すように、-i軸方向・-j軸方向・k軸方向に設けられる3つの入力端子(i入力端子、j入力端子、k入力端子)と、各入力端子(i入力端子、j入力端子、k入力端子)と対を成してそれぞれi軸方向・j軸方向・-k軸方向に設けられる3つの出力端子(i出力端子、j出力端子、k出力端子)とを有している。

20

【0030】

各出力端子は、それぞれの出力端子の設置方向（軸方向）に隣接するプロセッシングエレメントPEの対向する（同軸方向に設けられた）入力端子に接続されている。例えば、PE(1, 0, 1)において-i軸方向に向けて設けられるi出力端子は、PE(0, 0, 1)においてi軸方向に向けて設けられるi入力端子と接続される。

【0031】

また、対向する方向に他のプロセッシングエレメントPEが存在しない場合には、それぞれの軸方向に沿った配設位置の両端部に位置するプロセッシングエレメントPEの入力端子および出力端子を接続させることにより、同軸方向に設けられる入力端子および出力端子同士を接続したトラス状を構成する。

30

【0032】

従って、i軸方向に整列されたプロセッシングエレメントPEは、i出力端子より-i軸方向に隣接する他のプロセッシングエレメントPEのi入力端子に対してデータの出力を行うことが可能となっており、i座標が0となる空間位置に存在するプロセッシングエレメントは、そのi出力端子を、i軸方向の他端部側に位置するプロセッシングエレメントのi入力端子にトラス状に接続させて、データを出力することが可能となっている。この構造は、それぞれj軸方向およびk軸方向に整列されたプロセッシングエレメントPEにおいても同様である。

【0033】

このように、三次元空間に配置されたプロセッシングエレメントPEにおいて、それぞれ対応する軸方向に整列された隣接のプロセッシングエレメントPEに対してデータを順次出力することができる。このため、アレイプロセッサ1では、隣接するプロセッシングエレメントPEにおいて演算された算出結果のデータや、演算に用いる所定のデータなどを隣接する他のプロセッシングエレメントPEに順次リレーして、連続的な積和演算処理を、アレイプロセッサ1全体で行うことが可能となっている。

40

【0034】

図2は、各プロセッシングエレメントPEの内部構成を示したブロック図である。プロセッシングエレメントPEは、7個のレジスタR0~R6と、入力スイッチ部4と、セレクト部5と、演算回路部6と、出力スイッチ部7と、制御回路部8とを有している。

50

【 0 0 3 5 】

レジスタ R 0 ~ R 6 は、三次元直交変換処理に用いるデータを記録することが可能となっている。レジスタ R 4、レジスタ R 5、レジスタ R 6 には、式 (1) に示した C のデータが記録される。この C は、実施の形態 1 に係るアレイプロセッサ 1 を用いて三次元直交変換処理を行う際に、その演算を行う処理方式に応じて決定される初期値であり、既に説明したように、C の初期値を変更することによって、例えば、離散コサイン変換 (D C T)、ウォルシュ・アダマール変換 (W H T)、離散フーリエ変換 (D F T)、離散サイン変換 (D S T) などの演算を行うことが可能となる。

【 0 0 3 6 】

実施の形態 1 に係るアレイプロセッサ 1 では、三次元離散コサイン変換 (3 D D C T) に適した初期値 (D C T 係数 (固定値)) が設定される。具体的には、各プロセッシングエレメントの R 4 に次述する C (i , k) の値が初期値として記録され、レジスタ R 5 に次述する C (k , j) の値が初期値として記録され、レジスタ R 6 に次述する C (i , j) の値が初期値として記録される。

10

【 0 0 3 7 】

具体的に説明すると、プロセッシングエレメント P E の配置位置の座標位置 (i , j , k) において、i = 0 であり、かつ、0 ≤ k ≤ n - 1 であるプロセッシングエレメント P E (i , j , k) のレジスタ R 4 には、

【 数 3 】

$$C(i, k) = \frac{1}{\sqrt{n}} \quad \dots \text{式(3)}$$

20

が記録される。ここで、n は各軸方向に向けて配設されたプロセッシングエレメント P E の個数を示しており、実施の形態 1 では、i 軸方向、j 軸方向、k 軸方向のそれぞれに対して 2 個ずつプロセッシングエレメントが配設されているため、以下、n は 2 (n = 2) となる。

【 0 0 3 8 】

次に、1 ≤ i ≤ n - 1 であり、かつ、0 ≤ k ≤ 1 であるプロセッシングエレメント P E (i , j , k) のレジスタ R 4 には、

30

【 数 4 】

$$C(i, k) = \sqrt{\frac{2}{n}} \cos\left(\frac{\pi(2i+1)}{2n} k\right) \quad \dots \text{式(4)}$$

が記録される。

【 0 0 3 9 】

また、k = 0 であり、かつ、0 ≤ j ≤ n - 1 であるプロセッシングエレメント P E (i , j , k) のレジスタ R 5 には、

【 数 5 】

40

$$C(k, j) = \frac{1}{\sqrt{n}} \quad \dots \text{式(5)}$$

が記録され、また、1 ≤ k ≤ n - 1 であり、かつ、0 ≤ j ≤ n - 1 であるプロセッシングエレメント P E (i , j , k) のレジスタ R 5 には、

【数 6】

$$C(k, j) = \sqrt{\frac{2}{n}} \cos\left(\frac{\pi(2k+1)}{2n} j\right) \quad \dots \text{式(6)}$$

が記録される。

【0040】

さらに、また、 $i = 0$ であり、かつ、 $0 \leq j \leq n - 1$ であるプロセッシングエレメント $PE(i, j, k)$ のレジスタ R 6 には、

【数 7】

$$C(i, j) = \frac{1}{\sqrt{n}} \quad \dots \text{式(7)}$$

が記録され、また、 $1 \leq i \leq n - 1$ であり、かつ、 $0 \leq j \leq n - 1$ であるプロセッシングエレメント $PE(i, j, k)$ のレジスタ R 6 には、

【数 8】

$$C(i, j) = \sqrt{\frac{2}{n}} \cos\left(\frac{\pi(2i+1)}{2n} j\right) \quad \dots \text{式(8)}$$

が記録される。

【0041】

なお、レジスタ R 4 ~ R 6 に記録される上述した式(3) ~ 式(8)の設定値(定数値)は、演算処理が終了するまで変更されることなく同一の値が維持される。

【0042】

次に、レジスタ R 1、R 2、R 3 には、初期値として 0 が記録されている。また、レジスタ R 0 には、三次元離散コサイン変換処理を行う三次元の入力データ、具体的には上述した式(1)の $X(i, j, k)$ の値が記録されている。なお、図 2 に示すように、レジスタ R 0 ~ R 3 には、入力スイッチ部 4 を介してデータが案内される場合があり、この場合には各レジスタ R 0 ~ R 3 に新たなデータが上書き保存されてしまうため、演算処理に応じて記録されるデータが変更される可能性が生じる。このため、レジスタ R 0 ~ R 3 は、演算処理の処理経過に応じて演算結果、あるいは、演算に用いられる設定値が順次変更され得る。そして、後述するように、最終的にレジスタ R 3 に対して、アレイプロセッサ 1 により演算された三次元直交変換処理の演算結果が記録される。

【0043】

入力スイッチ部 4 は、3つの入力端子(i入力端子、j入力端子、k入力端子)より入力された情報を、制御回路部 8 の指示に応じて切り替えて、レジスタ R 0 ~ R 3 のいずれかに案内して記録させる役割を有している。実際に入力端子を介して入力されるデータは、3つの入力端子(i入力端子、j入力端子、k入力端子)のうちのいずれか2つの入力端子を介して入力される。制御回路部 8 では、入力された情報を入力端子の種類に応じて判断し、入力スイッチ部 4 を制御して、入力されたデータを、それぞれ該当するレジスタ(レジスタ R 0 ~ R 3 のいずれか)に案内して記録させる。

【0044】

セクタ部 5 は、レジスタ R 0 ~ R 6 のいずれか3つのレジスタより演算回路部 6 の演算処理に用いられるデータを取得して演算回路部 6 に出力する。セクタ部 5 では、取得した3つのデータを、演算回路部 6 の演算内容に応じて設けられる3つの入力端子(a入力端子、b入力端子およびc入力端子)に出力する。なお、b入力端子に対して出力されたデータは、b入力端子を介して演算回路部 6 に入力されると共に、そのまま出力スイッチ部 7 へと出力される。セクタ部 5 において、いずれのレジスタ(レジスタ R 0 ~ R 6

10

20

30

40

50

のうち3つのレジスタ)からデータを取得するか、および、取得したデータを a 入力端子、b 入力端子および c 入力端子のいずれに出力するかという判断処理は、制御回路部 8 の指示に応じて行われる。

【0045】

演算回路部 6 では、a 入力端子より取得したデータ a と、b 入力端子より取得したデータ b と、c 入力端子より取得したデータ c とに基づいて、積和演算を行う。積和演算は、演算結果を d とすると、 $d = a \times b + c$ によって求められる。演算結果 d は、演算回路部 6 の出力端子 10 を介して出力スイッチ部 7 に出力される。

【0046】

出力スイッチ部 7 は、セクタ部 5 より演算回路部 6 の b 入力端子に対して出力されたデータ b と、演算回路部 6 の出力端子 10 を介して出力された演算結果 d とを取得し、制御回路部 8 の指示に応じて、3つの出力端子 (i 出力端子、j 出力端子、k 出力端子) のいずれかよりデータ b および演算結果 d を出力させる役割を有している。実際に、出力端子を介して出力されるデータは、3つの出力端子 (i 出力端子、j 出力端子、k 出力端子) のうちいずれか2つの出力端子のみである。制御回路部 8 は、入力されたデータを判断し、出力スイッチ部 7 を制御することによって、データ b および演算結果 d を、それぞれ該当する出力端子 (i 出力端子、j 出力端子、k 出力端子のいずれか) に出力する。

10

【0047】

制御回路部 8 は、上述した入力スイッチ部 4、セクタ部 5、出力スイッチ部 7 の操作制御を行う役割を有している。制御回路部 8 は、入力スイッチ部 4、セクタ部 5 および出力スイッチ部 7 に入力されるデータを、その内容や入力された入力端子の種類に応じて判断し、アレイプロセッサ 1 の処理内容に応じて入力スイッチ部 4、セクタ部 5、出力スイッチ部 7 の制御を行う。

20

【0048】

なお、図 2 には示していないが、各プロセッシングエレメント PE には、レジスタ R 0 に対して三次元離散コサイン変換処理を行うための入力データを入力し、また、レジスタ R 1 ~ R 3 に対して初期値 0 を入力し、さらに、レジスタ R 4 ~ R 6 に対して初期値 $C(i, k)$ 、 $C(k, j)$ 、 $C(i, j)$ を入力するためのデータ入力手段や、最終的な演算結果が記録されるレジスタ R 3 よりデータを取得するためのデータ取得手段などが設けられている。

30

【0049】

次に、各プロセッシングエレメント PE の制御回路部 8 が、入力スイッチ部 4、セクタ部 5、および出力スイッチ部 7 を適宜制御することにより、三次元離散コサイン変換処理 (3D DCT 処理) を行う過程を説明する。

【0050】

図 3 は、各プロセッシングエレメント PE (i, j, k) における各レジスタ R 0 ~ R 6 の初期値および各処理ステップにおいて記録される内容が利用され、または変更されるレジスタを示した表であり、図 4 は、図 3 に示したレジスタの内容が変更される状態を、処理ステップに応じて矢印で示したものである。なお、図 4 に示した破線による矢印は後述するデータ b に該当するデータの出力状態を示しており、実線による矢印は後述する演算結果 d に該当するデータの出力状態を示している。

40

【0051】

上述したレジスタ R 0 ~ R 6 の初期値の設定が行われた後、各プロセッシングエレメント PE の制御回路部 8 は、セクタ部 5 を制御して、レジスタ R 4 に記録されるデータを演算回路部 6 の a 入力端子に出力させ、レジスタ R 0 に記録されるデータを演算回路部 6 の b 入力端子に出力させ、レジスタ R 1 に記録されるデータを演算回路部 6 の c 入力端子に出力させる処理を実行する。この処理において、図 3 および図 4 に示すように、レジスタ R 4 に記録されるデータは、 $C(i, k)$ の初期値であり、レジスタ R 0 に記録されるデータは、三次元離散コサイン変換処理を行うための入力データ： $X(i, j, k)$ であり、レジスタ R 1 に記録されるデータは、初期値の 0 である。

50

【 0 0 5 2 】

各プロセッシングエレメント P E の演算回路部 6 では、データ a として入力されたレジスタ R 4 のデータと、データ b として入力されたレジスタ R 0 のデータと、データ c として入力されたレジスタ R 1 のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を実行する。

【 0 0 5 3 】

次いで各プロセッシングエレメント P E の制御回路部 8 は、出力スイッチ部 7 を制御して演算結果 d とデータ b とを取得し、演算結果 d を k 軸方向に隣接するプロセッシングエレメント P E の k 入力端子に出力し、また、データ b (詳細には、レジスタ R 0 に記録されていたデータ) を - i 軸方向に隣接するプロセッシングエレメント P E の i 入力端子に出力する。

10

【 0 0 5 4 】

そして、各プロセッシングエレメント P E の制御回路部 8 は、入力スイッチ部 4 を制御して、隣接するプロセッシングエレメント P E より k 入力端子を介して演算結果 d を取得し、i 入力端子を介してデータ b (レジスタ R 0 のデータ) とを取得して、演算結果 d をレジスタ R 1 に記録させるとともに、データ b (レジスタ R 0 のデータ) をレジスタ R 0 に記録する。

【 0 0 5 5 】

このようにして、各プロセッシングエレメント P E の制御回路部 8 は、演算結果 d およびデータ b を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回 (実施の形態 1 では 2 回) だけ繰り返し実行して、i 入力端子および i 出力端子の接続によりトラス状に接続された経路と、k 入力端子および k 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定のデータを一巡させる。この一巡の処理が第一周期目の n 回の積和演算処理に該当する。

20

【 0 0 5 6 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント P E のレジスタ R 1 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果が記録されることになる。実施の形態 1 では、 $n = 2$ であるため、2 回だけ上述の処理が行われる。図 3 および図 4 に示した「0」および「1」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

30

【 0 0 5 7 】

続いて、各プロセッシングエレメント P E の制御回路部 8 は、セクタ部 5 を制御して、レジスタ R 5 に記録されるデータを演算回路部 6 の a 入力端子に出力させ、レジスタ R 1 に記録されるデータを演算回路部 6 の b 入力端子に出力させ、レジスタ R 2 に記録されるデータを演算回路部 6 の c 入力端子に出力させる処理を実行する。この処理において、レジスタ R 5 に記録されるデータは、 $C(k, j)$ の初期値であり、レジスタ R 1 に記録されるデータは、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果であり、レジスタ R 2 に記録されるデータは、初期値の 0 である。

40

【 0 0 5 8 】

各プロセッシングエレメント P E の演算回路部 6 では、データ a として入力されたレジスタ R 5 のデータと、データ b として入力されたレジスタ R 1 のデータと、データ c として入力されたレジスタ R 2 のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を実行する。

【 0 0 5 9 】

次いで各プロセッシングエレメント P E の制御回路部 8 は、出力スイッチ部 7 を制御して、演算結果 d とデータ b とを取得し、演算結果 d を - j 軸方向に隣接するプロセッシングエレメント P E の j 入力端子に出力し、また、データ b (詳細には、レジスタ R 1 に記録されていたデータ) を k 軸方向に隣接するプロセッシングエレメント P E の k 入力端子に出力する。

50

【 0 0 6 0 】

そして、各プロセッシングエレメント P E の制御回路部 8 は、入力スイッチ部 4 を制御して、隣接するプロセッシングエレメント P E より j 入力端子を介して演算結果 d を取得し、k 入力端子を介してデータ b (レジスタ R 1 のデータ) を取得して、演算結果 d をレジスタ R 2 に記録させるとともに、データ b (レジスタ R 1 のデータ) をレジスタ R 1 に記録する。

【 0 0 6 1 】

このようにして、各プロセッシングエレメント P E の制御回路部 8 は、演算結果 d およびデータ b を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回 (実施の形態 1 では 2 回) だけ繰り返し実行して、j 入力端子および j 出力端子の接続によりトラス状に接続された経路と、k 入力端子および k 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処理が第二周期目の n 回の積和演算処理に該当する。

10

【 0 0 6 2 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント P E のレジスタ R 2 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) であるレジスタ R 1 に基づいて、j 軸方向に配設された全てのプロセッシングエレメント P E で積和演算された演算結果 (第二周期目の n 回の積和演算処理による演算結果) が記録され、レジスタ R 1 には、k 軸方向に配設された全てのプロセッシングエレメントにおいて積和演算された演算結果が記録されることになる。実施の形態 1 では、n = 2 であるため、2 回だけ上述の処理が行われる。図 3 および図 4 に示した「2」および「3」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

20

【 0 0 6 3 】

続いて、各プロセッシングエレメント P E の制御回路部 8 は、セレクタ部 5 を制御して、レジスタ R 6 に記録されるデータを演算回路部 6 の a 入力端子に出力させ、レジスタ R 2 に記録されるデータを演算回路部 6 の b 入力端子に出力させ、レジスタ R 3 に記録されるデータを演算回路部 6 の c 入力端子に出力させる処理を実行する。この処理において、レジスタ R 6 に記録されるデータは、C (i , j) の初期値であり、レジスタ R 2 に記録されるデータは、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) に基づいて、j 軸方向に配設された全てのプロセッシングエレメント P E で積和演算された演算結果 (第二周期目の n 回の積和演算処理による演算結果) であり、レジスタ R 3 に記録されるデータは、初期値の 0 である。

30

【 0 0 6 4 】

各プロセッシングエレメント P E の演算回路部 6 では、データ a として入力されたレジスタ R 6 のデータと、データ b として入力されたレジスタ R 2 のデータと、データ c として入力されたレジスタ R 3 のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を行う。

40

【 0 0 6 5 】

次いで各プロセッシングエレメント P E の制御回路部 8 は、出力スイッチ部 7 を制御して、演算結果 d とデータ b とを取得して、演算結果 d を - i 軸方向に隣接するプロセッシングエレメント P E の i 入力端子に出力し、また、データ b (詳細には、レジスタ R 2 に記録されていたデータ) を - j 軸方向に隣接するプロセッシングエレメント P E の j 入力端子に出力する。

【 0 0 6 6 】

そして、各プロセッシングエレメント P E の制御回路部 8 は、入力スイッチ部 4 を制御して、隣接するプロセッシングエレメント P E より i 入力端子を介して演算結果 d を取得し、j 入力端子を介してデータ b (レジスタ R 2 のデータ) を取得して、演算結果 d をレ

50

レジスタ R 3 に記録させるとともに、データ b (レジスタ R 2 のデータ) を R 2 に記録する。

【 0 0 6 7 】

このようにして、各プロセッシングエレメント P E の制御回路部 8 は、演算結果 d およびデータ b を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回 (実施の形態 1 では 2 回) だけ繰り返し実行して、i 入力端子および i 出力端子の接続によりトラス状に接続された経路と、j 入力端子および j 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処理が第三周期目の n 回の積和演算処理に該当する。

10

【 0 0 6 8 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント P E のレジスタ R 3 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) に基づいて積和演算された j 軸方向に配設される全てのプロセッシングエレメント P E の積和演算結果 (第二周期目の n 回の積和演算処理による演算結果) を用いて、i 軸方向に配設された全てのプロセッシングエレメント P E で演算処理した演算結果 (第三周期目の n 回の積和演算処理による演算結果) が記録され、レジスタ R 2 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) に基づいて、j 軸方向に配設された全てのプロセッシングエレメント P E で積和演算された演算結果 (第二周期目の n 回の積和演算処理による演算結果) が記録されることになる。実施の形態 1 では、n = 2 であるため、2 回だけ上述の処理が行われる。図 3 および図 4 に示した「4」および「5」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

20

【 0 0 6 9 】

このようにして実施の形態 1 に係るアレイプロセッサ 1 では、隣接するプロセッシングエレメント P E に対して、演算結果および積和演算に用いる所定データを順次出力してそれぞれのプロセッシングエレメント P E において積和演算処理を行い、この隣接するプロセッシングエレメント P E への演算結果の出力処理を、順次 k 軸方向、j 軸方向、i 軸方向へと出力方向を変えて処理を進めることにより、各演算回路部 6 における積和演算結果をレジスタ R 3 に記録させることができる。従って、従来のアレイプロセッサのように、計算途中でデータや係数データの入力順番を調整するための専用回路を設ける必要がなく、回路構成の簡素化を図ることが可能となる。また、演算結果を隣接するプロセッシングエレメント P E に順次出力することによって三次元離散コサイン変換処理 (三次元直交変換処理) を行うことが可能であるため、各次元の計算途中においてプロセッシングエレメント P E の内部に蓄えられるデータおよび係数行列要素を、従来のように複雑な配線構造を用いて何度も交換し合う必要がなく、処理の迅速化および簡素化を図ることが可能となる。

30

【 0 0 7 0 】

このように、実施の形態 1 に係るアレイプロセッサ 1 を用いることにより、従来の構成において必須とされていた計算途中におけるデータ同士の入替作業を行うことなくなる。また、複数のプロセッシングエレメント P E を接続させて演算結果処理を順次行うことにより、三次元離散コサイン変換処理 (三次元離散直交変換処理) を迅速に実行することができ、さらに回路構成の複雑化を抑制することが可能となる。

40

【 0 0 7 1 】

次に、上述したアレイプロセッサ 1 を用いて、三次元逆離散コサイン変換 (3 D - I D C T) を計算する方法を説明する。なお、図 5 は、各プロセッシングエレメント P E (i , j , k) における各レジスタ R 0 ~ R 6 の初期値および各処理ステップにおいて記録されるレジスタを示した表であり、図 6 は、図 5 に示したレジスタの内容が変更される状態を、処理ステップに応じて矢印で示したものである。なお、図 6 に示した破線による矢印

50

は、演算処理に用いられるデータ b に該当するデータの出力状態を示しており、実線による矢印は演算結果 d に該当するデータの出力状態を示している。

【0072】

三次元逆離散コサイン変換を行う場合には、式(2)において三次元逆離散コサイン変換用の固定値(IDCT係数(固定値))として下記のような $C(k, j)$ 、 $C(i, k)$ および $C(i, j)$ が用いられ、それぞれの値がレジスタ $R4$ 、 $R5$ 、 $R6$ に初期値として記録される。

【0073】

具体的に説明すると、プロセッシングエレメント PE の配置位置の座標位置 (i, j, k) において、 $k = 0$ であり、かつ、 $0 \leq j \leq n - 1$ であるプロセッシングエレメント $PE(i, j, k)$ のレジスタ $R4$ には、

10

【数9】

$$C(k, j) = \frac{1}{\sqrt{n}} \quad \dots \text{式(9)}$$

が記録される。ここで、 n は各軸方向に向けて配設されたプロセッシングエレメント PE の個数を示しており、実施の形態1では、以下、 $n = 2$ となる。

【0074】

次に、 $1 \leq k \leq n - 1$ であり、かつ、 $0 \leq j \leq n - 1$ であるプロセッシングエレメント $PE(i, j, k)$ のレジスタ $R4$ には、

20

【数10】

$$C(k, j) = \sqrt{\frac{2}{n}} \cos\left(\frac{\pi(2k+1)}{2n} j\right) \quad \dots \text{式(10)}$$

が記録される。

【0075】

また、 $i = 0$ であり、かつ、 $0 \leq k \leq n - 1$ であるプロセッシングエレメント $PE(i, j, k)$ のレジスタ $R5$ には、

30

【数11】

$$C(i, k) = \frac{1}{\sqrt{n}} \quad \dots \text{式(11)}$$

が記録され、また、 $1 \leq i \leq n - 1$ であり、かつ、 $0 \leq k \leq n - 1$ であるプロセッシングエレメント $PE(i, j, k)$ のレジスタ $R5$ には、

【数12】

$$C(i, k) = \sqrt{\frac{2}{n}} \cos\left(\frac{\pi(2i+1)}{2n} k\right) \quad \dots \text{式(12)}$$

40

が記録される。

【0076】

さらに、また、 $i = 0$ であり、かつ、 $0 \leq j \leq n - 1$ であるプロセッシングエレメント $PE(i, j, k)$ のレジスタ $R6$ には、

【数 1 3】

$$C(i, j) = \frac{1}{\sqrt{n}} \quad \dots \text{式(13)}$$

が記録され、また、 $1 \leq i \leq n - 1$ であり、かつ、 $0 \leq j \leq n - 1$ であるプロセッシングエレメント P E (i, j, k) のレジスタ R 6 には、

【数 1 4】

$$C(i, j) = \sqrt{\frac{2}{n}} \cos\left(\frac{\pi(2i+1)}{2n} j\right) \quad \dots \text{式(14)}$$

10

が記録される。

【0077】

また、レジスタ R 1、R 2、R 3 には、初期値として 0 が記録されて、レジスタ R 0 には、三次元逆離散コサイン変換処理を行う三次元の入力データ、具体的には上述した式 (2) の Y (i, j, k) の値が記録されている。

【0078】

このレジスタ R 0 ~ R 6 の初期値の設定が行われた後、各プロセッシングエレメント P E の制御回路部 8 は、セクタ部 5 を制御して、レジスタ R 4 に記録されるデータを演算回路部 6 の a 入力端子に出力させ、レジスタ R 0 に記録されるデータを演算回路部 6 の b 入力端子に出力させ、レジスタ R 1 に記録されるデータを演算回路部 6 の c 入力端子に出力させる処理を実行する。この処理において、レジスタ R 4 に記録されるデータは、C (k, j) の初期値であり、レジスタ R 0 に記録されるデータは、三次元逆離散コサイン変換処理を行うための入力データ Y (i, j, k) であり、レジスタ R 1 に記録されるデータは、初期値の 0 である。

20

【0079】

各プロセッシングエレメント P E の演算回路部 6 では、データ a として入力されたレジスタ R 4 のデータと、データ b として入力されたレジスタ R 0 のデータと、データ c として入力されたレジスタ R 1 のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を行う。

30

【0080】

次いで各プロセッシングエレメント P E の制御回路部 8 は、出力スイッチ部 7 を制御して、演算結果 d とデータ b とを取得し、演算結果 d を k 軸方向に隣接するプロセッシングエレメント P E の k 入力端子に出力し、また、データ b (詳細には、レジスタ R 0 に記録されていたデータ) を - j 軸方向に隣接するプロセッシングエレメント P E の j 入力端子に出力する。

【0081】

そして、各プロセッシングエレメント P E の制御回路部 8 は、入力スイッチ部 4 を制御して、隣接するプロセッシングエレメント P E より k 入力端子を介して演算結果 d を取得し、j 入力端子を介してデータ b (レジスタ R 0 のデータ) を取得して、演算結果 d をレジスタ R 1 に記録させるとともに、データ b (レジスタ R 0 のデータ) をレジスタ R 0 に記録する。

40

【0082】

このようにして、各プロセッシングエレメント P E の制御回路部 8 は、演算結果 d およびデータ b を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回 (実施の形態 1 では 2 回) だけ繰り返し実行して、k 入力端子および k 出力端子の接続によりトラス状に接続された経路と、j 入力端子および j 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処

50

理が第一周期目の n 回の積和演算処理に該当する。

【 0 0 8 3 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント PE のレジスタ R_1 には、 k 軸方向に配設された全てのプロセッシングエレメント PE において積和演算された演算結果（第一周期目の n 回の積和演算処理による演算結果）が記録されることになる。実施の形態 1 では、 $n = 2$ であるため、2 回だけ上述の処理が行われる。図 5 および図 6 に示した「0」および「1」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

【 0 0 8 4 】

続いて、各プロセッシングエレメント PE の制御回路部 8 は、セクタ部 5 を制御して、レジスタ R_5 に記録されるデータを演算回路部 6 の a 入力端子に出力させ、レジスタ R_1 に記録されるデータを演算回路部 6 の b 入力端子に出力させ、レジスタ R_2 に記録されるデータを演算回路部 6 の c 入力端子に出力させる処理を実行する。この処理において、レジスタ R_5 に記録されるデータは、 $C(i, k)$ の初期値であり、レジスタ R_1 に記録されるデータは、 k 軸方向に配設された全てのプロセッシングエレメント PE において積和演算された演算結果であり、レジスタ R_2 に記録されるデータは、初期値の 0 である。

10

【 0 0 8 5 】

各プロセッシングエレメント PE の演算回路部 6 では、データ a として入力されたレジスタ R_5 のデータと、データ b として入力されたレジスタ R_1 のデータと、データ c として入力されたレジスタ R_2 のデータとを用いて、積和演算（ $d = a \times b + c$ の演算）を実行する。

20

【 0 0 8 6 】

次いで各プロセッシングエレメント PE の制御回路部 8 は、出力スイッチ部 7 を制御して、演算結果 d とデータ b とを取得し、演算結果 d を $-i$ 軸方向に隣接するプロセッシングエレメント PE の i 入力端子に出力し、また、データ b （詳細には、レジスタ R_1 に記録されていたデータ）を k 軸方向に隣接するプロセッシングエレメント PE の k 入力端子に出力する。

【 0 0 8 7 】

そして、各プロセッシングエレメント PE の制御回路部 8 は、入力スイッチ部 4 を制御して、隣接するプロセッシングエレメント PE より i 入力端子を介して演算結果 d を取得し、 k 入力端子を介してデータ b （レジスタ R_1 のデータ）を取得して、演算結果 d をレジスタ R_2 に記録させるとともに、データ b （レジスタ R_1 のデータ）をレジスタ R_1 に記録する。

30

【 0 0 8 8 】

このようにして、各プロセッシングエレメント PE の制御回路部 8 は、演算結果 d およびデータ b を隣接したプロセッシングエレメント PE に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント PE の配置個数に対応する回数、つまり n 回（実施の形態 1 では 2 回）だけ繰り返し実行して、 i 入力端子および i 出力端子の接続によりトラス状に接続された経路と、 k 入力端子および k 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処理が第二周期目の n 回の積和演算処理に該当する。

40

【 0 0 8 9 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント PE のレジスタ R_2 には、 k 軸方向に配設された全てのプロセッシングエレメント PE において積和演算された演算結果（第一周期目の n 回の積和演算処理による演算結果）であるレジスタ R_1 に基づいて、 i 軸方向に配設された全てのプロセッシングエレメント PE で積和演算された演算結果（第二周期目の n 回の積和演算処理による演算結果）が記録され、レジスタ R_1 には、 k 軸方向に配設された全てのプロセッシングエレメント PE において積和演算された演算結果が記録されることになる。図 5 および図 6 に示した「2」および「3」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

50

【 0 0 9 0 】

続いて、各プロセッシングエレメント P E の制御回路部 8 は、セクタ部 5 を制御して、レジスタ R 6 に記録されるデータを演算回路部 6 の a 入力端子に出力させ、レジスタ R 2 に記録されるデータを演算回路部 6 の b 入力端子に出力させ、レジスタ R 3 に記録されるデータを演算回路部 6 の c 入力端子に出力させる処理を実行する。この処理において、レジスタ R 6 に記録されるデータは、 $C(i, j)$ の初期値であり、レジスタ R 2 に記録されるデータは、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果（第一周期目の n 回の積和演算処理による演算結果）に基づいて、i 軸方向に配設された全てのプロセッシングエレメント P E で積和演算された演算結果（第二周期目の n 回の積和演算処理による演算結果）であり、レジスタ R 3 に記録されるデータは、初期値の 0 である。

10

【 0 0 9 1 】

各プロセッシングエレメント P E の演算回路部 6 では、データ a として入力されたレジスタ R 6 のデータと、データ b として入力されたレジスタ R 2 のデータと、データ c として入力されたレジスタ R 3 のデータとを用いて、積和演算（ $d = a \times b + c$ の演算）を行う。

【 0 0 9 2 】

次いで各プロセッシングエレメント P E の制御回路部 8 は、出力スイッチ部 7 を制御して、演算結果 d とデータ b とを取得して、演算結果 d を - j 軸方向に隣接するプロセッシングエレメント P E の j 入力端子に出力し、また、データ b（詳細には、レジスタ R 2 に記録されていたデータ）を - i 軸方向に隣接するプロセッシングエレメント P E の i 入力端子に出力する。

20

【 0 0 9 3 】

そして、各プロセッシングエレメント P E の制御回路部 8 は、入力スイッチ部 4 を制御して、隣接するプロセッシングエレメント P E より j 入力端子を介して演算結果 d を取得し、i 入力端子を介してデータ b（レジスタ R 2 のデータ）を取得して、演算結果 d をレジスタ R 3 に記録させるとともに、データ b（レジスタ R 2 のデータ）をレジスタ R 2 に記録する。

【 0 0 9 4 】

このようにして、各プロセッシングエレメント P E の制御回路部 8 は、演算結果 d およびデータ b を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回（実施の形態 1 では 2 回）だけ繰り返し実行して、j 入力端子および j 出力端子の接続によりトラス状に接続された経路と、i 入力端子および i 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処理が第三周期目の n 回の積和演算処理に該当する。

30

【 0 0 9 5 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント P E のレジスタ R 3 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果（第一周期目の n 回の積和演算処理による演算結果）に基づいて積和演算された i 軸方向に配設される全てのプロセッシングエレメント P E の積和演算結果（第二周期目の n 回の積和演算処理による演算結果）を用いて、j 軸方向に配設された全てのプロセッシングエレメント P E で演算処理した演算結果（第三周期目の n 回の積和演算処理による演算結果）が記録され、レジスタ R 2 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果（第一周期目の n 回の積和演算処理による演算結果）に基づいて、i 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果（第二周期目の n 回の積和演算処理による演算結果）が記録されることになる。実施の形態 1 では、 $n = 2$ であるため、2 回だけ上述の処理が行われる。図 5 および図 6 に示した「4」および「5」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

40

50

【 0 0 9 6 】

このようにして実施の形態 1 に係るアレイプロセッサ 1 では、隣接するプロセッシングエレメント P E に対して、演算結果および積和演算に用いる所定データを順次出力してそれぞれのプロセッシングエレメント P E において積和演算処理を行い、この隣接するプロセッシングエレメント P E への演算結果の出力処理を、順次 k 軸方向、i 軸方向、j 軸方向へと出力方向を変えて処理を進めることにより、各演算回路部 6 における積和演算結果をレジスタ R 3 に記録させることができる。従って、従来のアレイプロセッサ 1 のように、計算途中でデータや係数データの入力順番を調整するための専用回路を設ける必要がなく、回路構成の簡素化を図ることが可能となる。また、演算結果を隣接するプロセッシングエレメント P E に順次出力することによって三次元逆離散コサイン変換処理（三次元逆直交変換処理）を行うことが可能であるため、各次元の計算途中においてプロセッシングエレメント P E の内部に蓄えられるデータおよび係数行列要素を、従来のように複雑な配線構造を用いて何度も交換し合う必要がなく、処理の迅速化および簡素化を図ることが可能となる。

10

【 0 0 9 7 】

このように、実施の形態 1 に係るアレイプロセッサ 1 を用いることにより、従来の構成において必須とされていた計算途中におけるデータ同士の入替作業を行うことがなくなる。また、複数のプロセッシングエレメントを接続させて演算結果処理を順次行うことにより、三次元逆離散コサイン変換処理（三次元逆離散直交変換処理）を迅速に実行することができ、さらに回路構成の複雑化を抑制することが可能となる。

20

【 0 0 9 8 】

〔実施の形態 2〕

次に、実施の形態 2 に係るアレイプロセッサについて説明を行う。実施の形態 2 に係るアレイプロセッサ 1 は、図 1 に示した実施の形態 1 に係るアレイプロセッサ 1 を構成するプロセッシングエレメント P E の構成状態（各プロセッシングエレメント P E の接続状態・配置状態）と同様の構成状態であるが、アレイプロセッサを構成するプロセッシングエレメント P E の内部構造が異なっている。

【 0 0 9 9 】

図 7 は、実施の形態 2 に係るプロセッシングエレメント P E の概略構成を模式的に示した図である。実施の形態 2 に係るプロセッシングエレメント P E は、実施の形態 1 に係るプロセッシングエレメント P E（図 2 参照）と比較して、セクタ部 1 5 から演算回路部 1 6 の a 入力端子に対して出力されるデータが、演算回路部 1 6 の a 入力端子だけでなく出力スイッチ部 1 7 にも出力することができるよう構成される点で相違する。このため、実施の形態 2 に係るプロセッシングエレメント P E では、実施の形態 1 に係るプロセッシングエレメント P E に比べて、出力スイッチ部 1 7 へと延設される出力端子の端子数が 1 本多いという特徴を有している。

30

【 0 1 0 0 】

また、実施の形態 2 に係るアレイプロセッサ 1 では、追加された a 入力端子からの入出力信号に応じて出力スイッチ部 1 7 や他の要素を制御するために、制御回路部 1 8 が設けられている。なお、出力スイッチ部 1 7 と制御回路部 1 8 以外の各要素、すなわち入力スイッチ部 1 4，セクタ部 1 5，演算回路部 1 6 およびレジスタ R 0 ~ R 6 は、実施の形態 1 に係るプロセッシングエレメント P E と同一構成である。

40

【 0 1 0 1 】

本構成のアレイプロセッサを用いて三次元離散コサイン変換処理（3 D - D C T 処理）を行う方法を説明する。

【 0 1 0 2 】

まず、各プロセッシングエレメント P E 内のレジスタ R 4 ~ R 6 には、式 3 ~ 式 8 に基づいて求められた値が初期値として設定される。なお、これら値は定数であり、全ての演算が終了するまで変更されることはない。また、レジスタ R 1 ~ R 3 には、初期値として 0 が記録される。さらに、レジスタ R 0 には、三次元離散コサイン変換処理（3 D - D C

50

T処理)を行う三次元の入力データ、具体的には前述した式(1)の $X(m, j, k)$ の値が記録されている。ここで、 m は、 $m = (-i - j + k) \bmod n$ で計算される値であり、 $\bmod n$ は n のモジュロ演算を表している。なお、 m は、 $(-i - j + k)$ を n で割った余りであり、 n は、三次元の入力データ $n \times n \times n$ のサイズ、すなわち、アレイプロセッサ1のサイズを示している。実施の形態2に係るプロセッシングエレメントPEでは、図1に示すように $n = 2$ である。

【0103】

さらに、図7に示すように、レジスタR0～R3には、入力スイッチ部14を介してデータが案内される場合があり、この場合には各レジスタR0～R3に新たなデータが上書き保存されてしまう。このため、後述するように、レジスタR0～R3は、演算処理に応じて記録されるデータが変更される可能性があり、演算処理の処理経過に応じて演算結果、あるいは、演算に用いられる設定値が順次変更される。そして、最終的には、アレイプロセッサ1によって演算された三次元離散コサイン変換処理(3D-DCCT処理)の演算結果が、レジスタR3に記録されることになる。

10

【0104】

入力スイッチ部14は、制御回路部18の指示に応じて、3つの入力端子(i 入力端子、 j 入力端子、 k 入力端子)を切り替えることにより、3つの入力端子を介して隣接するプロセッシングエレメントPEより入力されたデータを、レジスタR0～R3のいずれかに案内して記録させる役割を有している。実際に入力端子を介して入力されるデータは、3つの入力端子(i 入力端子、 j 入力端子、 k 入力端子)のうちのいずれか2つの入力端子を介して入力される。制御回路部18では、入力された情報を入力端子の種類に応じて判断し、入力スイッチ部14を制御して、入力されたデータを、それぞれ該当するレジスタ(レジスタR0～R3のいずれか)に案内して記録させる。

20

【0105】

セクタ部15は、レジスタR0～R6のいずれか3つのレジスタより演算回路部16の演算処理に用いられるデータを取得して演算回路部16に出力する。セクタ部15では、取得した3つのデータを、演算回路部16の演算内容に応じて設けられる3つの入力端子(a 入力端子、 b 入力端子および c 入力端子)に出力する。なお、 a 入力端子および b 入力端子に対して出力されたデータは、 a 入力端子および b 入力端子を介して演算回路部16に入力されると共に、そのまま出力スイッチ部17へと出力される。セクタ部15において、いずれのレジスタ(レジスタR0～R6のうち3つのレジスタ)からデータを取得するか、および、取得したデータを a 入力端子、 b 入力端子および c 入力端子のいずれに出力するかという判断処理は、制御回路部18の指示に応じて行われる。

30

【0106】

演算回路部16では、 a 入力端子より取得したデータ a と、 b 入力端子より取得したデータ b と、 c 入力端子より取得したデータ c とに基づいて、積和演算を行う。積和演算は、演算結果を d とすると、 $d = a \times b + c$ によって求められる。演算結果 d は、演算回路部16の出力端子20を介して出力スイッチ部17に出力される。

【0107】

出力スイッチ部17は、セクタ部15より演算回路部16の a 入力端子に対して出力され、さらに、出力端子21を介して出力スイッチ部17へ出力されたデータ a と、演算回路部16の b 入力端子に対して出力され、さらに、出力端子22を介して出力スイッチ部17へ出力されたデータ b と、演算回路部16の出力端子20を介して出力スイッチ部17へ出力された演算結果 d とを取得し、制御回路部18の指示に応じて、3つの出力端子(i 出力端子、 j 出力端子、 k 出力端子)のいずれか2つの端子より、データ a またはデータ b のいずれか一方と、演算結果 d とを出力させる役割を有している。このため、実際に入力端子を介して出力されるデータは、3つの出力端子(i 出力端子、 j 出力端子、 k 出力端子)のうちいずれか2つの出力端子のみになる。制御回路部18は、入力されたデータを判断し、出力スイッチ部17を制御することによって、データ a またはデータ b のいずれか一方と、演算結果 d とを、それぞれ該当する出力端子(i 出力端子、 j 出力端

40

50

子、k 出力端子のいずれか)に出力する。

【0108】

制御回路部18は、上述した入力スイッチ部14、セクタ部15、出力スイッチ部17の操作制御を行う役割を有している。制御回路部18は、入力スイッチ部14、セクタ部15および出力スイッチ部17に入力されるデータを、その内容や入力された入力端子の種類に応じて判断し、アレイプロセッサ1の処理内容に応じて入力スイッチ部14、セクタ部15、出力スイッチ部17の制御を行う。

【0109】

なお、図7には示していないが、各プロセッシングエレメントPEには、レジスタR0に対して三次元離散コサイン変換処理を行うための入力データを入力し、また、レジスタR1～R3に対して初期値0を入力し、さらに、レジスタR4～R6に対して初期値C(i, k), C(k, j), C(i, j)を入力するためのデータ入力手段や、最終的な演算結果が記録されるレジスタR3よりデータを取得するためのデータ取得手段などが設けられている。

【0110】

次に、各プロセッシングエレメントPEの制御回路部18が、入力スイッチ部14、セクタ部15、および出力スイッチ部17を適宜制御することにより、三次元直交変換の一つである三次元離散コサイン変換処理(3D DCT処理)を行う過程を説明する。

【0111】

図8は、各プロセッシングエレメントPE(i, j, k)における各レジスタR0～R6の初期値および各処理ステップにおいて記録される内容が利用され、または変更されるレジスタを示した表である。レジスタR0には、X(m, j, k)が設定される。但し、mの値には、 $m = (-i - j + k) \bmod 2$ で求められる値が用いられる。このため、プロセッシングエレメントPE(0, 0, 0)のレジスタR0にはX(0, 0, 0)が設定され、プロセッシングエレメントPE(0, 1, 0)のレジスタR0にはX(1, 1, 0)が設定される。また、プロセッシングエレメントPE(1, 0, 0)のレジスタR0にはX(1, 0, 0)が設定され、プロセッシングエレメントPE(1, 1, 0)のレジスタR0にはX(0, 1, 0)が設定される。さらに、プロセッシングエレメントPE(0, 0, 1)のレジスタR0にはX(1, 0, 1)が設定され、プロセッシングエレメントPE(0, 1, 1)のレジスタR0にはX(0, 1, 1)が設定される。また、プロセッシングエレメントPE(1, 0, 1)のレジスタR0にはX(0, 0, 1)が設定され、プロセッシングエレメントPE(1, 1, 1)のレジスタR0にはX(1, 1, 1)が設定される。

【0112】

その他の各レジスタの初期値は、実施の形態1において説明した値と同様とする。図9は、図8に示したレジスタR0～R6の内容が変更される状態を、処理ステップに応じて矢印で示したものである。なお、図9に示した破線による矢印は、後述するデータaまたはデータbのいずれか一方であって、後述する処理において用いられるデータの出力状態を示している。また、実線による矢印は、後述する演算結果dに該当するデータの出力状態を示している。

【0113】

上述したレジスタR0～R6の初期値の設定が行われた後、各プロセッシングエレメントPEの制御回路部18は、セクタ部15を制御して、レジスタR4に記録されるデータを演算回路部16のa入力端子に出力させ、レジスタR0に記録されるデータを演算回路部16のb入力端子に出力させ、レジスタR1に記録されるデータを演算回路部16のc入力端子に出力させる処理を実行する。この処理において、図8および図9に示すように、レジスタR4に記録されるデータは、C(i, k)の初期値であり、レジスタR0に記録されるデータは、三次元離散コサイン変換処理を行うための入力データ: X(m, j, k)、ただし、 $m = (-i - j + k) \bmod 2$ であり、レジスタR1に記録されるデータは、初期値の0である。

【0114】

10

20

30

40

50

各プロセッシングエレメントPEの演算回路部16では、データaとして入力されたレジスタR4のデータと、データbとして入力されたレジスタR0のデータと、データcとして入力されたレジスタR1のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を実行する。

【0115】

次いで各プロセッシングエレメントPEの制御回路部18は、出力スイッチ部17を制御して演算結果d、データaおよびデータbとを取得し、演算結果dをk軸方向に隣接するプロセッシングエレメントPEのk入力端子に出力し、また、データb(詳細には、レジスタR0に記録されていたデータ)を-i軸方向に隣接するプロセッシングエレメントPEのi入力端子に出力する。なお、取得されたデータaに関しては、隣接するプロセッシングエレメントPEに対して出力されない。

10

【0116】

そして、各プロセッシングエレメントPEの制御回路部18は、入力スイッチ部14を制御して、隣接するプロセッシングエレメントPEよりk入力端子を介して演算結果dを取得し、i入力端子を介してデータb(レジスタR0のデータ)とを取得して、演算結果dをレジスタR1に記録させるとともに、データb(レジスタR0のデータ)をレジスタR0に記録する。

【0117】

このようにして、各プロセッシングエレメントPEの制御回路部18は、演算結果dおよびデータbを隣接したプロセッシングエレメントPEに対して出力する処理を、各軸方向に配設されるプロセッシングエレメントPEの配置個数に対応する回数、つまりn回(実施の形態2では2回)だけ繰り返し実行して、i入力端子およびi出力端子の接続によりトラス状に接続された経路と、k入力端子およびk出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定のデータを一巡させる。この一巡の処理が第一周期目のn回の積和演算処理に該当する。なお、第一周期目のn回の積和演算処理において、出力端子21を介して出力スイッチ部17に入力されたデータaは、隣接するプロセッシングエレメントPEに対して出力されることはない。

20

【0118】

このn回の処理の繰り返しにより、各プロセッシングエレメントPEのレジスタR1には、k軸方向に配設された全てのプロセッシングエレメントPEにおいて積和演算された演算結果が記録されることになる。実施の形態2では、 $n = 2$ であるため、2回だけ上述の処理が行われる。図8および図9に示した「0」および「1」の処理ステップは、上述したこの2回の処理に該当する処理内容を示している。

30

【0119】

続いて、各プロセッシングエレメントPEの制御回路部18は、セレクト部15を制御して、レジスタR1に記録されるデータを演算回路部16のa入力端子に出力させ、レジスタR5に記録されるデータを演算回路部16のb入力端子に出力させ、レジスタR2に記録されるデータを演算回路部16のc入力端子に出力させる処理を実行する。この処理において、レジスタR5に記録されるデータは、 $C(k, j)$ の初期値であり、レジスタR1に記録されるデータは、k軸方向に配設された全てのプロセッシングエレメントPEにおいて積和演算された演算結果であり、レジスタR2に記録されるデータは、初期値の0である。

40

【0120】

各プロセッシングエレメントPEの演算回路部16では、データaとして入力されたレジスタR1のデータと、データbとして入力されたレジスタR5のデータと、データcとして入力されたレジスタR2のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を実行する。

【0121】

次いで各プロセッシングエレメントPEの制御回路部18は、出力スイッチ部17を制御して、演算結果d、データaおよびデータbを取得し、演算結果dを-j軸方向に隣接

50

するプロセッシングエレメント P E の j 入力端子に出力し、また、データ a (詳細には、レジスタ R 1 に記録されていたデータ) を k 軸方向に隣接するプロセッシングエレメント P E の k 入力端子に出力する。なお、取得されたデータ b に関しては、隣接するプロセッシングエレメント P E に対して出力されない。

【 0 1 2 2 】

そして、各プロセッシングエレメント P E の制御回路部 1 8 は、入力スイッチ部 1 4 を制御して、隣接するプロセッシングエレメント P E より j 入力端子を介して演算結果 d を取得し、k 入力端子を介してデータ a (レジスタ R 1 のデータ) を取得して、演算結果 d をレジスタ R 2 に記録させるとともに、データ a (レジスタ R 1 のデータ) をレジスタ R 1 に記録する。

10

【 0 1 2 3 】

このようにして、各プロセッシングエレメント P E の制御回路部 1 8 は、演算結果 d およびデータ a を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回 (実施の形態 2 では 2 回) だけ繰り返し実行して、j 入力端子および j 出力端子の接続によりトラス状に接続された経路と、k 入力端子および k 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処理が第二周期目の n 回の積和演算処理に該当する。なお、第二周期目の n 回の積和演算処理において、出力端子 2 2 を介して出力スイッチ部 1 7 に入力されたデータ b は、隣接するプロセッシングエレメント P E に対して出力されることはない。

20

【 0 1 2 4 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント P E のレジスタ R 2 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) であるレジスタ R 1 に基づいて、j 軸方向に配設された全てのプロセッシングエレメント P E で積和演算された演算結果 (第二周期目の n 回の積和演算処理による演算結果) が記録され、レジスタ R 1 には、k 軸方向に配設された全てのプロセッシングエレメントにおいて積和演算された演算結果が記録されることになる。実施の形態 2 では、n = 2 であるため、2 回だけ上述の処理が行われる。図 8 および図 9 に示した「2」および「3」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

30

【 0 1 2 5 】

続いて、各プロセッシングエレメント P E の制御回路部 1 8 は、セレクト部 1 5 を制御して、レジスタ R 2 に記録されるデータを演算回路部 1 6 の a 入力端子に出力させ、レジスタ R 6 に記録されるデータを演算回路部 1 6 の b 入力端子に出力させ、レジスタ R 3 に記録されるデータを演算回路部 1 6 の c 入力端子に出力させる処理を実行する。この処理において、レジスタ R 6 に記録されるデータは、C (i , j) の初期値であり、レジスタ R 2 に記録されるデータは、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) に基づいて、j 軸方向に配設された全てのプロセッシングエレメント P E で積和演算された演算結果 (第二周期目の n 回の積和演算処理による演算結果) であり、レジスタ R 3 に記録されるデータは、初期値の 0 である。

40

【 0 1 2 6 】

各プロセッシングエレメント P E の演算回路部 1 6 では、データ a として入力されたレジスタ R 2 のデータと、データ b として入力されたレジスタ R 6 のデータと、データ c として入力されたレジスタ R 3 のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を行う。

【 0 1 2 7 】

次いで各プロセッシングエレメント P E の制御回路部 1 8 は、出力スイッチ部 1 7 を制御して、演算結果 d、データ a およびデータ b とを取得して、演算結果 d を - i 軸方向に隣接するプロセッシングエレメント P E の i 入力端子に出力し、また、データ a (詳細に

50

は、レジスタ R 2 に記録されていたデータ)を - j 軸方向に隣接するプロセッシングエレメント P E の j 入力端子に出力する。なお、取得されたデータ b に関しては、隣接するプロセッシングエレメント P E に対して出力されない。

【 0 1 2 8 】

そして、各プロセッシングエレメント P E の制御回路部 1 8 は、入力スイッチ部 1 4 を制御して、隣接するプロセッシングエレメント P E より i 入力端子を介して演算結果 d を取得し、 j 入力端子を介してデータ a (レジスタ R 2 のデータ)を取得して、演算結果 d をレジスタ R 3 に記録させるとともに、データ a (レジスタ R 2 のデータ)をレジスタ R 2 に記録する。

【 0 1 2 9 】

このようにして、各プロセッシングエレメント P E の制御回路部 1 8 は、演算結果 d およびデータ a を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回 (実施の形態 2 では 2 回)だけ繰り返し実行して、i 入力端子および i 出力端子の接続によりトラス状に接続された経路と、j 入力端子および j 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処理が第三周期目の n 回の積和演算処理に該当する。なお、第三周期目の n 回の積和演算処理において、出力端子 2 2 を介して出力スイッチ部 1 7 に入力されたデータ b は、隣接するプロセッシングエレメント P E に対して出力されることはない。

【 0 1 3 0 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント P E のレジスタ R 3 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果)に基づいて積和演算された j 軸方向に配設される全てのプロセッシングエレメント P E の積和演算結果 (第二周期目の n 回の積和演算処理による演算結果)を用いて、i 軸方向に配設された全てのプロセッシングエレメント P E で演算処理した演算結果 (第三周期目の n 回の積和演算処理による演算結果)が記録される。これは、すなわち、三次元離散コサイン変換の計算結果である。また、レジスタ R 2 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果)に基づいて、j 軸方向に配設された全てのプロセッシングエレメント P E で積和演算された演算結果 (第二周期目の n 回の積和演算処理による演算結果)が記録されることになる。これは、すなわち、i 軸方向および j 軸方向で構成される二次元の離散コサイン変換の計算結果である。さらに、レジスタ R 1 には、i 軸方向の一次元の離散コサイン変換の計算結果が記録されることになる。実施の形態 2 では、n = 2 であるため、2 回だけ上述の処理が行われる。図 8 および図 9 に示した「4」および「5」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

【 0 1 3 1 】

このようにして実施の形態 2 に係るアレイプロセッサ 1 では、隣接するプロセッシングエレメント P E に対して、演算結果および積和演算に用いる所定データを順次出力してそれぞれのプロセッシングエレメント P E において積和演算処理を行い、この隣接するプロセッシングエレメント P E への演算結果の出力処理を、順次 k 軸方向、j 軸方向、i 軸方向へと出力方向を変えて処理を進めることにより、各演算回路部 1 6 における積和演算結果をレジスタ R 3 に記録させることができる。従って、従来のアレイプロセッサのように、計算途中でデータや係数データの入力順番を調整するための専用回路を設ける必要がなく、回路構成の簡素化を図ることが可能となる。また、演算結果を隣接するプロセッシングエレメント P E に順次出力することによって三次元離散コサイン変換処理 (三次元直交変換処理)を行うことが可能であるため、各次元の計算途中においてプロセッシングエレメント P E の内部に蓄えられるデータおよび係数行列要素を、従来のように複雑な配線構造を用いて何度も交換し合う必要がなく、処理の迅速化および簡素化を図ることが可能となる。

10

20

30

40

50

【0132】

このように、実施の形態2に係るアレイプロセッサ1を用いることにより、従来の構成において必須とされていた計算途中におけるデータ同士の入替作業を行うことなくなる。また、複数のプロセッシングエレメントPEを接続させて演算結果処理を順次行うことにより、三次元離散コサイン変換処理（三次元直交変換処理）を迅速に実行することができ、さらに回路構成の複雑化を抑制することが可能となる。

【0133】

次に、上述したアレイプロセッサ1を用いて、三次元逆離散コサイン変換（3D-IDCT）を計算する方法を説明する。なお、図10は、各プロセッシングエレメントPE（ i, j, k ）における各レジスタR0～R6の初期値および各処理ステップにおいて記録されるレジスタを示した表であり、図11は、図10に示したレジスタの内容が変更される状態を、処理ステップに応じて矢印で示したものである。なお、図11に示した破線による矢印は、演算処理に用いられるデータaまたはデータbのいずれか一方であって、後述する処理において用いられるデータの出力状態を示している。また、実線による矢印は、演算結果dに該当するデータの出力状態を示している。

【0134】

まず始めに、各プロセッシングエレメントPE内のレジスタR0～R6の初期値を設定する。ここで、レジスタR4、R5、R6には、式9～式14により求められる値が初期値として設定される。こからは、定数であり、演算終了まで変更されることはない。

【0135】

また、レジスタR1～R3には、初期値として0が記録され、レジスタR0には、三次元逆離散コサイン変換処理（3D-IDCT処理）を行う三次元の入力データ、具体的には上述した式（2）の $Y(i, m, k)$ の値が記録されている。ここで、 m は、 $m = (-i - j + k) \bmod n$ で計算される値であり、 $\bmod n$ は n のモジュロ演算を表す。すなわち、 m は、 $(-i - j + k)$ を n で割った余りである。また、 n は、三次元の入力データ $n \times n \times n$ のサイズ、すなわち、アレイプロセッサ1のサイズを示している。実施の形態2に係るプロセッシングエレメントPEでは、図1に示すように $n = 2$ である。

【0136】

従って、プロセッシングエレメントPE（0, 0, 0）のレジスタR0には $Y(0, 0, 0)$ が設定され、プロセッシングエレメントPE（0, 1, 0）のレジスタR0には $Y(0, 1, 0)$ が設定される。また、プロセッシングエレメントPE（1, 0, 0）のレジスタR0には $Y(1, 1, 0)$ が設定され、プロセッシングエレメントPE（1, 1, 0）のレジスタR0には $Y(1, 0, 0)$ が設定される。さらに、プロセッシングエレメントPE（0, 0, 1）のレジスタR0には $Y(0, 1, 1)$ が設定され、プロセッシングエレメントPE（0, 1, 1）のレジスタR0には $Y(0, 0, 1)$ が設定される。また、プロセッシングエレメントPE（1, 0, 1）のレジスタR0には $Y(1, 0, 1)$ が設定され、プロセッシングエレメントPE（1, 1, 1）のレジスタR0には $Y(1, 1, 1)$ が設定される。

【0137】

このレジスタR0～R6の初期値の設定が行われた後、各プロセッシングエレメントPEの制御回路部18は、セクタ部15を制御して、レジスタR0に記録されるデータを演算回路部16のa入力端子に出力させ、レジスタR4に記録されるデータを演算回路部16のb入力端子に出力させ、レジスタR1に記録されるデータを演算回路部16のc入力端子に出力させる処理を実行する。この処理において、レジスタR4に記録されるデータは、 $C(k, j)$ の初期値であり、レジスタR0に記録されるデータは、三次元逆離散コサイン変換処理（3D-IDCT処理）を行うための入力データ $Y(i, m, k)$ 、ただし $m = (-i - j + k) \bmod n$ 、であり、レジスタR1に記録されるデータは、初期値の0である。

【0138】

各プロセッシングエレメントPEの演算回路部16では、データaとして入力されたレジスタR0のデータと、データbとして入力されたレジスタR4のデータと、データcと

10

20

30

40

50

して入力されたレジスタ R 1 のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を行う。

【 0 1 3 9 】

次いで各プロセッシングエレメント P E の制御回路部 1 8 は、出力スイッチ部 1 7 を制御して、演算結果 d、データ a およびデータ b を取得し、演算結果 d を k 軸方向に隣接するプロセッシングエレメント P E の k 入力端子に出力し、また、データ a (詳細には、レジスタ R 0 に記録されていたデータ) を - j 軸方向に隣接するプロセッシングエレメント P E の j 入力端子に出力する。なお、取得されたデータ b に関しては、隣接するプロセッシングエレメント P E に対して出力されない。

【 0 1 4 0 】

そして、各プロセッシングエレメント P E の制御回路部 1 8 は、入力スイッチ部 1 4 を制御して、隣接するプロセッシングエレメント P E より k 入力端子を介して演算結果 d を取得し、j 入力端子を介してデータ a (レジスタ R 0 のデータ) を取得して、演算結果 d をレジスタ R 1 に記録させるとともに、データ a (レジスタ R 0 のデータ) をレジスタ R 0 に記録する。

【 0 1 4 1 】

このようにして、各プロセッシングエレメント P E の制御回路部 1 8 は、演算結果 d およびデータ a を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回 (実施の形態 2 では 2 回) だけ繰り返し実行して、k 入力端子および k 出力端子の接続によりトラス状に接続された経路と、j 入力端子および j 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処理が第一周期目の n 回の積和演算処理に該当する。なお、第一周期目の n 回の積和演算処理において、出力端子 2 2 を介して出力スイッチ部 1 7 に入力されたデータ b は、隣接するプロセッシングエレメント P E に対して出力されることはない。

【 0 1 4 2 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント P E のレジスタ R 1 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) が記録されることになる。実施の形態 2 では、 $n = 2$ であるため、2 回だけ上述の処理が行われる。図 1 0 および図 1 1 に示した「0」および「1」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

【 0 1 4 3 】

続いて、各プロセッシングエレメント P E の制御回路部 1 8 は、セクタ部 1 5 を制御して、レジスタ R 5 に記録されるデータを演算回路部 1 6 の a 入力端子に出力させ、レジスタ R 1 に記録されるデータを演算回路部 1 6 の b 入力端子に出力させ、レジスタ R 2 に記録されるデータを演算回路部 1 6 の c 入力端子に出力させる処理を実行する。この処理において、レジスタ R 5 に記録されるデータは、 $C(i, k)$ の初期値であり、レジスタ R 1 に記録されるデータは、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果であり、レジスタ R 2 に記録されるデータは、初期値の 0 である。

【 0 1 4 4 】

各プロセッシングエレメント P E の演算回路部 1 6 では、データ a として入力されたレジスタ R 5 のデータと、データ b として入力されたレジスタ R 1 のデータと、データ c として入力されたレジスタ R 2 のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を実行する。

【 0 1 4 5 】

次いで各プロセッシングエレメント P E の制御回路部 1 8 は、出力スイッチ部 1 7 を制御して、演算結果 d、データ a およびデータ b を取得し、演算結果 d を - i 軸方向に隣接するプロセッシングエレメント P E の i 入力端子に出力し、また、データ b (詳細には、

10

20

30

40

50

レジスタ R 1 に記録されていたデータ) を k 軸方向に隣接するプロセッシングエレメント P E の k 入力端子に出力する。なお、取得されたデータ a に関しては、隣接するプロセッシングエレメント P E に対して出力されない。

【 0 1 4 6 】

そして、各プロセッシングエレメント P E の制御回路部 1 8 は、入力スイッチ部 1 4 を制御して、隣接するプロセッシングエレメント P E より i 入力端子を介して演算結果 d を取得し、k 入力端子を介してデータ b (レジスタ R 1 のデータ) を取得して、演算結果 d をレジスタ R 2 に記録させるとともに、データ b (レジスタ R 1 のデータ) をレジスタ R 1 に記録する。

【 0 1 4 7 】

このようにして、各プロセッシングエレメント P E の制御回路部 1 8 は、演算結果 d およびデータ b を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回 (実施の形態 2 では 2 回) だけ繰り返し実行して、i 入力端子および i 出力端子の接続によりトラス状に接続された経路と、k 入力端子および k 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処理が第二周期目の n 回の積和演算処理に該当する。なお、第二周期目の n 回の積和演算処理において、出力端子 2 1 を介して出力スイッチ部 1 7 に入力されたデータ a は、隣接するプロセッシングエレメント P E に対して出力されることはない。

【 0 1 4 8 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント P E のレジスタ R 2 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) であるレジスタ R 1 に基づいて、i 軸方向に配設された全てのプロセッシングエレメント P E で積和演算された演算結果 (第二周期目の n 回の積和演算処理による演算結果) が記録され、レジスタ R 1 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果が記録されることになる。図 1 0 および図 1 1 に示した「 2 」および「 3 」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

【 0 1 4 9 】

続いて、各プロセッシングエレメント P E の制御回路部 1 8 は、セレクト部 1 5 を制御して、レジスタ R 6 に記録されるデータを演算回路部 1 6 の a 入力端子に出力させ、レジスタ R 2 に記録されるデータを演算回路部 1 6 の b 入力端子に出力させ、レジスタ R 3 に記録されるデータを演算回路部 1 6 の c 入力端子に出力させる処理を実行する。この処理において、レジスタ R 6 に記録されるデータは、 $C(i, j)$ の初期値であり、レジスタ R 2 に記録されるデータは、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) に基づいて、i 軸方向に配設された全てのプロセッシングエレメント P E で積和演算された演算結果 (第二周期目の n 回の積和演算処理による演算結果) であり、レジスタ R 3 に記録されるデータは、初期値の 0 である。

【 0 1 5 0 】

各プロセッシングエレメント P E の演算回路部 1 6 では、データ a として入力されたレジスタ R 6 のデータと、データ b として入力されたレジスタ R 2 のデータと、データ c として入力されたレジスタ R 3 のデータとを用いて、積和演算 ($d = a \times b + c$ の演算) を行う。

【 0 1 5 1 】

次いで各プロセッシングエレメント P E の制御回路部 1 8 は、出力スイッチ部 1 7 を制御して、演算結果 d、データ a およびデータ b とを取得して、演算結果 d を - j 軸方向に隣接するプロセッシングエレメント P E の j 入力端子に出力し、また、データ b (詳細には、レジスタ R 2 に記録されていたデータ) を - i 軸方向に隣接するプロセッシングエレメント P E の i 入力端子に出力する。なお、取得されたデータ a に関しては、隣接するプ

10

20

30

40

50

ロセッシングエレメント P E に対して出力されない。

【 0 1 5 2 】

そして、各プロセッシングエレメント P E の制御回路部 1 8 は、入力スイッチ部 1 4 を制御して、隣接するプロセッシングエレメント P E より j 入力端子を介して演算結果 d を取得し、 i 入力端子を介してデータ b (レジスタ R 2 のデータ) を取得して、演算結果 d をレジスタ R 3 に記録させるとともに、データ b (レジスタ R 2 のデータ) をレジスタ R 2 に記録する。

【 0 1 5 3 】

このようにして、各プロセッシングエレメント P E の制御回路部 1 8 は、演算結果 d およびデータ b を隣接したプロセッシングエレメント P E に対して出力する処理を、各軸方向に配設されるプロセッシングエレメント P E の配置個数に対応する回数、つまり n 回 (実施の形態 2 では 2 回) だけ繰り返し実行して、 j 入力端子および j 出力端子の接続によりトラス状に接続された経路と、 i 入力端子および i 出力端子の接続によりトラス状に接続された経路とに沿って、演算処理結果および所定データを一巡させる。この一巡の処理が第三周期目の n 回の積和演算処理に該当する。なお、第三周期目の n 回の積和演算処理において、出力端子 2 1 を介して出力スイッチ部 1 7 に入力されたデータ a は、隣接するプロセッシングエレメント P E に対して出力されることはない。

【 0 1 5 4 】

この n 回の処理の繰り返しにより、各プロセッシングエレメント P E のレジスタ R 3 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) に基づいて積和演算された i 軸方向に配設される全てのプロセッシングエレメント P E の積和演算結果 (第二周期目の n 回の積和演算処理による演算結果) を用いて、j 軸方向に配設された全てのプロセッシングエレメント P E で演算処理した演算結果 (第三周期目の n 回の積和演算処理による演算結果) が記録される。これは、すなわち三次元逆離散コサイン変換処理 (3 D - I D C T 処理) の計算結果である。また、レジスタ R 2 には、k 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第一周期目の n 回の積和演算処理による演算結果) に基づいて、i 軸方向に配設された全てのプロセッシングエレメント P E において積和演算された演算結果 (第二周期目の n 回の積和演算処理による演算結果) が記録されることになる。これは、すなわち、i 軸方向および k 軸方向で構成される二次元の離散逆コサイン変換の計算結果である。さらに、レジスタ R 1 には、i 軸方向の一次元の離散逆コサイン変換の計算結果が記録されることになる。実施の形態 2 では、n = 2 であるため、2 回だけ上述の処理が行われる。図 1 0 および図 1 1 に示した「 4 」および「 5 」の処理ステップは、上述したこの 2 回の処理に該当する処理内容を示している。

【 0 1 5 5 】

このようにして実施の形態 2 に係るアレイプロセッサ 1 では、隣接するプロセッシングエレメント P E に対して、演算結果および積和演算に用いる所定データを順次出力してそれぞれのプロセッシングエレメント P E において積和演算処理を行い、この隣接するプロセッシングエレメント P E への演算結果の出力処理を、順次 k 軸方向、i 軸方向、j 軸方向へと出力方向を変えて処理を進めることにより、各演算回路部 1 6 における積和演算結果をレジスタ R 3 に記録させることができる。従って、従来のアレイプロセッサ 1 のように、計算途中でデータや係数データの入力順番を調整するための専用回路を設ける必要がなく、回路構成の簡素化を図ることが可能となる。また、演算結果を隣接するプロセッシングエレメント P E に順次出力することによって三次元逆離散コサイン変換処理 (三次元逆直交変換処理) を行うことが可能であるため、各次元の計算途中においてプロセッシングエレメント P E の内部に蓄えられるデータおよび係数行列要素を、従来のように複雑な配線構造を用いて何度も交換し合う必要がなく、処理の迅速化および簡素化を図ることが可能となる。

【 0 1 5 6 】

10

20

30

40

50

このように、実施の形態 2 に係るアレイプロセッサ 1 を用いることにより、従来の構成において必須とされていた計算途中におけるデータ同士の入替作業を行うことなくなる。また、複数のプロセッシングエレメントを接続させて演算結果処理を順次行うことにより、三次元逆離散コサイン変換処理（三次元逆直交変換処理）を迅速に実行することができ、さらに回路構成の複雑化を抑制することが可能となる。

【0157】

以上、本発明に係るアレイプロセッサについて、図面を用いて詳細に説明を行ったが、本発明に係るアレイプロセッサは、上述した構成に限定されるものではなく、当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到しうことは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

10

【0158】

例えば、実施の形態 1 および実施の形態 2 に係るアレイプロセッサ 1 では、プロセッシングエレメント PE を、i 軸方向、j 軸方向、k 軸方向のそれぞれに対して 2 個ずつ、合計 8 個配設した構成を例として用いて説明を行ったが、本発明に係るアレイプロセッサは、各軸方向に対して 2 個ずつ配設された構造には限定されず、2 以上の個数（例えば、n 個）ずつ配設した場合であってもよい。このように複数のプロセッシングエレメントを配設した場合であっても、上述した実施の形態 1 および実施の形態 2 に示した方法に従って隣接するプロセッシングエレメント PE に演算結果と所定データを出力させて一巡することにより、三次元直交変換処理および三次元逆直交変換処理に関する演算を行うことが可能となる。

20

【0159】

また、実施の形態 1 および実施の形態 2 に係るアレイプロセッサ 1 では、説明の便宜上、各プロセッシングエレメントを i 軸、j 軸、k 軸のそれぞれに対応付けた座標位置に配設する構成としたが、現実にプロセッシングエレメント PE を配設する場合には、このように物理的な三次元配設（立体的な配置）により構成する必要はなく、前述したプロセッシングエレメント PE に設けられる 3 個の入力端子と 3 個の出力端子とがそれぞれ対応するようにして接続されるものであれば、どのように配設されるものであってもよい。例えば、同一平面状に 3 つの軸を設定することにより、各プロセッシングエレメントを平面的に配設するものであってもよい。

30

【0160】

また、実施の形態 1 および実施の形態 2 では、三次元直交変換処理の一例である三次元離散コサイン変換と三次元逆離散コサイン変換との演算を行うアレイプロセッサについて説明を行ったが、本発明に係るアレイプロセッサは、上述した三次元離散コサイン変換と三次元逆離散コサイン変換とに関する三次元直交変換処理等だけに用いられるものではなく、 $C(i, k)$ 、 $C(k, j)$ 、 $C(i, j)$ で示された初期値（DCT 係数）を適切な係数に変更することにより、他の三次元直交変換であるウォルシュ・アダマール変換（WHT）や離散フーリエ変換（DFT）等の演算処理に利用することが可能である。

【0161】

さらに、実施の形態 1 および実施の形態 2 に示したアレイプロセッサ 1 では、物理的な専用の演算回路を用いて演算回路部 6, 16 を構成して演算処理を行う場合について説明を行ったが、このよう物理的な回路を用いるのではなく、制御回路部 8, 18 の演算処理機能を利用することによって演算回路部 6, 16 の演算処理に該当する演算を行う構成とし、演算処理を行うための回路を物理的に設けない構成とするものであってもよい。

40

【0162】

また、実施の形態 1 および実施の形態 2 で示したアレイプロセッサ 1 を用いる場合において、i 軸方向、j 軸方向および k 軸方向におけるデータの転送方向や、どの軸方向へ最初にデータを出力するかというデータの処理順番などを自由に設定・変更することが可能である。また各プロセッシングエレメント PE に入力されるデータや初期値（DCT 係数）を、各プロセッシングエレメント PE (i, j, k) 内におけるレジスタ R0 からレジ

50

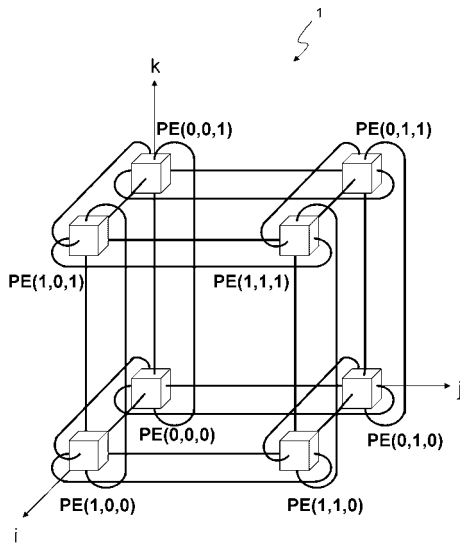
スタ R 6 のどこに格納するかを自由に設定・変更することが可能である。このように、データの転送方向や処理順番、さらには、データの格納設定などを変更した場合であっても、実施の形態 1 および実施の形態 2 に示した内容と同一の処理結果を得ることが可能であり、また同一の結果を得る方法は、実施の形態 1 および実施の形態 2 に示した方法の他、幾通りも考えられる。しかし、これらの変更は、当業者であれば、特許請求の範囲に記載された範疇内において、容易に想到しうることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【符号の説明】

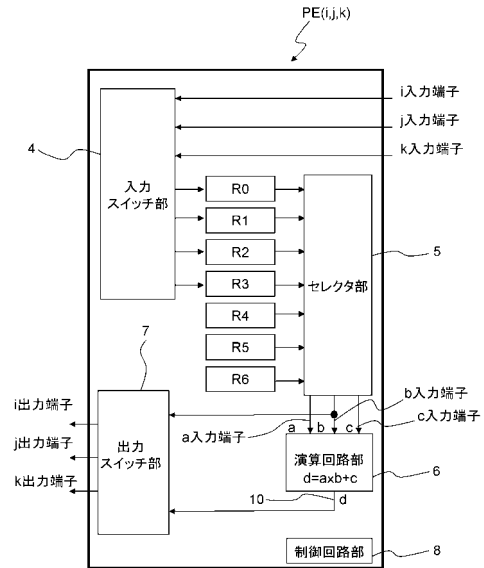
【 0 1 6 3 】

- 1 ... アレイプロセッサ
- 4、14 ... 入力スイッチ部
- 5、15 ... セレクタ部
- 6、16 ... 演算回路部
- 7、17 ... 出力スイッチ部
- 8、18 ... 制御回路部
- 10、20 ... (演算回路部の) 出力端子
- 21、22 ... (セレクト部から出力スイッチ部への) 出力端子
- PE ... プロセッシングエレメント
- R 0 ~ R 6 ... レジスタ

【 図 1 】



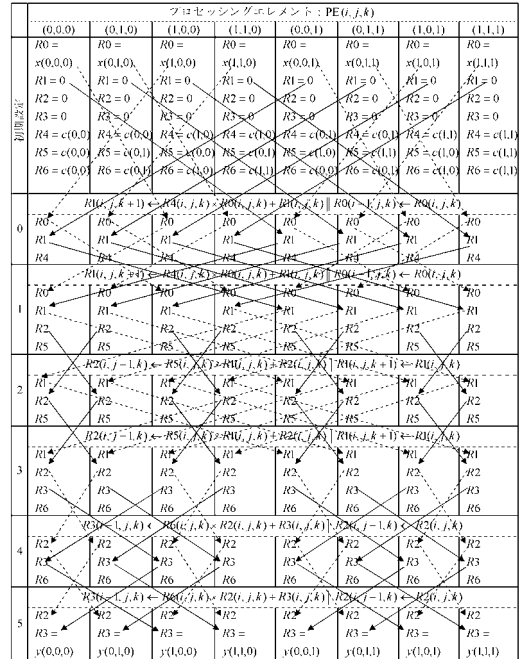
【 図 2 】



【図3】

		プロセッシングエレメント: PE(i, j, k)							
		(0,0,0)	(0,1,0)	(1,0,0)	(1,1,0)	(0,0,1)	(0,1,1)	(1,0,1)	(1,1,1)
処理単位	RO	RO	RO	RO	RO	RO	RO	RO	RO
	x(0,0,0)	x(0,1,0)	x(1,0,0)	x(1,1,0)	x(0,0,1)	x(0,1,1)	x(1,0,1)	x(1,1,1)	
	R1=0	R1=0	R1=0	R1=0	R1=0	R1=0	R1=0	R1=0	
	R2=0	R2=0	R2=0	R2=0	R2=0	R2=0	R2=0	R2=0	
	R3=0	R3=0	R3=0	R3=0	R3=0	R3=0	R3=0	R3=0	
	R4=c(0,0)	R4=c(0,1)	R4=c(1,0)	R4=c(1,1)	R4=c(0,0)	R4=c(0,1)	R4=c(1,0)	R4=c(1,1)	
R5=c(0,0)	R5=c(0,1)	R5=c(1,0)	R5=c(1,1)	R5=c(0,0)	R5=c(0,1)	R5=c(1,0)	R5=c(1,1)		
R6=c(0,0)	R6=c(0,1)	R6=c(1,0)	R6=c(1,1)	R6=c(0,0)	R6=c(0,1)	R6=c(1,0)	R6=c(1,1)		
		$R0(i, j, k+1) \leftarrow R4(i, j, k) \cdot R0(i, j, k) + R0(i, j, k)$ $R0(i-1, j, k) \leftarrow R0(i, j, k)$							
0	R0	R0	R0	R0	R0	R0	R0	R0	R0
	R1	R1	R1	R1	R1	R1	R1	R1	R1
	R4	R4	R4	R4	R4	R4	R4	R4	R4
		$R0(i, j, k+1) \leftarrow R4(i, j, k) \cdot R0(i, j, k) - R0(i, j, k)$ $R0(i-1, j, k) \leftarrow R0(i, j, k)$							
1	R0	R0	R0	R0	R0	R0	R0	R0	R0
	R1	R1	R1	R1	R1	R1	R1	R1	R1
	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R5	R5	R5	R5	R5	R5	R5	R5	R5
		$R2(i, j-1, k) \leftarrow R5(i, j, k) \cdot R1(i, j, k) + R2(i, j, k)$ $R1(i, j, k+1) \leftarrow R1(i, j, k)$							
2	R1	R1	R1	R1	R1	R1	R1	R1	R1
	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R5	R5	R5	R5	R5	R5	R5	R5	R5
		$R2(i, j-1, k) \leftarrow R5(i, j, k) \cdot R1(i, j, k) + R2(i, j, k)$ $R1(i, j, k+1) \leftarrow R1(i, j, k)$							
3	R1	R1	R1	R1	R1	R1	R1	R1	R1
	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R3	R3	R3	R3	R3	R3	R3	R3	R3
	R6	R6	R6	R6	R6	R6	R6	R6	R6
		$R3(i-1, j, k) \leftarrow R6(i, j, k) \cdot R2(i, j, k) + R3(i, j, k)$ $R2(i, j-1, k) \leftarrow R2(i, j, k)$							
4	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R3	R3	R3	R3	R3	R3	R3	R3	R3
	R6	R6	R6	R6	R6	R6	R6	R6	R6
		$R3(i-1, j, k) \leftarrow R6(i, j, k) \cdot R2(i, j, k) + R3(i, j, k)$ $R2(i, j-1, k) \leftarrow R2(i, j, k)$							
5	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R3	R3	R3	R3	R3	R3	R3	R3	R3
	x(0,0,0)	x(0,1,0)	x(1,0,0)	x(1,1,0)	x(0,0,1)	x(0,1,1)	x(1,0,1)	x(1,1,1)	

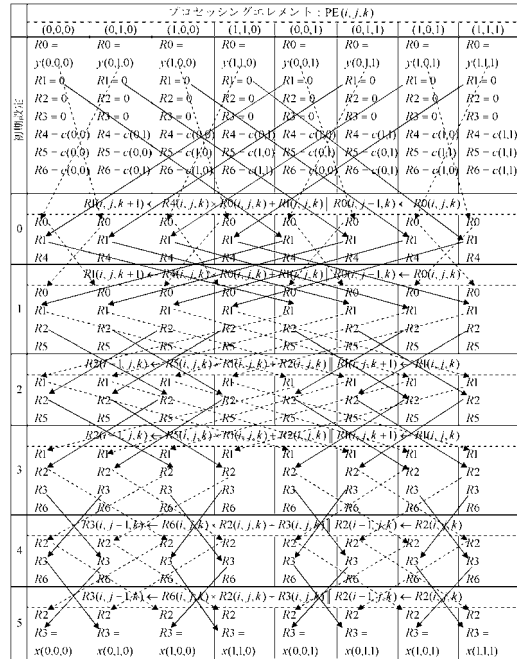
【図4】



【図5】

		プロセッシングエレメント: PE(i, j, k)							
		(0,0,0)	(0,1,0)	(1,0,0)	(1,1,0)	(0,0,1)	(0,1,1)	(1,0,1)	(1,1,1)
処理単位	RO	RO	RO	RO	RO	RO	RO	RO	RO
	y(0,0,0)	y(0,1,0)	y(1,0,0)	y(1,1,0)	y(0,0,1)	y(0,1,1)	y(1,0,1)	y(1,1,1)	
	R1=0	R1=0	R1=0	R1=0	R1=0	R1=0	R1=0	R1=0	
	R2=0	R2=0	R2=0	R2=0	R2=0	R2=0	R2=0	R2=0	
	R3=0	R3=0	R3=0	R3=0	R3=0	R3=0	R3=0	R3=0	
	R4=c(0,0)	R4=c(0,1)	R4=c(1,0)	R4=c(1,1)	R4=c(0,0)	R4=c(0,1)	R4=c(1,0)	R4=c(1,1)	
R5=c(0,0)	R5=c(0,1)	R5=c(1,0)	R5=c(1,1)	R5=c(0,0)	R5=c(0,1)	R5=c(1,0)	R5=c(1,1)		
R6=c(0,0)	R6=c(0,1)	R6=c(1,0)	R6=c(1,1)	R6=c(0,0)	R6=c(0,1)	R6=c(1,0)	R6=c(1,1)		
		$R0(i, j, k+1) \leftarrow R4(i, j, k) \cdot R0(i, j, k) + R0(i, j, k)$ $R0(i-1, k) \leftarrow R0(i, j, k)$							
0	R0	R0	R0	R0	R0	R0	R0	R0	R0
	R1	R1	R1	R1	R1	R1	R1	R1	R1
	R4	R4	R4	R4	R4	R4	R4	R4	R4
		$R0(i, j, k+1) \leftarrow R4(i, j, k) \cdot R0(i, j, k) + R0(i, j, k)$ $R0(i-1, k) \leftarrow R0(i, j, k)$							
1	R0	R0	R0	R0	R0	R0	R0	R0	R0
	R1	R1	R1	R1	R1	R1	R1	R1	R1
	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R5	R5	R5	R5	R5	R5	R5	R5	R5
		$R2(i-1, j, k) \leftarrow R5(i, j, k) \cdot R1(i, j, k) + R2(i, j, k)$ $R1(i, j, k+1) \leftarrow R1(i, j, k)$							
2	R1	R1	R1	R1	R1	R1	R1	R1	R1
	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R5	R5	R5	R5	R5	R5	R5	R5	R5
		$R2(i-1, j, k) \leftarrow R5(i, j, k) \cdot R1(i, j, k) + R2(i, j, k)$ $R1(i, j, k+1) \leftarrow R1(i, j, k)$							
3	R1	R1	R1	R1	R1	R1	R1	R1	R1
	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R3	R3	R3	R3	R3	R3	R3	R3	R3
	R6	R6	R6	R6	R6	R6	R6	R6	R6
		$R3(i-1, j, k) \leftarrow R6(i, j, k) \cdot R2(i, j, k) + R3(i, j, k)$ $R2(i-1, j, k) \leftarrow R2(i, j, k)$							
4	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R3	R3	R3	R3	R3	R3	R3	R3	R3
	R6	R6	R6	R6	R6	R6	R6	R6	R6
		$R3(i-1, j, k) \leftarrow R6(i, j, k) \cdot R2(i, j, k) + R3(i, j, k)$ $R2(i-1, j, k) \leftarrow R2(i, j, k)$							
5	R2	R2	R2	R2	R2	R2	R2	R2	R2
	R3	R3	R3	R3	R3	R3	R3	R3	R3
	x(0,0,0)	x(0,1,0)	x(1,0,0)	x(1,1,0)	x(0,0,1)	x(0,1,1)	x(1,0,1)	x(1,1,1)	

【図6】



【図 11】

