

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3649711号

(P3649711)

(45) 発行日 平成17年5月18日(2005.5.18)

(24) 登録日 平成17年2月25日(2005.2.25)

(51) Int. Cl.⁷

F I

H O 1 L 21/82

H O 1 L 21/82

A

G 1 1 C 13/04

G 1 1 C 13/04

C

H O 1 L 27/118

H O 1 L 21/82

M

請求項の数 2 (全 9 頁)

(21) 出願番号 特願2002-223857 (P2002-223857)
 (22) 出願日 平成14年7月31日(2002.7.31)
 (65) 公開番号 特開2004-64017 (P2004-64017A)
 (43) 公開日 平成16年2月26日(2004.2.26)
 審査請求日 平成16年6月8日(2004.6.8)

(73) 特許権者 503360115
 独立行政法人科学技術振興機構
 埼玉県川口市本町4丁目1番8号
 (74) 代理人 100099508
 弁理士 加藤 久
 (72) 発明者 渡邊 実
 福岡県飯塚市大字伊岐須1-4-4-403
 (72) 発明者 小林 史典
 福岡県宗像市大谷2-11

審査官 大嶋 洋一

(56) 参考文献 特開2002-026721 (JP, A)

最終頁に続く

(54) 【発明の名称】 光再構成型ゲートアレイへのデータ書き込み方法および装置

(57) 【特許請求の範囲】

【請求項1】

論理演算回路を構成するロジックセルと、このロジックセルに演算プログラムを設定するプログラム設定用受光素子とを平面状のチップ上に搭載したゲートアレイの前記ロジックセルを再構成するに際し、前記チップ上にホログラムメモリを配置し、このホログラムメモリに光を照射して、前記受光素子のそれぞれにプログラムに応じた光信号を同時に照射することにより、前記ロジックセルを再構成する光再構成型ゲートアレイへのデータ書き込み方法において、

前記ホログラムメモリの書き換えの際に、前回書き込んだ再構成データと次に書き込む再構成データとを比較し、次に書き込む再構成データが前回書き込んだ再構成データとその
 10
 前回書き込んだ再構成データを反転したデータのいずれに近いかを判断し、前回書き込んだ再構成データに近ければ、それとの差異部分のみ光を照射し、前回書き込んだ再構成データを反転したデータの方に近ければ、反転ビットの再構成ビットに光を照射すると同時に、前回書き込んだ再構成データを反転した再構成データとの差異部分に光を照射することを特徴とする光再構成型ゲートアレイへのデータ書き込み方法。

【請求項2】

論理演算回路を構成するロジックセルと、このロジックセルに演算プログラムを設定するプログラム設定用受光素子とを平面状のチップ上に搭載したゲートアレイと、前記チップ上に配置されるホログラムメモリと、このホログラムメモリに光を照射して、前記受光素子のそれぞれにプログラムに応じた光信号を同時に照射することにより、前記ロジックセ
 20

ルを再構成する手段とを備えた光再構成型ゲートアレイへのデータ書き込み装置において、
前記ホログラムメモリの書き換えの際に、前回書き込んだ再構成データと次に書き込む再構成データとを比較する手段と、次に書き込む再構成データが前回書き込んだ再構成データとその前回書き込んだ再構成データを反転したデータのいずれに近いかを判断する手段と、前回書き込んだ再構成データに近ければ、それとの差異部分のみ光を照射し、前回書き込んだ再構成データを反転したデータの方に近ければ、反転ビットの再構成ビットに光を照射すると同時に、前回書き込んだ再構成データを反転した再構成データとの差異部分に光を照射する手段とを備えたことを特徴とする光再構成型ゲートアレイへのデータ書き込み装置。

10

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、光再構成型ゲートアレイへのデータ書き込み方法および装置に関する。

【0002】**【従来の技術】**

近年、FPGA (Field Programmable Gate Array) を使用して動的に回路を変更する再構成型プロセッサや再構成型ニューラルネットワークなど、再構成型ハードウェアの研究が盛んに行われている。

【0003】

FPGAは、AND素子やOR素子といった論理演算回路を構成するロジックセルの集合 (ロジックブロック) と、各ロジックセルをどのような回路にするかを定める配線であるスイッチングマトリクスとで構成されている。

20

【0004】

実際のFPGAでは、スイッチングマトリクスの情報や内部の回路情報を高密度のRAMのセルとして蓄えており、その蓄えた情報によって、所望の回路として動作するようになっている。これらのRAMは、電源を切るとメモリの内容が失われてしまうので、次に動作する場合、必ず、構成とか再構成 (configuration) とかという作業が必要になる。また、同じFPGAを用いて異なる演算をする場合も、演算の前に再構成を行うことが必要となる。

30

【0005】

従来のFPGAでは、(シリアル)ROM等からユーザが望む回路構成を電氣的にダウンロードして実装 (構成・再構成: プログラム) する方式をとる。このダウンロードはシリアルバスもしくは数ビットのバスによって行われ、一般的に1回につき数十msの時間が必要になる。

【0006】

このため、ダイナミックにFPGA上の回路をその都度変更しながら使用する、再構成型ハードウェア演算器として使用することには難点があった。

従来の多くのFPGAでは、ユーザ回路に使用する配線エリアを出来る限り広く開放するために、プログラムを入れるために使用する回路の配線エリアが最小となるよう設計する。多くの場合、ユーザ回路が格納されるメモリーは直列に接続され、それに対する書き込みはシリアル的に1クロックに1ビットずつ転送する方式をとる。高速な構成・再構成、つまり高速にメモリーにデータを書き込むためには、このシリアルバスのバス幅を広くすればよいが、そうするとユーザに開放できる配線リソースが減少し、本来のプログラマブルゲートアレイの柔軟な回路設計が可能であるという利点が減少する。

40

【0007】

FPGAというのはそもそもユーザに全ての回路エリアを開放することが目的である。チップの回路エリアも全部開放して、ユーザに使ってもらうのが一番望ましい。そうすると、チップ単価も安くできる。ユーザが使うゲートの数はチップによって決まる。そのチップの面積の何割をユーザに開放するかは非常に重要なことである。ただ、FPGAは、プ

50

プログラムできるようにしているために、プログラムするための回路、データを流し込むための回路が必ず必要になる。高速な書き込みを行うために、バス幅を大きくしたり複数のラインにすればスループットが上がるが、それを実現するには膨大な配線リソースを要する。そうすると、限られたエリアでのユーザが利用できるゲート数が減ってきて、本来のFPGAのメリットが削減されることになる。

【0008】

再構成には時間がかかるが、ユーザにできる限り回路を開放したいというのが現在のFPGAの基本思想である。このような基本思想に従えば、再構成に時間がかかることは、既存の電気回線を使用している限り、避けようがない。

【0009】

一方、LSIの製造工程では一般に不純物による製造不良が多く発生するため、大きなダイサイズにした場合、それだけ不良を含む可能性が高くなりコスト増を招いている。その理由により巨大なダイサイズのLSI、FPGAは未だ実現されていない。FPGA等のプログラムデバイスを用い、不良部位を回避したプログラムを行うことで、不良を含むが安価で大規模であるLSIが実現できると期待されている。しかし、既存のFPGAでは構成・再構成を行う回路がシリアルにつながっており、この部位に不良が発生するとデバイスの殆どのエリアが使用できなくなるため、未だ不良を含むデバイスの使用は実現できていない。

【0010】

そこで本発明らは先に、論理演算回路を構成するロジックセルと、このロジックセルに演算プログラムを設定するプログラム素子とを平面状のチップ上に搭載したゲートアレイにおいて、プログラム素子をフォトダイオード等の受光素子で構成した光再構成型ゲートアレイを特願2001-157573号において開示した。図4はその概略構成を示すもので、図中2は受光素子としてのフォトダイオード、3はフォトダイオード2を充電するFET、5は電源、6はレーザ、7は光メモリとしてのホログラムメモリである。

【0011】

この光再構成型ゲートアレイを再構成するに際しては、チップ上に光メモリ7を配置し、この光メモリ7に光を照射して、受光素子2のそれぞれにプログラムに応じた光信号を同時に照射することにより、ロジックセルを再構成する。

光メモリ7としては、プログラムに応じた明暗のパターンを形成した透光性フィルム（光ROM）や、明暗のパターンが切り替え可能なホログラムメモリ（光RAM）とすることができる。

【0012】

光RAMとしてホログラムメモリ7を使うと、照射角によってパターンを変えることができ、また複数のパターンで頻繁な再構成をかける拡張性がある。具体的には、レーザ光の角度を変えてやる技術を使うことで実現が可能である。構成・再構成時間が短くなれば、最適な回路情報を必要な時に実装し、即処理を行い、そして再構成を行うといった繰り返し処理が可能になりハードウェア資源を有効に、そして柔軟に使用することができる。

【0013】

このように、光再構成型ゲートアレイは、従来シリアルによって行われていた再構成（プログラム）回路を受光素子に置き換えることで、光によって並列的に再構成を行うデバイスである。本デバイスでは瞬間的に再構成ができることから、ソフトウェア処理をハードウェア回路として実装することができる。このため、既存の固定ハードウェア型のコンピュータとは比較にならない高速な処理が可能になる。

【0014】

【発明が解決しようとする課題】

しかし、この光再構成型ゲートアレイでは、高速な光による書き込みが必要なことと、またその光回路の数が莫大なことから、その光回路が消費する電力が問題となっている。

【0015】

光再構成型ゲートアレイの光回路が消費する電力は式(1)によって算出できる。この式

10

20

30

40

50

では、N個の光回路を周波数 f_c で動かし、全てのパターンを平均的に照射する場合について示したもので、光再構成型ゲートアレイのコンフィギュレーション（再構成）に要する全消費電力 P_{ORGA} を示す。

【0016】

【数1】

$$P_{ORGA} = \frac{1}{2} N C_J V^2 f_c \left(1 + \frac{1}{\eta_Q \eta_D \eta_L} \frac{h\nu}{eV} \right) \quad (1)$$

式中、 h はプランク定数 ($= 6.62608 \times 10^{-34}$ Js)、 f_c はレーザの周波数 (s^{-1})、 e は電子1個の電荷量 ($= 1.60 \times 10^{-19}$ J/V)、 V は電源電圧 (V) を示す。 10

【0017】

光再構成型ゲートアレイではホログラムメモリを交換するとき、その位置決め許容誤差が極端に小さくならないように大きく受光部を設計する。一方で、他の回路のゲート負荷は、LSIプロセス技術の進歩による微細化により、著しく小さくなってきている。このため、回路のゲートに比較し、受光部の接合容量は現状でも10倍～100倍以上になる。また、レーザ効率 η_L (< 0.1)、ホログラム回折効率 η_D (< 0.01)、フォトディテクタの量子効率 η_Q (< 1)、レーザの波長 ($= c / \nu = 850$ nm)、回路動作電圧 V ($= 5$ V) の条件下では、式(1)のカッコの中の値が約300倍程度になることが分かっている。 20

【0018】

よって、接合容量 C_J と合わせて光回路部の消費電力を考察すると、光回路の1個分の消費電力は、通常のゲート1個の消費電力と比較して3000～30000倍程度になる。

【0019】

光再構成型ゲートアレイでは、消費電力の主要な部分を光回路が占めるため、この光再構成部の低消費電力化が非常に重要である。

【0020】

そこで本発明は、光再構成型ゲートアレイへのデータ書き込みの際の消費電力を低減することのできるアルゴリズムと回路を提供することを目的とする。

【0021】

【課題を解決するための手段】

本発明の第1の構成は、論理演算回路を構成するロジックセルと、このロジックセルに演算プログラムを設定するプログラム設定用受光素子とを平面状のチップ上に搭載したゲートアレイの前記ロジックセルを再構成するに際し、前記チップ上にホログラムメモリを配置し、このホログラムメモリに光を照射して、前記受光素子のそれぞれにプログラムに応じた光信号を同時に照射することにより、前記ロジックセルを再構成する光再構成型ゲートアレイへのデータ書き込み方法において、前記ホログラムメモリの書き換えの際に、前回書き込んだ再構成データと次に書き込む再構成データとを比較し、次に書き込む再構成データが前回書き込んだ再構成データとその前回書き込んだ再構成データを反転したデータのいずれに近いかを判断し、前回書き込んだ再構成データに近ければ、それとの差異部分のみ光を照射し、前回書き込んだ再構成データを反転したデータの方に近ければ、反転ビットの再構成ビットに光を照射すると同時に、前回書き込んだ再構成データを反転した再構成データとの差異部分に光を照射することを特徴とする光再構成型ゲートアレイへのデータ書き込み方法である。 40

【0022】

また本発明の第2の構成は、論理演算回路を構成するロジックセルと、このロジックセルに演算プログラムを設定するプログラム設定用受光素子とを平面状のチップ上に搭載したゲートアレイと、前記チップ上に配置されるホログラムメモリと、このホログラムメモリに光を照射して、前記受光素子のそれぞれにプログラムに応じた光信号を同時に照射することにより、前記ロジックセルを再構成する手段とを備えた光再構成型ゲートアレイへの 50

データ書き込み装置において、前記ホログラムメモリの書き換えの際に、前回書き込んだ再構成データと次に書き込む再構成データとを比較する手段と、次に書き込む再構成データが前回書き込んだ再構成データとその前回書き込んだ再構成データを反転したデータのいずれに近いかを判断する手段と、前回書き込んだ再構成データに近ければ、それとの差異部分のみ光を照射し、前回書き込んだ再構成データを反転したデータの方に近ければ、反転ビットの再構成ビットに光を照射すると同時に、前回書き込んだ再構成データを反転した再構成データとの差異部分に光を照射する手段とを備えたことを特徴とする光再構成型ゲートアレイへのデータ書き込み装置である。

【0023】

本発明においては、ホログラムメモリの書き換えの際に、前回書き込んだ再構成データと次に書き込む再構成データの差分情報をホログラムメモリに記憶することで、差異部分のみに光を照射する。これにより、書き換えの度に全面を照射するよりも低消費電力化を図ることができる。

【0024】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。

【0025】

図1は本発明の実施の形態を示す回路図、図2は本実施の形態における動作フローを示すフローチャートである。

【0026】

1. 差動型光再構成型ゲートアレイのアルゴリズム

本実施の形態では、低消費電力化の目的で、差動型の再構成手法を実現する。この方法では再構成のクロックを落とすことなく、光の照射ビット数を減らすことで低消費電力化を達成する。

【0027】

まず、前に書き込んだ再構成データを基に次に書き込む再構成データを作成する。このとき、次に書き込む再構成データが、前の再構成データと前の再構成データの反転のどちらに近いかを調べる。前の再構成データに近ければ、それとの差異部分のみ光を照射し、逆に反転の方に近ければ、反転ビットの再構成ビットに光を照射すると同時に、前の反転再構成データとの差異部分に光を照射する。そのアルゴリズムを示す式が、式(2)~式(4)である。

【0028】

【数2】

$$\gamma = \beta \oplus (\alpha \oplus I_v) \quad (2)$$

【0029】

【数3】

$$I_v = \begin{cases} 1 & : \sum_{i=1}^N (\alpha_i \oplus \beta_i) \geq \lfloor \frac{N}{2} + 1 \rfloor \\ 0 & : \text{その他} \end{cases} \quad (3)$$

【0030】

【数4】

$$\beta = \gamma \oplus (\alpha \oplus I_v) \quad (4)$$

ここで α は前の再構成データベクトル、 β は次に書き込む再構成データベクトル、 I_v は反転ビット、 γ は差分照射情報ベクトルを示す。このうち、差分照射情報ベクトル γ と反転ビット I_v がホログラムメモリに書き込まれる。このようにすることで、照射回数を削

10

20

30

40

50

減することができる。このときの効率 は式 (5) によって計算できる。

【0031】

【数5】

$$P_{ODRGA} = \frac{1}{2} C_J V^2 f_C \left(1 + \frac{1}{\eta_Q \eta_D \eta_L} \frac{h\nu}{eV} \right) \times (N+1) (1 - {}_N C_{\lfloor N/2 \rfloor} \cdot 2^{-N}) \quad (5)$$

【0032】

2. アルゴリズムと回路の動作について

この再構成部の光回路を図1に示す。この光回路は、Tフリップフロップ1と、フォトディテクタ2と、それを充電するためのFET3と、反転出力を作るEXOR(排他的論理和回路)4から構成される。これは、フォトディテクタ2に光照射があると、Tフリップフロップ1が反転する回路である。また、正規の再構成ビットに加えて1ビット余分の光回路(数字に を付けている回路)を含んでおり、この光回路によって、Tフリップフロップ1の値をそのまま出力するか、それとも反転したものを出力するかを決定する。これが反転ビットI_vに相当するビットとなる。

10

【0033】

ホログラムメモリ7へ書き込むデータの作成手順を図2のフローチャートに示す。

ステップS100

まず、基準となる最初の再構成ベクトル はゼロベクトルとする。

20

ステップS110

次の再構成時に、前の再構成データ と、これから書き込む再構成データ とを比較して、異なっているビットの数を式(3)に基づいて数える。その数が $\lfloor N/2 + 1 \rfloor$ より大きいかどうかを比較する。

ステップS120

異なっているビットの数が $\lfloor N/2 + 1 \rfloor$ より大きい場合は、反転ビットI_vを1とし、式(3)に示すように、前の再構成データ の反転データと、次に書き込む再構成データ とを比較し、異なるビット部分のみ1を立てたベクトル を用意する。

ステップS130

異なっているビットの数が $\lfloor N/2 + 1 \rfloor$ より小さい場合は、反転ビットI_vを0とし、式(3)に示すように、前の再構成データ と、次に書き込む再構成データ とを比較し、異なるビット部分のみ1を立てたベクトル を用意する。

30

ステップS140

ホログラムメモリに反転ビットI_vと、差分情報ベクトル の二つを書き込む。再構成データを一つインクリメントしてステップS110に戻る。

【0034】

以上の処理手順において、書き込みたい再構成データが前の再構成データよりもその反転データに近かった場合、反転ビットI_vを出力するためのTフリップフロップ1 に対応するフォトディテクタ2 に光が当たるように、ホログラムメモリ7はプログラムされているため、このTフリップフロップ1 は反転し、過去の情報を記憶しているフリップフロップ群の出力情報()がEXOR4によって反転される。これにより、 の反転の情報(not)が作られることになる。さらに、ホログラムメモリにはこの反転された(not)情報と今書き込みたいデータ()情報とで異なっている部分に光が当たるように書き込んであるので、それらのTフリップフロップ1には光が当たり反転される。この結果 が生成される。実際にはこの二つのステップは同時に起きる。

40

【0035】

一方、書き込みたい再構成データが前の再構成データに近かった場合は、反転ビットI_vを出力するためのTフリップフロップ1 に対応するフォトディテクタ2 に光が当たらないようにホログラムメモリ7はプログラムされているため、このTフリップフロップ1

50

は反転せず、過去の情報を記憶しているフリップフロップ群の出力情報()がそのまま保存される。次に、ホログラムメモリ7には前の情報()と今書き込みたいデータ()情報とで異なっている部分に光が当たるように書き込んであるので、それらのTフリップフロップ1には光が当たりビットが反転される。この結果 が生成される。

実際に本発明による方法を実施したときの消費電力の測定結果を図3に示す。(a)は偶数ビット、(b)は奇数ビットの場合を示す。これらの測定結果により、従来の方法によるときとを比較すると、本発明により消費電力を数十パーセント低減することができた。なお、再構成ビットは、偶数ビットで構成した方が効率がよいことも判明した。

【0036】

【発明の効果】

本発明によれば、ホログラムメモリの書き換えの際に、前回書き込んだ再構成データと次に書き込む再構成データの差分情報をホログラムメモリに記憶し、差異部分のみに光を照射することにより、書き換えの度に全面を照射するよりも低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態における再構成部の光回路図である。

【図2】 本発明の実施の形態における動作を示すフローチャートである。

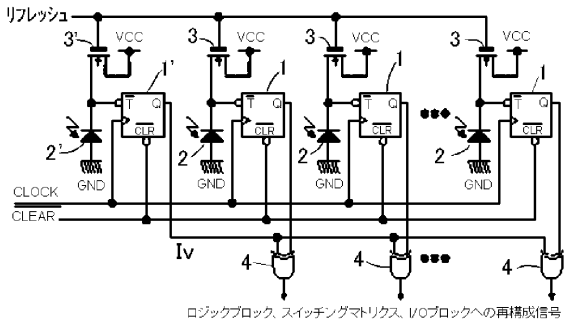
【図3】 本発明による電力効率の改善の状況を示すグラフである。

【図4】 従来提案による光再構成型ゲートアレイの一回路を示す回路図である。

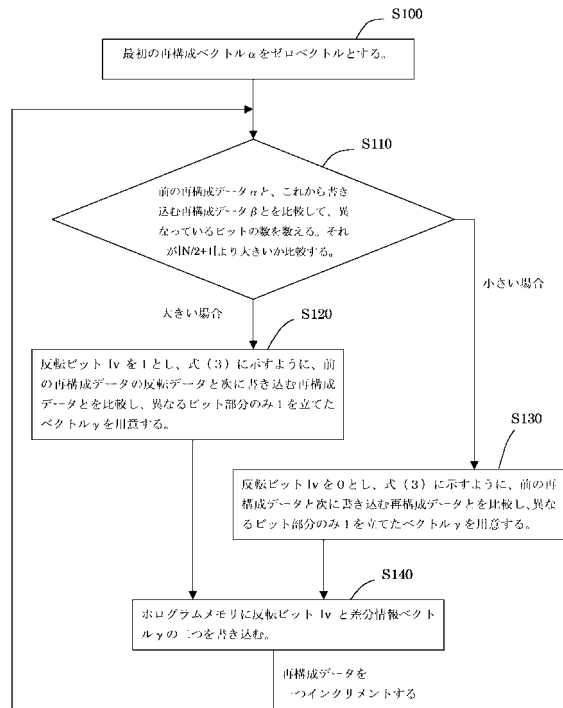
【符号の説明】

- 1 Tフリップフロップ
- 2 フォトディテクタ
- 3 FET
- 4 EXOR (排他的論理和回路)
- 5 電源
- 6 レーザ
- 7 ホログラムメモリ

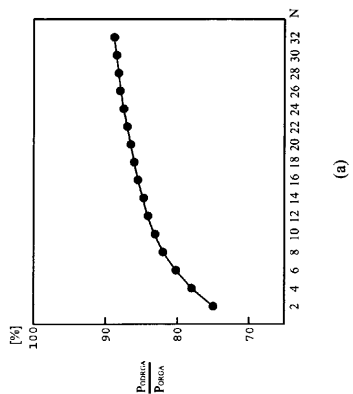
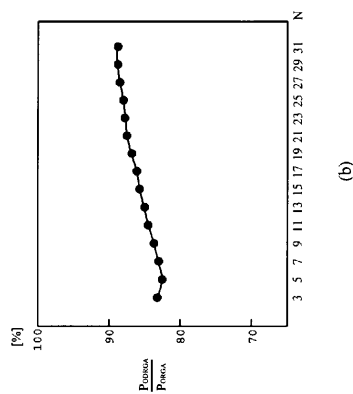
【図 1】



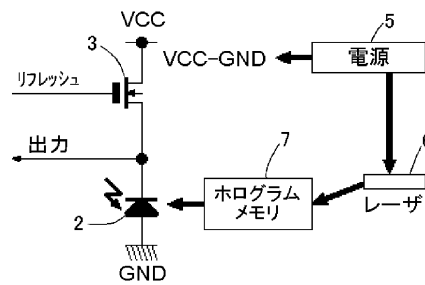
【図 2】



【図 3】



【図 4】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/82

H01L 21/822

H01L 27/04

H01L 27/118

H03K 19/173

G11C 13/04