

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-303249

(P2005-303249A)

(43) 公開日 平成17年10月27日(2005.10.27)

|                            |               |             |
|----------------------------|---------------|-------------|
| (51) Int. Cl. <sup>7</sup> | F I           | テーマコード (参考) |
| HO 1 L 31/04               | HO 1 L 31/04  | 5 F O 4 5   |
| HO 1 L 21/205              | HO 1 L 21/205 | 5 F O 5 1   |

審査請求 未請求 請求項の数 26 O L (全 18 頁)

|              |                              |          |   |
|--------------|------------------------------|----------|---|
| (21) 出願番号    | 特願2004-218457 (P2004-218457) | (71) 出願人 | 503360115   |
| (22) 出願日     | 平成16年7月27日 (2004. 7. 27)     |          | 独立行政法人科学技術振興機構                                    |
| (31) 優先権主張番号 | 特願2004-79028 (P2004-79028)   |          | 埼玉県川口市本町 4 丁目 1 番 8 号                             |
| (32) 優先日     | 平成16年3月18日 (2004. 3. 18)     | (74) 代理人 | 100083138   |
| (33) 優先権主張国  | 日本国 (JP)                     |          | 弁理士 相田 伸二   |
|              |                              | (72) 発明者 | 市川 昌和   |
|              |                              |          | 東京都文京区本郷7丁目3番1号 東京大学大学院 工学系研究科附属量子相エレクトロニクス研究センター |
|              |                              | (72) 発明者 | 中村 芳明   |
|              |                              |          | 東京都文京区本郷7丁目3番1号 東京大学大学院 工学系研究科附属量子相エレクトロニクス研究センター |

最終頁に続く

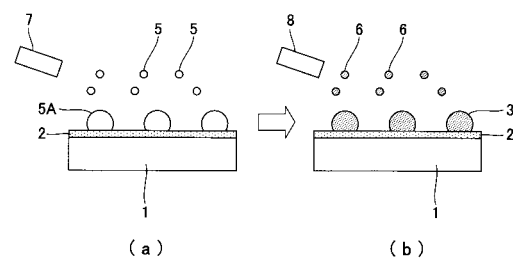
(54) 【発明の名称】 半導体デバイスの製造方法

(57) 【要約】

【課題】 不純物が少なく、光デバイス材料や高効率太陽電池材料や熱 - 電気抵抗材料に好適な半導体デバイスを得る。

【解決手段】 シリコン基板 1 に形成した極薄酸化膜 2 上に分子線エピタキシャル法を用いて I V 族半導体 5 ( Si, Ge ) と金属 6 を蒸着することで、シリコン系化合物半導体のナノメートルサイズの微結晶 ( ナノドット ) 3 を超高密度に形成して、半導体デバイスを得る。シリコン系化合物半導体のドット 3 には不純物が少なく、光デバイス材料や高効率太陽電池材料や熱 - 電気抵抗材料に好適なデバイスを得ることができる。

【選択図】 図 2



## 【特許請求の範囲】

## 【請求項 1】

単結晶シリコン基板に基板側酸化膜を形成する工程と、  
 $Si$  又は  $Ge$  の  $IV$  族半導体と、 $Fe$ 、 $Mg$ 、 $Ba$ 、 $Cr$ 、 $Mo$ 、 $W$ 、 $Mn$ 、 $Re$ 、 $Ru$ 、 $Os$ 、 $Ir$  の金属のうち少なくとも一つの金属を前記基板側酸化膜に蒸着することに基づきシリコン系化合物半導体のドットを作製する工程と、  
 を有する半導体デバイスの製造方法。

## 【請求項 2】

前記シリコン系化合物半導体のドットを埋めるようにスペーサー層を形成する工程、  
 を有する請求項 1 に記載の半導体デバイスの製造方法。

10

## 【請求項 3】

前記スペーサー層は、 $Si$  又は  $Si_{1-x}Ge_x$  にて形成された、  
 ことを特徴とする請求項 2 に記載の半導体デバイスの製造方法。

## 【請求項 4】

前記スペーサー層を形成する工程と、  
 該スペーサー層を熱酸化してスペーサー層側酸化膜を形成する工程と、  
 前記  $IV$  族半導体と前記金属とを前記スペーサー層側酸化膜に蒸着することに基づきシリコン系化合物半導体のドットを作製する工程と、  
 を少なくとも 1 回実施する、請求項 2 又は 3 に記載の半導体デバイスの製造方法。

## 【請求項 5】

前記基板側酸化膜又は前記スペーサー層側酸化膜は、 $Si$ 、 $Ge$  或いは  $SiGe$  混晶の層を酸素雰囲気中で熱酸化して  $1\text{nm}$  以下の厚さに形成した、  
 ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体デバイスの製造方法。

20

## 【請求項 6】

前記基板側酸化膜又は前記スペーサー層側酸化膜は、 $Si$  酸化膜又は  $Si_{1-x}Ge_x$  酸化膜である、  
 ことを特徴とする請求項 5 に記載の半導体デバイスの製造方法。

## 【請求項 7】

前記  $IV$  族半導体及び前記金属を蒸着するときの基板温度は、 $200$  から  $700$  の範囲であって、エピタキシャル成長をさせるか非エピタキシャル成長をさせるかに応じて調整する、  
 ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体デバイスの製造方法。

30

## 【請求項 8】

$IV$  族半導体の蒸着を先に行って  $IV$  族半導体の核を形成し、その後、金属の蒸着を行ってシリコン系化合物半導体のドットを作製する、  
 ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体デバイスの製造方法。

## 【請求項 9】

前記  $IV$  族半導体に  $Si$  を用い、前記金属に  $Fe$  を用いて、前記  $Si$  及び前記  $Fe$  を反応させて鉄シリサイドのドットを作製する、  
 ことを特徴とする請求項 8 に記載の半導体デバイスの製造方法。

40

## 【請求項 10】

$Si$  及び  $Fe$  の蒸着に分子線エピタキシャル法を用いる、  
 ことを特徴とする請求項 9 に記載の半導体デバイスの製造方法。

## 【請求項 11】

$Si$  の蒸着だけを行うときの基板温度は  $200$  から  $700$  の範囲内である、  
 ことを特徴とする請求項 9 又は 10 に記載の半導体デバイスの製造方法。

## 【請求項 12】

50

Feの蒸着だけを行うときの基板温度は400 から700 の範囲内である、  
ことを特徴とする請求項9又は10に記載の半導体デバイスの製造方法。

【請求項13】

Feの蒸着時に前記Si及び前記Feを反応させて  $\text{-FeSi}_2$  のドットを作製する、  
ことを特徴とする請求項9乃至12のいずれか1項に記載の半導体デバイスの製造方法。

【請求項14】

Siの蒸着を先に行ってSiの核を形成し、その後、Feの蒸着を行って  $\text{-FeSi}_2$  のドットを作製するときのSiに対するFeのモル比は0.25から10の範囲である、  
ことを特徴とする請求項13に記載の半導体デバイスの製造方法。

10

【請求項15】

IV族半導体の蒸着と金属の蒸着を同時に行ってシリコン系化合物半導体のドットを作製する、  
ことを特徴とする請求項1乃至7のいずれか1項に記載の半導体デバイスの製造方法。

【請求項16】

IV族半導体の蒸着と金属の蒸着を同時に行う前に、IV族半導体の蒸着を行ってIV族半導体の核を形成しておく、  
ことを特徴とする請求項15に記載の半導体デバイスの製造方法。

20

【請求項17】

前記IV族半導体にSiを用い、前記金属にFeを用いて、前記Si及び前記Feを反応させて鉄シリサイドのドットを作製する、  
ことを特徴とする請求項15又は16に記載の半導体デバイスの製造方法。

【請求項18】

Si及びFeの蒸着に分子線エピタキシャル法を用いる、  
ことを特徴とする請求項17に記載の半導体デバイスの製造方法。

【請求項19】

Siの蒸着とFeの蒸着を同時に行う前に蒸着するSiの蒸着量は0.1BL (Bilayer) 以上3.0BL (Bilayer) 以下である、  
ことを特徴とする請求項17又は18に記載の半導体デバイスの製造方法。

30

【請求項20】

Feの蒸着は行わずSiの蒸着だけを行うときの基板温度は200 から700 の範囲内である、  
ことを特徴とする請求項17乃至19のいずれか1項に記載の半導体デバイスの製造方法。

【請求項21】

Feの蒸着は行わずSiの蒸着だけを行うときの基板温度は400 から650 の範囲内である、  
ことを特徴とする請求項20に記載の半導体デバイスの製造方法。

40

【請求項22】

Siの蒸着とFeの蒸着を同時に行うときの基板温度は300 から700 の範囲内である、  
ことを特徴とする請求項17乃至21のいずれか1項に記載の半導体デバイスの製造方法。

【請求項23】

Siの蒸着とFeの蒸着を同時に行うときの基板温度は400 から550 の範囲内である、  
ことを特徴とする請求項22に記載の半導体デバイスの製造方法。

50

## 【請求項 24】

前記 Si の蒸着と前記 Fe の蒸着を同時に行うときに前記 Si 及び前記 Fe を反応させて  $-FeSi_2$  のドットを作製する、

ことを特徴とする請求項 17 乃至 23 のいずれか 1 項に記載の半導体デバイスの製造方法。

## 【請求項 25】

Fe と Si の同時蒸着の際の Fe と Si の蒸着速度の比が  $0.5 \pm 0.2$  である、

ことを特徴とする請求項 17 乃至 24 のいずれか 1 項に記載の半導体デバイスの製造方法。

## 【請求項 26】

前記ドットを形成した後、又は前記スペーサー層を形成した後に 500 以上の温度でアニールする、

ことを特徴とする請求項 2 乃至 25 のいずれか 1 項に記載の半導体デバイスの製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、シリコン系化合物半導体のドットを有する半導体デバイスの製造方法に関する。

## 【背景技術】

## 【0002】

シリコン系化合物半導体は種々の材料に利用できるものとして有望視されており、中でも、 $-FeSi_2$  の光デバイスへの利用が強く期待されている。このようなシリコン系化合物半導体の薄膜を形成する技術としては種々のものが報告されているが、高品質な薄膜を形成するには至っていない。また、 $-FeSi_2$  を RDE 法で成膜した後にアニールする方法も報告されているが、欠陥を有していて、実用化レベルには至っていない。以下、これらの点につき詳述する。

## 【0003】

シリコン系化合物半導体は、Si 基板上のモノリシックな多機能デバイスの実現を可能とする材料であり、光デバイス材料、高効率太陽電池材料、熱-電気抵抗材料、磁性デバイス材料として有望視されている。しかし、結晶構造、相図が複雑なものが多く、結晶成長が困難であることが知られている。

## 【0004】

このようなシリコン系化合物半導体の薄膜を形成する技術としては、Ion Beam Synthesis (IBS) 法、Reactive Deposition Epitaxy (RDE) 法、Solid Phase Epitaxy (SPE) 法、Molecular Beam Epitaxy (MBE) 法、Pulsed Laser Deposition (PLD) 法等、種々のものが報告されている。しかし、どの方法を用いても、不純物の無い、高品質なシリコン系化合物半導体の薄膜を得ることは困難である。

## 【0005】

ところで、シリコン系化合物半導体の中でも、 $-FeSi_2$  は、 $0.8 - 0.85$  eV のバンドギャップを有し、高光吸収計数、耐熱性、耐酸化性等の優れた特性をもつことが知られている。また、 $-FeSi_2$  は、歪みの導入によって間接型半導体から直接型半導体になるという報告があり、光デバイスとしての利用が強く期待されている。そして、IBS 法、PLD 法、MBE 法などでの製造が試みられている。

## 【0006】

$-FeSi_2$  は RDE 法で成膜したのち、900 でアニールすることで膜状の  $-FeSi_2$  が凝集して、数百 nm 程度のアイランド(島状部)が形成されるという報告がある。この材料を用いて室温でエレクトロルミネッセンス測定した結果、室温で発光することが報告されている(例えば、非特許文献 1 参照)。しかし、欠陥が多いため、発光

10

20

30

40

50

のためには大きな電流量を必要とし、 $\text{-FeSi}_2$  の光デバイスへの可能性の明示に止まっている。

【0007】

一方、シリコン系半導体においてナノメートルサイズの微結晶(ナノドット)の開発研究が精力的に行われており、近年極薄Si酸化膜を利用して、SiとGeのナノドットを超高密度( $> 10^{12} \text{ cm}^{-2}$ )に形成する技術が開発された(例えば、非特許文献2, 3参照)。

【0008】

【非特許文献1】末益 崇(Takashi Suemasu)、高倉 健一郎(Ken'ichiro Takakura)、長谷川 文夫(Fumio Hasegawa)、「Room Temperature  $1.6 \mu\text{m}$  Electroluminescence from a Si-based Light Emitting Diode with  $\text{-FeSi}_2$  Active Region」、ジャパニーズ・ジャーナル・オブ・アプライド・フィジックス(Japanese Journal of Applied Physics)、第39巻(2000)、Pt2, No. 10, pp. L1013 - L1015 10

【非特許文献2】A. A. Shklyaeв、柴田 元司(M. Shibata)、市川 昌和(M. Ichikawa)、「High-density ultrasmall epitaxial Ge islands on Si(111) surfaces with a  $\text{SiO}_2$  coverage」、フィジカル・レビュー(Phys. Rev.) B62, (2000) 1540. 20

【非特許文献3】A. A. Shklyaeв、市川 昌和(M. Ichikawa)、「Three-dimensional Si islands on Si(001) surfaces」、フィジカル・レビュー(Phys. Rev.) B65, (2001)

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、光デバイス材料や高効率太陽電池材料や熱-電気抵抗材料として好適な、良質のシリコン系化合物半導体( $\text{-FeSi}_2$  など)を製造する方法は未だ確立されていない。 30

【0010】

本発明は、光デバイス等として好適に用いることのできる半導体デバイスの製造方法を提供することを目的とするものである。

【課題を解決するための手段】

【0011】

請求項1に係る発明は、図1乃至図5に例示するものであって、単結晶シリコン基板(1)に基板側酸化膜(2)を形成する工程と、Si又はGeのIV族半導体(5)と、Fe, Mg, Ba, Cr, Mo, W, Mn, Re, Ru, Os, Irの金属のうち少なくとも一つの金属(6)を前記基板側酸化膜(2)に蒸着することに基づきシリコン系化合物半導体のドット(3)を作製する工程と、を有する半導体デバイスの製造方法についてのものである。 40

【0012】

請求項2に係る発明は、図6(a)(b)に例示するものであって、請求項1に係る発明において、前記シリコン系化合物半導体のドット(3)を埋めるようにスペーサー層(4)を形成する工程、を有することを特徴とする。

【0013】

請求項3に係る発明は、請求項2に係る発明において、前記スペーサー層(4)は、Si又は $\text{Si}_{1-x}\text{Ge}_x$ にて形成された、ことを特徴とする。

【0014】

請求項 4 に係る発明は、請求項 2 又は 3 に記載の発明において、前記スペーサー層 (4) を形成する工程 (図 6 (a) (b) 参照) と、

該スペーサー層 (4) を熱酸化してスペーサー層側酸化膜 (12) を形成する工程 (同図 (c) 参照) と、

前記 I V 族半導体 (5) と前記金属 (6) とを前記スペーサー層側酸化膜 (12) に蒸着することに基づきシリコン系化合物半導体のドット (13) を作製する工程 (同図 (c) 参照) と、を少なくとも 1 回実施することを特徴とする。

【0015】

請求項 5 に係る発明は、請求項 1 乃至 4 のいずれか 1 項に記載の発明において、前記基板側酸化膜 (2) 又は前記スペーサー層側酸化膜 (12) は、Si、Ge 或いは SiGe 混晶の層を酸素雰囲気中で熱酸化して 1 nm 以下の厚さに形成した、ことを特徴とする。

10

【0016】

請求項 6 に係る発明は、請求項 5 に係る発明において、前記基板側酸化膜 (2) 又は前記スペーサー層側酸化膜 (12) は、Si 酸化膜又は  $Si_{1-x}Ge_x$  酸化膜であることを特徴とする。

【0017】

請求項 7 に係る発明は、請求項 1 乃至 6 のいずれか 1 項に記載の発明において、前記 I V 族半導体 (5) 及び前記金属 (6) を蒸着するときの基板温度は、200 から 700 の範囲であって、エピタキシャル成長をさせるか非エピタキシャル成長をさせるかに応じて調整する、ことを特徴とする。

20

【0018】

請求項 8 に係る発明は、図 2 に例示するものであって、請求項 1 乃至 7 のいずれか 1 項に記載の発明において、I V 族半導体 (5) の蒸着を先に行って I V 族半導体の核 (5A) を形成し、その後、金属 (6) の蒸着を行ってシリコン系化合物半導体のドット (3) を作製する、ことを特徴とする。

【0019】

請求項 9 に係る発明は、請求項 8 に記載の発明において、前記 I V 族半導体 (5) に Si を用い、前記金属 (6) に Fe を用いて、前記 Si 及び前記 Fe を反応させて鉄シリサイドのドット (3) を作製する、ことを特徴とする。

30

【0020】

請求項 10 に係る発明は、請求項 9 に係る発明において、Si 及び Fe の蒸着に分子線エピタキシャル法を用いる、ことを特徴とする。

【0021】

請求項 11 に係る発明は、請求項 9 又は 10 に記載の発明において、Si の蒸着だけを行うときの基板温度は 200 から 700 の範囲内である、ことを特徴とする。

【0022】

請求項 12 に係る発明は、請求項 9 又は 10 に記載の発明において、Fe の蒸着だけを行うときの基板温度は 400 から 700 の範囲内である、ことを特徴とする。

【0023】

請求項 13 に係る発明は、請求項 9 乃至 12 のいずれか 1 項に記載の発明において、Fe の蒸着時に前記 Si 及び前記 Fe を反応させて  $-FeSi_2$  のドットを作製する、ことを特徴とする。

40

【0024】

請求項 14 に係る発明は、請求項 13 に記載の発明において、Si の蒸着を先に行って Si の核 (5A) を形成し、その後、Fe の蒸着を行って  $-FeSi_2$  のドット (3) を作製するときの Si に対する Fe のモル比は 0.25 から 1.0 の範囲である、ことを特徴とする。

【0025】

請求項 15 に係る発明は、図 4 及び図 5 (b) に例示するものであって、請求項 1 乃至

50

7のいずれか1項に記載の発明において、I V族半導体(5)の蒸着と金属(6)の蒸着を同時に行ってシリコン系化合物半導体のドット(3)を作製する、ことを特徴とする。

【0026】

請求項16に係る発明は、図5(a)

に例示するものであって、請求項15に係る発明において、I V族半導体(5)の蒸着と金属(6)の蒸着を同時に行う前に、I V族半導体(5)の蒸着を行ってI V族半導体(5)の核(5A)を形成しておく、ことを特徴とする。

【0027】

請求項17に係る発明は、請求項15又は16に記載の発明において、前記I V族半導体(5)にSiを用い、前記金属(6)にFeを用いて、前記Si及び前記Feを反応させて鉄シリサイドのドット(3)を作製する、ことを特徴とする。

10

【0028】

請求項18に係る発明は、請求項17に係る発明において、Si及びFeの蒸着に分子線エピタキシャル法を用いる、ことを特徴とする。

【0029】

請求項19に係る発明は、請求項17又は18に記載の発明において、Siの蒸着とFeの蒸着を同時に行う前に蒸着するSiの蒸着量は0.1BL(Bilayer)以上3.0BL(Bilayer)以下である、ことを特徴とする。

【0030】

請求項20に係る発明は、請求項17乃至19のいずれか1項に記載の発明において、Feの蒸着は行わずSiの蒸着だけを行うときの基板温度は200 から700 の範囲内である、ことを特徴とする。

20

【0031】

請求項21に係る発明は、請求項20に係る発明において、Feの蒸着は行わずSiの蒸着だけを行うときの基板温度は400 から650 の範囲内である、ことを特徴とする。

【0032】

請求項22に係る発明は、請求項17乃至21のいずれか1項に記載の発明において、Siの蒸着とFeの蒸着を同時に行うときの基板温度は300 から700 の範囲内である、ことを特徴とする。

30

【0033】

請求項23に係る発明は、請求項22に係る発明において、Siの蒸着とFeの蒸着を同時に行うときの基板温度は400 から550 の範囲内である、ことを特徴とする。

【0034】

請求項24に係る発明は、請求項17乃至23のいずれか1項に記載の発明において、前記Siの蒸着と前記Feの蒸着を同時に行うときに前記Si及び前記Feを反応させて $-FeSi_2$ のドットを作製する、ことを特徴とする。

【0035】

請求項25に係る発明は、請求項17乃至24のいずれか1項に記載の発明において、FeとSiの同時蒸着の際のFeとSiの蒸着速度の比が $0.5 \pm 0.2$ である、ことを特徴とする。

40

【0036】

請求項26に係る発明は、請求項2乃至25のいずれか1項に記載の発明において、前記ドット(3, 13)を形成した後、又は前記スペーサー層(4)を形成した後に500以上の温度でアニールする、ことを特徴とする。

【0037】

なお、括弧内の番号などは、図面における対応する要素を示す便宜的なものであり、従って、本記述は図面上の記載に限定拘束されるものではない。

【発明の効果】

50

## 【0038】

請求項1乃至4に係る発明によれば、薄膜やバルク結晶ではなくドット状にシリコン系化合物半導体を形成することができ、1つの微結晶(ナノドット)当たりの不純物を少なくすることができる。例えば、平均 $10^{18}$ 個/cm<sup>3</sup>の割合で不純物を含む場合でも、10ナノメートルスケールの微結晶の場合、1個の微結晶中には0-1個程度の不純物しか存在し得ない。また、シリコン系化合物半導体を薄膜状とした場合、その膜厚によっては、歪み(基板との格子不整合から生ずる歪み)を緩和するための不整合転位が存在してしまうが、シリコン系化合物半導体をドット状とした場合にはそのような不整合転位は存在しにくい。したがって、シリコン系化合物半導体をドット状とした場合には、不整合転位を少なくして、光デバイスや高効率太陽電池や熱-電気抵抗材料に好適な半導体デバイスを得ることができる。また、本発明によれば、IV族半導体の蒸着と金属の蒸着とを分けて(つまり、異なるタイミングで)行うこともできるが、その場合には、IV族半導体の蒸着時の基板温度と、金属の蒸着時の基板温度をそれぞれ異ならせることもでき、最適な基板温度でIV族半導体及び金属を蒸着することが可能となる(つまり、IV族半導体の蒸着時の基板温度、及び金属の蒸着時の基板温度に応じてシリコン系化合物半導体の結晶構造が変化するので、それらの基板温度を調整することにより、光デバイス等に好適な結晶構造を持つシリコン系化合物半導体を製造することができる)。さらに、本発明によれば、安い材料にて安価に半導体デバイスを作製することができる。

10

## 【0039】

請求項5及び6に係る発明によれば、極薄のSi酸化膜等を用いることにより、従来よりも高密度のシリコン系化合物半導体ドットを得ることができる。特に、基板側酸化膜が単結晶シリコン基板に形成されたり(上記請求項1参照)、Si又はSi<sub>1-x</sub>Ge<sub>x</sub>にて形成したスペーサー層にスペーサー層側酸化膜が形成されたり(上記請求項3,4参照)している場合には、極薄酸化膜を用いることにより、基板やスペーサー層のSi又はSi<sub>1-x</sub>Ge<sub>x</sub>とエピタキシャル関係を持ち、歪みを保持した鉄シリサイドナノドットを形成することができる。

20

## 【0040】

請求項7に係る発明によれば、基板温度を調整することによりエピタキシャル成長させるか非エピタキシャル成長させるかを選択することができる。

## 【0041】

請求項8及び請求項16に係る発明によれば、IV族半導体の蒸着を先に行ってIV族半導体の核を形成するため、シリコン系化合物半導体のドットを高密度に形成することができる。ドットの密度は、 $1 \times 10^{12}$  cm<sup>-2</sup> ~  $1 \times 10^{14}$  cm<sup>-2</sup>の範囲が好ましい。

30

## 【0042】

請求項9,10,17及び18に係る発明によれば、鉄シリサイドのドットは基板との格子不整合による歪みを保持することとなるため、その歪みによって直接遷移型半導体になり、シリコン系材料の高効率な光デバイス(LED、赤外線センサーデバイス、太陽電池デバイス、熱電変換デバイス、レーザーなど)を実現できる可能性がある。

## 【0043】

請求項11乃至14、及び請求項20乃至24に係る発明によれば、直接遷移化するために有利かつ良質な微結晶である - FeSi<sub>2</sub> のドットを高密度に形成することができる。請求項13及び24に係る発明によれば、蒸着を行うときにSiとFeとを反応させて - FeSi<sub>2</sub> のドットを作製するため、該ドットは特に良質となる。請求項23に係る発明によれば、高品質の相の鉄シリサイド(つまり、 - FeSi<sub>2</sub>)のナノドットを作成できる。

40

## 【0044】

請求項15,19及び25に係る発明によれば、高品質の相の鉄シリサイド(つまり、 - FeSi<sub>2</sub>)のナノドットを作成できる。

## 【0045】

50



請求項 26 に係る発明によれば、結晶性が向上した  $\text{-FeSi}_2$  のナノドットを作成できる。

【発明を実施するための最良の形態】

【0046】

以下、図 1 乃至図 7 に沿って、本発明を実施するための最良の形態について説明する。

【0047】

図 1 は、単結晶シリコン基板に酸化膜を形成する様子を示す模式図であり、図 2 は、IV 族半導体を蒸着した後に金属を蒸着して半導体デバイスを作製する様子を示す模式図であり、図 3 は、金属を蒸着した後に IV 族半導体を蒸着して半導体デバイスを作製する様子を示す模式図であり、図 4 は、IV 族半導体及び金属を同時に蒸着して半導体デバイスを作製する様子を示す模式図であり、図 5 は、IV 族半導体を蒸着した後に IV 族半導体及び金属の同時蒸着を行って半導体デバイスを作製する様子を示す模式図である。図 6 は、多層の半導体デバイスを作製する様子を示す模式図であり、図 7 (a) はエピタキシャル成長時の様子を説明するための模式図であり、(b) は非エピタキシャル成長時の様子を説明するための模式図である。

【0048】

本発明により製造される半導体デバイスは、図 2 (b) 等を示すように、単結晶シリコン基板 1 と、該単結晶シリコン基板 1 に支持されたシリコン系化合物半導体のドット 3 と、を少なくとも備えている。なお、図 2 (b)

等を示す半導体デバイスの場合、符号 2 で示す酸化膜（後述するように、IV 族半導体 5 や金属 6 を蒸着する前に単結晶シリコン基板 1 の表面に形成されたもの。以下、“基板側酸化膜”とする）が単結晶シリコン基板 1 の全面にほぼ均一な膜厚で配置されていて、ドット 3 はこの基板側酸化膜 2 の表面に形成された状態となっているが、

- ・ 基板側酸化膜 2 が均一膜厚でなくても、
- ・ 例えば、基板側酸化膜 2 にポイド（図 7 (a) の符号 10 参照）が形成されていても、
- ・ 一旦形成された基板側酸化膜 2 が、IV 族半導体 5 の蒸着等によって消失されてしまっても（つまり、ドット 3 が、基板側酸化膜 2 の表面に形成されるのではなく、単結晶シリコン基板 1 の表面に形成された状態であっても）、

いずれでも良い。この基板側酸化膜 2 は、

- ・ 単結晶シリコン基板 1 に直接形成しても、
- ・  $\text{Si}$  又は  $\text{Si}_{1-x}\text{Ge}_x$  からなる膜を単結晶シリコン基板 1 に形成し、該膜を酸化することにより形成しても、

いずれでも良い。さらに、前記シリコン系化合物半導体のドット 3 を覆うようにスペーサー層（図 6 (b) の符号 4 参照）を配置し、該スペーサー層 4 にスペーサー層側酸化膜（図 6 (c) の符号 12 参照）を形成し、該スペーサー層側酸化膜 12 にシリコン系化合物半導体のドット（同図の符号 13 参照）を形成しても良い。なお、図 6 (d)

に示すように、スペーサー層側酸化膜 12, 22, 32, ... とスペーサー層 14, 24, ... とドット 13, 23, ... とを順番に積層させるようにしても良い。本発明によれば、薄膜やバルク結晶ではなくドット状にシリコン系化合物半導体を形成することができ、1 つの微結晶（ナノドット）当たりの不純物を少なくすることができる。例えば、平均  $10^{18}$  個/cm<sup>3</sup> の割合で不純物を含む場合でも、10 ナノメートルスケールの微結晶の場合、1 個の微結晶中には 0 - 1 個程度の不純物しか存在し得ない。また、シリコン系化合物半導体を薄膜状とした場合、その膜厚によっては、歪み（基板との格子不整合から生ずる歪み）を緩和するための不整合転位が存在してしまうが、シリコン系化合物半導体をドット状とした場合にはそのような不整合転位は存在しにくい。したがって、本発明のようにシリコン系化合物半導体をドット状とした場合には、不整合転位を少なくして、光デバイスや高効率太陽電池や熱 - 電気抵抗材料に好適な半導体デバイスを得ることができる。また、本発明によれば、IV 族半導体 5 の蒸着と金属 6 の蒸着とを分けて（つまり、異なるタイミングで）行うこともできるが、その場合には、IV 族半導体 5 の蒸着時の基板温度

と、金属6の蒸着時の基板温度をそれぞれ異ならせることもでき、最適な基板温度でI V族半導体5及び金属6を蒸着することが可能となる(つまり、I V族半導体の蒸着時の基板温度、及び金属の蒸着時の基板温度に応じてシリコン系化合物半導体の結晶構造が変化するので、それらの基板温度を調整することにより、光デバイス等に好適な結晶構造を持つシリコン系化合物半導体を製造することができる)。さらに本発明によれば、安い材料にて安価に半導体デバイスを作製することができる。

【0049】

次に、本発明に係る半導体デバイスの製造方法について説明する。

【0050】

本発明に係る半導体デバイスの製造方法は、

- ・ 単結晶シリコン基板1に基板側酸化膜2を形成する工程と(図1(a)(b)参照)、
- ・ I V族半導体5及び金属6を該基板側酸化膜2に蒸着することに基づきシリコン系化合物半導体のドット3を形成する工程と(図2乃至図5参照)、

を備えている。なお、本発明に係る半導体デバイスの製造方法は、図6(a)(b)に示すように、

- ・ 前記シリコン系化合物半導体のドット3を埋めるようにスペーサー層4を形成する工程、

を有していても良い。また、本発明に係る半導体デバイスの製造方法は、

- ・ 上述のようにスペーサー層4を形成する工程(図6(a)(b)参照)と
- ・ 該スペーサー層4の少なくとも表面を熱酸化してスペーサー層側酸化膜12を形成する工程と(図6(c)参照)、

- ・ I V族半導体5及び金属6を該スペーサー層側酸化膜12に蒸着することに基づきシリコン系化合物半導体のドット13を形成する工程と(図6(c)参照)、

を少なくとも1回実施しても良い。この場合のスペーサー層4は、Si、Ge、或いはSiGe混晶(例えば、Si又は $Si_{1-x}Ge_x$ )にて形成すると良く、蒸着によって形成すると良い。スペーサー層を形成する工程、スペーサー層側酸化膜を形成する工程、及びドットを形成する工程を順次実施し、ドット23、...、スペーサー層14、...、スペーサー層側酸化膜22、...を順番に形成していった、多層構成にすると良い。その多層構成の半導体デバイスによりエレクトロルミネッセンス(EL)デバイスを作製しても良い。

【0051】

前記基板側酸化膜2又は前記スペーサー層側酸化膜12は、Si、Ge或いはSiGe混晶の層を酸素雰囲気中で熱酸化して形成すると良く、その膜厚は1nm以下(かつ、好ましくは0.3nm以上)にすると良い。前記基板側酸化膜2又は前記スペーサー層側酸化膜12は、Si酸化膜又は $Si_{1-x}Ge_x$ 酸化膜にすると良い。このような極薄の基板側酸化膜2を用いた場合、基板温度を調整することによりエピタキシャル成長させることができる(詳細は後述する)。また、このような極薄の基板側酸化膜2を用いた場合、従来よりも高密度のシリコン系化合物半導体ドット3を得ることができる。特に、基板側酸化膜2が単結晶シリコン基板1に形成されたり、Si又は $Si_{1-x}Ge_x$ にて形成したスペーサー層4、...にスペーサー層側酸化膜12、...が形成されたりしている場合には、極薄酸化膜を用いることにより、基板1やスペーサー層4、...のSi又は $Si_{1-x}Ge_x$ とエピタキシャル関係を持ち、歪みを保持した鉄シリサイドナノドットを形成することができる。

【0052】

ところで、I V族半導体5としてはSi又はGeを用いると良く、金属6(以下、必要に応じて"蒸着金属"という表現を使用する)としてはFe、Mg、Ba、Cr、Mo、W、Mn、Re、Ru、Os、Irの金属のうち少なくとも一つを用いると良い。これらの材料を蒸着することにより、

- ・ シリサイド半導体( $FeSi_2$ 、 $Mg_2Si$ 、 $BaSi_2$ 、 $CrSi_2$ 、 $MoSi_2$ 、 $WSi_2$ 、 $MnSi_{1.7}$ 、 $ReSi_{1.75}$ 、 $Ru_2Si_3$ 、 $OsSi$ 、 $Os_2Si_3$ 、 $OsSi_2$ 、 $Ir_3Si_5$ )

10

20

30

40

50

・ ゲルマナイド半導体 ( $\text{FeGe}_2$ ,  $\text{Mg}_2\text{Ge}$ ,  $\text{BaGe}_2$ ,  $\text{Cr}_{11}\text{Ge}_{19}$ ,  $\text{MoGe}_2$ ,  $\text{WGe}_2$ ,  $\text{ReGe}_{1.75}$ ,  $\text{Ru}_2\text{Ge}_3$ ,  $\text{Os}_2\text{Ge}_3$ ,  $\text{OsGe}_2$ )  
 ・ シリサイド・ゲルマナイド半導体 ( $\text{FeGe}_x\text{Si}_{2-x}$ ,  $\text{Mg}_2\text{Ge}_x\text{Si}_{1-x}$ ,  $\text{BaGe}_x\text{Si}_{2-x}$ ,  $\text{MoGe}_x\text{Si}_{2-x}$ ,  $\text{WGe}_x\text{Si}_{2-x}$ ,  $\text{MnGe}_x\text{Si}_{1.7-x}$ ,  $\text{ReGe}_x\text{Si}_{1.75-x}$ ,  $\text{Ru}_2\text{Ge}_x\text{Si}_{3-x}$ ,  $\text{OsGe}_x\text{Si}_{1-x}$ ,  $\text{Os}_2\text{Ge}_x\text{Si}_{3-x}$ ,  $\text{OsGe}_x\text{Si}_{2-x}$ ,  $\text{Ir}_3\text{Ge}_x\text{Si}_{5-x}$ )  
 等のドット3, 13, ...を形成することができる。

## 【0053】

例えば、 $\text{FeSi}_2$ のシリサイド半導体のドット3, ...を作製するには、IV族半導体5としてSiを用い、金属6としてFeを用いると良い。 $\text{FeSi}_2$ のドットは基板との格子不整合による歪みを保持することとなるため、その歪みによって直接遷移型半導体になり、シリコン系材料の高効率な光デバイス(LED、赤外線センサーデバイス、太陽電池デバイス、熱電変換デバイス、レーザーなど)を実現できる可能性がある。

10

## 【0054】

また、Siや金属6の蒸着には電子線蒸着装置を用い、Geの蒸着にはKnudsenセルを用い、分子線エピタキシャル法により真空蒸着を行うことが好ましい。Si、Ge、金属の蒸着量を調整して、ドットサイズを制御するようにすると良い。なお、スペーサー層として $\text{Si}_{1-x}\text{Ge}_x$ 層を形成する場合は、SiとGeを同時蒸着し、Geの蒸着には上述のようにKnudsenセルを用いると良い。

## 【0055】

IV族半導体5及び金属6の蒸着順序は(1)~(4)のいずれかにすると良い。

(1) IV族半導体5の蒸着を先に行ってIV族半導体の核5Aを形成し(図2(a)参照)、その後、金属6の蒸着を行う場合(同図(b)参照)

(2) 金属6の蒸着を先に行ってドットを形成し(図3(a)の符号6A参照)、その後、IV族半導体5の蒸着を行う場合(同図(b)参照)

(3) IV族半導体5の蒸着と金属6の蒸着を同時に行う場合(図4参照)

(4) IV族半導体5の蒸着を先に行ってIV族半導体の核を形成し(図5(a)の符号5A参照)、その後、IV族半導体5の蒸着と金属6の蒸着を同時に行う場合(図5(b)参照)

20

30

## 【0056】

前記(1)及び(4)においては、IV族半導体5の蒸着を先に行ってIV族半導体の核5Aを形成するため、シリコン系化合物半導体のドットを高密度に形成することができる。ドットの密度は、 $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の範囲が好ましい。

## 【0057】

ところで、IV族半導体5及び金属6を蒸着するときの基板温度は200 から700 までの範囲にすると良い。また、その基板温度は、エピタキシャル成長(つまり、蒸着によるSi、Ge、SiGe、シリコン系化合物半導体のドットの成長が基板と特定の結晶方位関係を持つ成長)させたいか、或いは非エピタキシャル成長(つまり、特定の結晶方位関係を持たない成長)させたいかによって調整すれば良い。SiやGeを蒸着するときの基板温度は、エピタキシャル成長をさせたい場合は500 ~ 600 とし、非エピタキシャル成長をさせたい場合は300 程度にすると良い。基板温度を高くした場合には基板側酸化膜2にボイド(図7(a)の符号10参照)が出来てシリコン系化合物半導体ドット3はエピタキシャル成長をし、基板温度を低くした場合にはそのようなボイドは出来ずにシリコン系化合物半導体ドット3は非エピタキシャル成長をすることとなる。なお、金属6を蒸着するときの基板温度は300 ~ 700 が好ましい。

40

## 【0058】

ところで、IV族半導体5としてSiを用い、蒸着金属6としてFeを用いる場合には、Si及びFeの反応により鉄シリサイドのドットが生成されるが、そのような場合であって、前記(1)(2)(4)において、Feの蒸着は行わずSiの蒸着だけを行うときの基

50

板温度は200 から700 の範囲内とし、前記(1)

(2)においてSiの蒸着は行わずFeの蒸着だけを行うときの基板温度は400 から700 の範囲内にとると良い。特に、前記(4)において、Feの蒸着は行わずSiの蒸着だけを行うときの基板温度(つまり、核形成を行うときの基板温度)は400 から650 が好ましい。このように、同時蒸着を行う前に少量のSiを基板温度400 から650 で(極薄酸化膜上に)蒸着することで、エピタキシャル成長を誘発することとなり、鉄シリサイドドットに歪みを保持させることができると共に、鉄シリサイド(つまり、 $-FeSi_2$ )の結晶性等の改善を図ることができる。また、前記(3)

(4)において、Siの蒸着とFeの蒸着を同時に行うときの基板温度は300 から700 の範囲内(好ましくは、400 から550 の範囲内であり、さらに好ましくは、420 から520 の範囲内)にとると良い。基板温度をそのような範囲内とした場合には、高品質の相の鉄シリサイド(つまり、 $-FeSi_2$ )のナノドットを作成できる(詳細は後述する)。なお、Siの蒸着とFeの蒸着を同時に行うときの蒸着速度の比(=Feの蒸着速度/Siの蒸着速度)は約0.5(具体的には、 $0.5 \pm 0.2$ )が好ましい。蒸着速度の比をそのようにした場合には、高品質の相の鉄シリサイド(つまり、 $-FeSi_2$ )のナノドットを作成できる(詳細は後述する)。さらに、前記(1)

(2)の場合のSiに対するFeのモル比は0.25から1.0の範囲にとると良く、前記(3)(4)のように同時蒸着する場合のSiに対するFeのモル比(前記(4)

の場合は、核を形成するSiの量を含まない)は0.25から0.75の範囲にとると良い。このような基板温度やモル比にした場合には、直接遷移化するために有利でかつ良質な微結晶である $-FeSi_2$ のドットを高密度に形成することができる。また、

- ・ 前記(1)に従いSiの蒸着を先に行って、Feの蒸着を後で行う場合には、(Feを蒸着してしまっただけではなく)Feを蒸着している最中である蒸着時にSi及びFeを反応させて $-FeSi_2$ のドットを作製したり、

- ・ 前記(3)(4)に従いSiの蒸着とFeの蒸着を同時に行う場合には、(それらを蒸着してしまっただけではなく)蒸着している最中にSi及びFeを反応させて $-FeSi_2$ のドットを作製したり、

すると良い。このように、蒸着を行うときにSiとFeとを反応させて $-FeSi_2$ のドットを作製した場合、該ドットは欠陥が少なく、特に良質となる。

#### 【0059】

ところで、Siの蒸着とFeの蒸着を同時に行う前に、核形成のためのSiの蒸着を行う場合、Si(核形成のために蒸着するときのSi)の蒸着量は0.1BL(Bilayer)以上3.0BL(Bilayer)以下にとると良い。これにより、高品質の相の鉄シリサイド(つまり、 $-FeSi_2$ )のナノドットを作成できる(詳細は次に述べる)。

#### 【0060】

なお、多くの相が存在する鉄シリサイドにあって、相のシリサイド(具体的には、 $-FeSi_2$ のナノドット)だけを生成する1つの方法としては、多くのFeを蒸着させるときに反応時間を十分に取る方法が考えられる。しかし、反応時間を長くするとドットのサイズが大きくなって、ドット密度が減少し、さらには、各ドットのサイズが均一でなくなってしまうという問題が生ずる。これに対し、上述のように、Siの蒸着とFeの蒸着を同時に行うときの蒸着速度の比を $0.5 \pm 0.2$ としたり、Siの蒸着とFeの蒸着を同時に行うときの基板温度を400 から550 の範囲内としたり、0.1BL(Bilayer)以上3.0BL(Bilayer)以下でSiの核を形成したような場合には、反応時間を長くしなくても、 $-FeSi_2$ のみのナノドットを形成することができる。しかも、ドットのサイズを小さく、ドット密度を高く、ドットサイズを均一にできる。

#### 【0061】

なお、上述のようにシリコン系化合物半導体のドット(鉄シリサイドのドット、さらには、 $-FeSi_2$ のドット)3, 13, ...を形成した後、又は前記スペーサー層4,

10

20

30

40

50

...を形成した後（或いはスペーサー層を形成する前）に500以上の温度（例えば、550程度の温度）でアニールすると良い。その結果、結晶性が向上した $-FeSi_2$ のナノドットを作成できる。アニールをするときの具体的態様を以下に列挙する。

(1) Si（符号5参照）の蒸着を先に行ってSiの核5Aを形成し（図5(a)参照）、その後、Si（符号5参照）とFe（符号6参照）の蒸着を同時に行って $-FeSi_2$ のドット3を形成し（同図(b)

参照）、そのドットを形成した後にアニールを実施する態様

(2) Si（符号5参照）の蒸着を先に行ってSiの核5Aを形成し（図5(a)参照）、その後、Si（符号5参照）とFe（符号6参照）の蒸着を同時に行って $-FeSi_2$ のドット3を形成し、そのドット3を覆うようにように上述したスペーサー層4を形成し（図6(b)

参照）、該スペーサー層4に酸化膜12を形成し、ドット3の形成、スペーサー層4の形成、酸化膜12の形成を順次実施して多層構造を形成し、多層構造を形成した時点で上記アニールを実施する態様

(3) Si（符号5参照）の蒸着を先に行ってSiの核5Aを形成し（図5(a)参照）、その後、Si（符号5参照）とFe（符号6参照）の蒸着を同時に行って $-FeSi_2$ のドット3を形成し、そのドット3を覆うように上述したスペーサー層4を形成し（図6(b)

参照）、その時点で上記アニールを実施し、その後、該スペーサー層4に酸化膜12を形成し、ドット3の形成、スペーサー層4の形成、酸化膜12の形成を順次実施して多層構造を形成する態様

【実施例1】

【0062】

本実施例では、図6(d)に示す多層構造の半導体デバイスを作製した。

【0063】

まず、図1に示すように、 $10^{-4}$  Pa程度の酸素圧力下でSi基板1を熱酸化し、極薄Si酸化膜（基板側酸化膜）2を得た。次に、図2に示すように、電子線蒸着装置7を用いて、超高真空下で、基板温度500で、Si（符号5参照）を蒸着して核5Aを酸化膜上に形成し、その後、同じく電子線蒸着装置8を用いて、超高真空下で、基板温度600程度で、Fe（符号6参照）を蒸着して $-FeSi_2$ ドット3を形成した。そして、形成した $-FeSi_2$ ドット3を埋めるようにSiのスペーサー層（図6(b)の符号4参照）を形成し、該スペーサー層4を熱酸化し、酸化層12の表面には上述と同様の方法で $-FeSi_2$ ドット13を形成した。同様に、スペーサー層4, 14, ...の形成、酸化層23, ...の形成、 $-FeSi_2$ ドット23, ...の形成を順次繰り返して半導体デバイスを作製した。

【0064】

なお、Si及びFeの蒸着量を異ならせて、 $-FeSi_2$ ドット3, ...の径が異なる半導体デバイスを幾つか作製してみた。ドット径は2nmから20nmの範囲とした。いずれの場合も、 $-FeSi_2$ ドット3, ...の面密度は $10^{12} \text{ cm}^{-2}$ 程度と高密度であった。図8にSiナノドットの走査トンネル顕微鏡（STM）像と反射高速電子回折（RHEED）図形を、図9に $-FeSi_2$ ナノドットのSTM像とRHEED図形を示す。

【実施例2】

【0065】

本実施例では、図10に示す構造のELデバイス（半導体デバイス）を作製した。まず、P型のシリコン基板1上に基板側酸化膜2を形成し、 $-FeSi_2$ ドット3, 13, ..., スペーサー層4, 14, ..., スペーサー層側酸化膜12, 22, ...を多層に形成し、その後、N型となるようにドーパントを入れてSiを蒸着しN型Si薄膜40にてキャップをした。さらに、蒸着法を用いて、透明電極41、AuGa電極42、Al電極43を図示の位置にそれぞれ形成した。本実施例によれば、良質のELデバイスを得ることが

10

20

30

40

50

できた。

【実施例 3】

【0066】

本実施例では、実施例 1 と同様の方法で、多層構造の半導体デバイスを作製した。ただし、核 5 A を形成するときの Si の蒸着量は 0.5 BL (Bilayer) とし、Fe 及び Si の同時蒸着の時の基板温度は 600 ではなく 500 とした。Fe の蒸着量は 4 ML (monolayer) とし、Si の蒸着量は 4 BL (Bilayer) とした。そして、ナノドット形成後に、550 でアニールを行った。ナノドットの面密度は  $10^{12} \text{ cm}^{-2}$  であり、直径は約 5 nm であった。図 11 に  $\text{FeSi}_2$  ナノドットの走査トンネル顕微鏡 (STM) 像と反射高速電子回折 (RHEED) 図形を示す。なお、実施例 2 と同様の方法で EL デバイスを作製したところ、良質の EL デバイスを得ることができた。

10

【産業上の利用可能性】

【0067】

IV 族半導体及び金属を蒸着してシリコン系化合物半導体ドットを形成することによって、光デバイス材料、高効率太陽電池材料、熱 - 電気抵抗材料、磁性デバイス材料等の用途に適用できる。

【図面の簡単な説明】

【0068】

【図 1】図 1 は、単結晶シリコン基板に基板側酸化膜を形成する様子を示す模式図である。

20

【図 2】図 2 は、IV 族半導体を蒸着した後に金属を蒸着して半導体デバイスを作製する様子を示す模式図である。

【図 3】図 3 は、金属を蒸着した後に IV 族半導体を蒸着して半導体デバイスを作製する様子を示す模式図である。

【図 4】図 4 は、IV 族半導体及び金属を同時に蒸着して半導体デバイスを作製する様子を示す模式図である。

【図 5】図 5 は、IV 族半導体を蒸着した後に IV 族半導体及び金属の同時蒸着を行って半導体デバイスを作製する様子を示す模式図である。

【図 6】図 6 は、多層の半導体デバイスを作製する様子を示す模式図である。

30

【図 7】図 7 (a) はエピタキシャル成長時の様子を説明するための模式図であり、(b) は非エピタキシャル成長時の様子を説明するための模式図である。

【図 8】図 8 は、Si ナノドットの走査トンネル顕微鏡 (STM) 像と反射高速電子回折 (RHEED) 図形を示す写真である。

【図 9】図 9 は、 $\text{FeSi}_2$  ナノドットの STM 像と RHEED 図形を示す写真である。

【図 10】図 10 は、半導体デバイスの構造の一例を示す模式図である。

【図 11】図 11 は、 $\text{FeSi}_2$  ナノドットの走査トンネル顕微鏡 (STM) 像と反射高速電子回折 (RHEED) 図形を示す写真である。

【符号の説明】

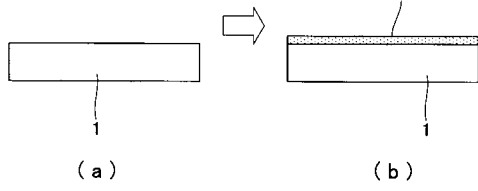
40

【0069】

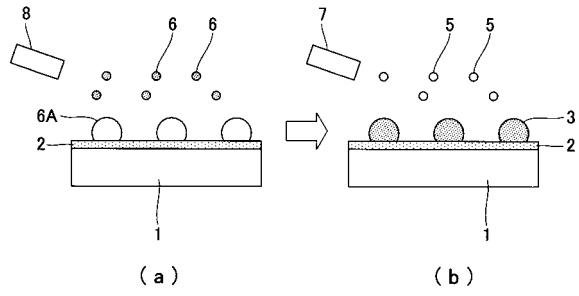
- |     |                 |
|-----|-----------------|
| 1   | 単結晶シリコン基板       |
| 2   | 基板側酸化膜          |
| 3   | シリコン系化合物半導体のドット |
| 4   | スペーサー層          |
| 5   | IV 族半導体         |
| 5 A | IV 族半導体の核       |
| 6   | 金属              |
| 1 2 | スペーサー層側酸化膜      |
| 1 3 | シリコン系化合物半導体のドット |

50

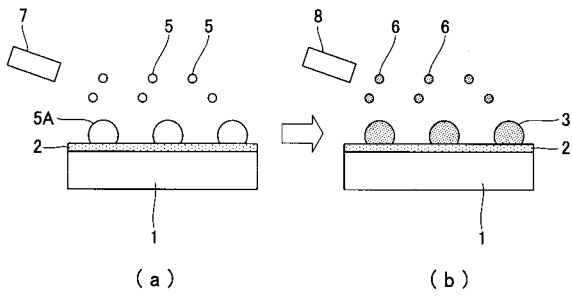
【 図 1 】



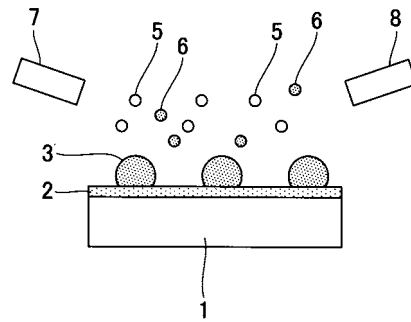
【 図 3 】



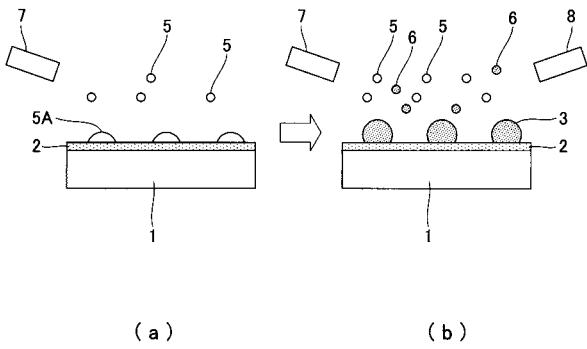
【 図 2 】



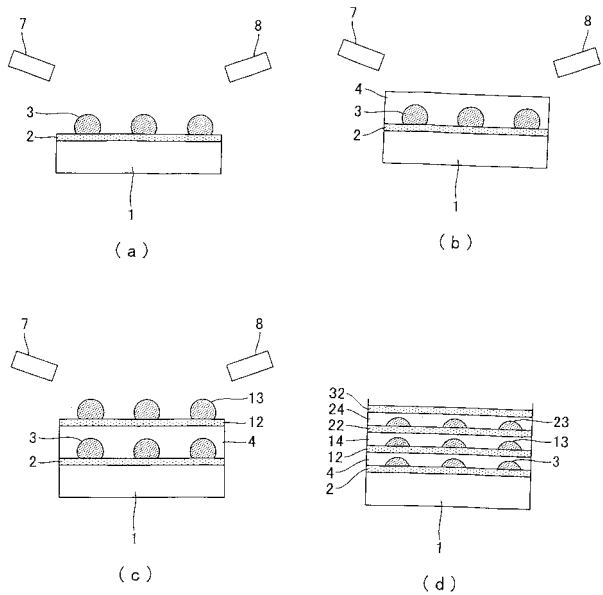
【 図 4 】



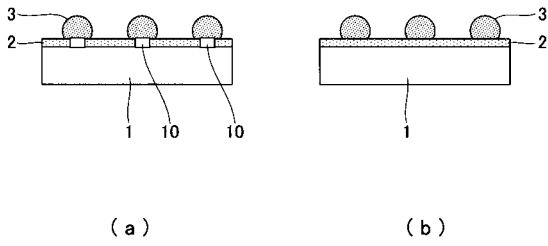
【 図 5 】



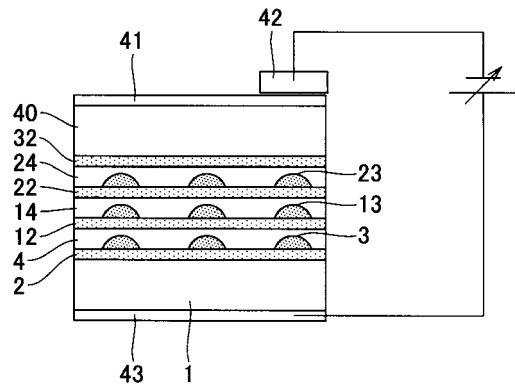
【 図 6 】



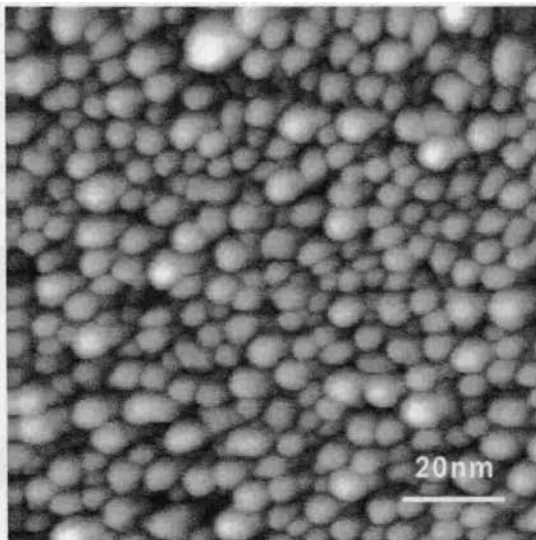
【 図 7 】



【 図 10 】



【 図 8 】



Si ドットの STM 像

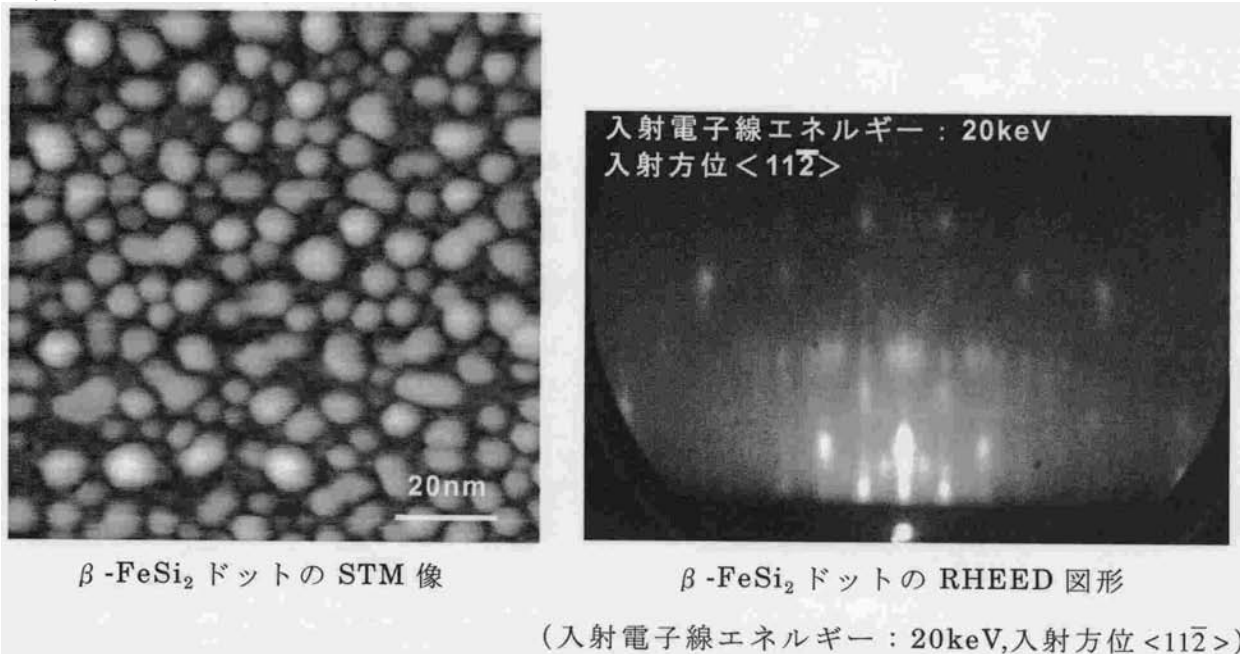


Si ドットの RHEED 図形

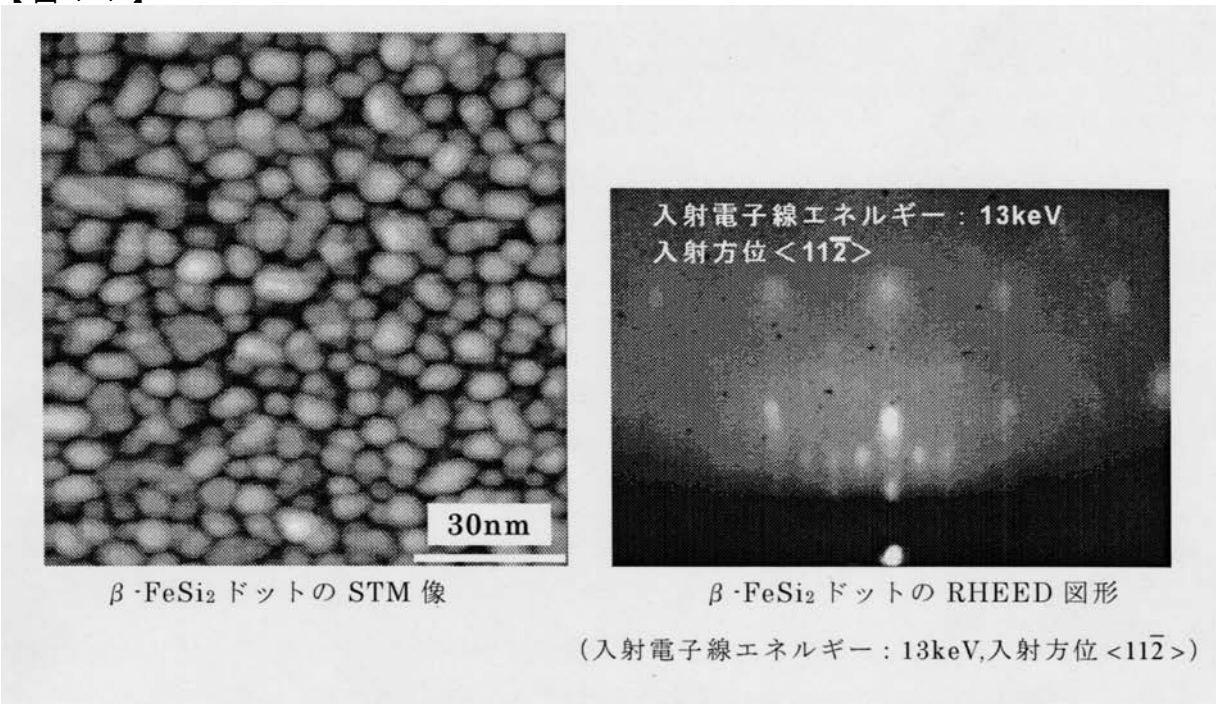
(入射電子線エネルギー : 20keV, 入射方位 <112>)



【 図 9 】



【 図 1 1 】



---

フロントページの続き

F ターム(参考) 5F045 AA05 AB01 AD06 AD07 AD08 AD09 AD10 AD11 AF03 BB16  
CA10 CA13 DA61  
5F051 AA02 AA04 AA20 CB01 CB04 CB11 CB14 CB29 CB30