

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5017604号  
(P5017604)

(45) 発行日 平成24年9月5日(2012.9.5)

(24) 登録日 平成24年6月22日(2012.6.22)

(51) Int. Cl. F I  
**GO 1 R 31/3183 (2006.01)** GO 1 R 31/28 Q  
**GO 1 R 31/28 (2006.01)** GO 1 R 31/28 G

請求項の数 10 (全 21 頁)

(21) 出願番号 特願2006-262764 (P2006-262764)  
 (22) 出願日 平成18年9月27日(2006.9.27)  
 (65) 公開番号 特開2008-82867 (P2008-82867A)  
 (43) 公開日 平成20年4月10日(2008.4.10)  
 審査請求日 平成21年2月10日(2009.2.10)

(73) 特許権者 504174135  
 国立大学法人九州工業大学  
 福岡県北九州市戸畑区仙水町1番1号  
 (74) 代理人 100116573  
 弁理士 羽立 幸司  
 (72) 発明者 温 暁青  
 福岡県飯塚市大字川津680-4 国立大  
 学法人九州工業大学内  
 (72) 発明者 梶原 誠司  
 福岡県飯塚市大字川津680-4 国立大  
 学法人九州工業大学内  
 (72) 発明者 官瀬 紘平  
 福岡県福岡市早良区昭代1-6-27 4  
 02号

最終頁に続く

(54) 【発明の名称】 生成装置、生成方法、この方法をコンピュータに実行させることが可能なプログラム、及び、このプログラムを記録した記録媒体

(57) 【特許請求の範囲】

【請求項1】

論理回路に対して、テストキューブに含まれる複数の未定値ビットのそれぞれに論理値を割り当ててテストベクトルを生成する生成装置であって、

前記論理回路はフルスキャン設計された順序回路であって、

前記複数の未定値ビットの中からXスコア（前記複数の未定値ビットのそれぞれについての前記論理回路に対する信号値の変化の広がり度合い）を最大化する選択基準に応答して論理値の割り当て対象となる一つの割当対象未定値ビットを選択する選択手段と、

確率的に重み付けした下記式によって未定値ビットを含むテストキューブ（ $v$ ）が前記論理回路内のすべての論理素子の出力で発生させるキャプチャ遷移数（ $PWT(v)$ ）を計算して数値化するキャプチャ遷移数数値化手段と、

前記選択された割当対象未定値ビットに論理値0を割り当てることによって得られる第1テストキューブと、前記選択された割当対象未定値ビットに論理値1を割り当てることによって得られる第2テストキューブに対して、前記キャプチャ遷移数数値化手段を適用し、第1テストキューブによるキャプチャ遷移数と第2テストキューブによるキャプチャ遷移数を比較し、その少ない方に対応する論理値を前記選択された割当対象未定値ビットに割り当てる論理値割り当て手段とを備え、

前記複数の未定値ビットの全てに論理値が割り当てられるまで、前記キャプチャ遷移数数値化手段の演算結果に基づいて割当対象未定値ビットに論理値が割り当てられる、生成装置

。

$$PWT(v) = \sum_{i=1}^n (w_i \times p_i)$$

ここで、 $n$ は回路中の全ノード数、 $w_i$ はノード $i$ からのファンアウト分岐数、 $p_i$ はノード $i$ の出力線で発生する0から1又は1から0への遷移確率である。

【請求項2】

前記キャプチャ遷移数数値化手段は、スキャンキャプチャの前と後の前記論理回路を構成する全ての回路構成素子における信号確率を演算し、当該信号確率の演算結果を用いて前記全ての回路構成素子における信号遷移の確率を演算し、当該信号遷移の確率の演算結果を用いて前記テストキューブが発生させるキャプチャ遷移数を演算して数値化する、請求項1記載の生成装置。

10

【請求項3】

前記論理値割り当て手段は、

前記選択された割当対象未定値ビットに対して1が論理値として割り当てられた場合の第1テストキューブによるキャプチャ遷移数と前記選択された割当対象未定値ビットに対して0が論理値として割り当てられた場合の第2テストキューブによるキャプチャ遷移数とを比較する比較手段と、

前記比較手段の比較結果により値の小さな遷移数に対応する1又は0を割り当てるべき論理値として決定する決定手段とを有する、請求項1又は2記載の生成装置。

20

【請求項4】

前記キャプチャ遷移数数値化手段は、前記選択された割当対象未定値ビットについて論理値が1の場合と0の場合のそれぞれの確率を遷移確率として仮定して適用する、請求項1から3のいずれかに記載の生成装置。

【請求項5】

論理回路に対して、テストキューブに含まれる複数の未定値ビットのそれぞれに論理値を割り当ててテストベクトルを生成する生成方法であって、

前記論理回路はフルスキャン設計された順序回路であって、

選択手段が、前記複数の未定値ビットの中からXスコア（前記複数の未定値ビットのそれぞれについての前記論理回路に対する信号値の変化の広がり度合い）を最大化する選択基準に  
30 応答して論理値の割り当て対象となる一つの割当対象未定値ビットを選択する選択ステップと、

30

キャプチャ遷移数数値化手段が、確率的に重み付けした下記式によって未定値ビットを含むテストキューブ（ $v$ ）が前記論理回路内のすべての論理素子の出力で発生させるキャプチャ遷移数（ $PWT(v)$ ）を計算して数値化するキャプチャ遷移数数値化ステップと、

論理値割り当て手段が、前記選択された割当対象未定値ビットに論理値0を割り当てることによって得られる第1テストキューブと、前記選択された割当対象未定値ビットに論理値1を割り当てることによって得られる第2テストキューブに対して、前記キャプチャ遷移数数値化手段を適用し、第1テストキューブによるキャプチャ遷移数と第2テストキューブによるキャプチャ遷移数を比較し、その少ない方に対応する論理値を前記選択された割当対象未定値ビットに割り当てる論理値割り当てステップとを含み、

40

前記複数の未定値ビットの全てに論理値が割り当てるまで、前記キャプチャ遷移数数値化手段の演算結果に基づいて割当対象未定値ビットに論理値が割り当てられる、生成方法

。

$$PWT(v) = \sum_{i=1}^n (w_i \times p_i)$$

ここで、 $n$ は回路中の全ノード数、 $w_i$ はノード $i$ からのファンアウト分岐数、 $p_i$ はノード $i$ の出力線で発生する0から1又は1から0への遷移確率である。

50

**【請求項 6】**

前記キャプチャ遷移数数値化ステップにおいて、前記キャプチャ遷移数数値化手段は、スキャンキャプチャの前と後の前記論理回路を構成する全ての回路構成素子における信号確率を演算し、当該信号確率の演算結果を用いて前記全ての回路構成素子における信号遷移の確率を演算し、当該信号遷移の確率の演算結果を用いて前記テストキューブが発生させるキャプチャ遷移数を演算して数値化する、請求項 5 記載の生成方法。

**【請求項 7】**

前記論理値割り当てステップは、

比較手段が、前記選択された割当対象未定値ビットに対して 1 が論理値として割り当てられた場合の第 1 テストキューブによるキャプチャ遷移数と前記選択された割当対象未定値ビットに対して 0 が論理値として割り当てられた場合の第 2 テストキューブによるキャプチャ遷移数とを比較する比較ステップと、

決定手段が、前記比較手段の比較結果により値の小さな遷移数に対応する 1 又は 0 を割り当てるべき論理値として決定する決定ステップとを含む、請求項 5 又は 6 記載の生成方法。

**【請求項 8】**

前記キャプチャ遷移数数値化ステップにおいて、前記キャプチャ遷移数数値化手段は、前記選択された割当対象未定値ビットについて論理値が 1 の場合と 0 の場合のそれぞれの確率を遷移確率として仮定して適用する、請求項 5 から 7 のいずれかに記載の生成方法。

**【請求項 9】**

請求項 5 から 8 のいずれかに記載の生成方法をコンピュータに実行させることが可能なプログラム。

**【請求項 10】**

請求項 9 に記載されたプログラムをコンピュータが実行することが可能にて記録した記録媒体。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、生成装置、生成方法、この方法をコンピュータに実行させることが可能なプログラム、及び、このプログラムを記録した記録媒体に関し、特に、論理回路に対して、テストキューブに含まれる複数の未定値ビットのそれぞれに論理値を割り当ててテストベクトルを生成する生成装置等に関する。

**【背景技術】****【0002】**

図 8 に示すように、半導体論理回路は、設計、製造、テストの三段階を経て出荷される。ここで、テストとは、製造された半導体論理回路に対してテストベクトルを印加し、半導体論理回路からテスト応答を観測し、それを期待テスト応答と比較して良品、不良品の判別を行う。その良品率を歩留りと呼び、歩留りは半導体論理回路の品質、信頼性及び製造コストを大きく左右する。

**【0003】**

一般に、半導体論理回路は主に順序回路である。順序回路は、アンド (AND) ゲート、ナンド (NAND) ゲート、オア (OR) ゲート、ノア (NOR) ゲート等の論理素子からなる組合せ回路部と、回路の内部状態を記憶するフリップ・フロップとよりなる。この場合、組合せ回路部は、外部入力線 (PI)、フリップ・フロップの出力線である擬似外部入力線 (PPI)、外部出力線 (PO)、フリップ・フロップの入力線である擬似外部出力線 (PPO) を有する。組合せ回路部への入力、外部入力線より直接与えられるものと、擬似外部入力線を介して与えられるものからなる。また、組合せ回路部からの出力は、外部出力線に直接現れるものと、擬似外部出力線に現れるものからなる。

**【0004】**

順序回路の組合せ回路部をテストするために、組合せ回路部の外部入力線と擬似外部入

10

20

30

40

50

力線から所要のテストベクトルを印加し、組合せ回路部の外部出力線と擬似外部出力線からテスト応答を観測する必要がある。1つのテストベクトルは、外部入力線と擬似外部入力線に対応するビットからなる。また、1つのテスト応答は、外部出力線と擬似外部出力線に対応するビットからなる。

【0005】

しかし、順序回路のフリップ・フロップの出力線（擬似外部入力線）と入力線（擬似外部出力線）は一般に外部より直接アクセスできない。従って、組合せ回路部をテストするためには、擬似外部入力線の可制御性及び擬似外部出力線の可観測性に問題がある。

【0006】

上述の組合せ回路部のテストにおける可制御性及び可観測性の問題を解決する主な手法として、フルスキャン設計がある。フルスキャン設計とは、フリップ・フロップをスキャンフリップ・フロップに置き換えた上で、それらを用いて1本または複数本のスキャンチェーンを形成することである。スキャンフリップ・フロップの動作はスキャンインネーブル（SE）信号線で制御される。例えば、SE = 0 のとき、従来のフリップ・フロップと同じ動作をし、クロックパルスが与えられると、組合せ回路部からの値でスキャンフリップ・フロップの出力値が更新され、また、SE = 1 のとき、同じスキャンチェーンにある他のスキャンフリップ・フロップと1つのシフトレジスタを形成し、クロックパルスが与えられると、外部から新しい値がスキャンフリップ・フロップにシフトインされると同時に、スキャンフリップ・フロップに現存の値が外部へシフトアウトされる。一般に、同じスキャンチェーンにあるスキャンフリップ・フロップは同じスキャンインネーブル（SE）信号線を共有するが、異なるスキャンチェーンのスキャンインネーブル（SE）信号線は同一の場合もあれば異なる場合もある。

【0007】

フルスキャン順序回路の組合せ回路部のテストはスキャンシフトとスキャンキャプチャを繰り返すことによって行われる。スキャンシフトは、スキャンインネーブル（SE）信号が論理値1にされているシフトモードで行われる。シフトモードにおいては、1つまたは複数のクロックパルスが与えられ、外部から1つまたは複数の新しい値がスキャンチェーン内のスキャンフリップ・フロップにシフトインされる。また、それと同時に、そのスキャンチェーン内のスキャンフリップ・フロップに現存の1つまたは複数の値が外部へシフトアウトされる。スキャンキャプチャは、スキャンインネーブル（SE）信号が論理値0にされているキャプチャモードで行われる。キャプチャモードにおいては、1つのスキャンチェーンにあるすべてのスキャンフリップ・フロップに同時に1つのクロックパルスが与えられ、組合せ回路部の擬似外部出力線の値がすべてのスキャンフリップ・フロップに取り込まれる。

【0008】

スキャンシフトは、擬似外部入力線を介して組合せ回路部へテストベクトルを印加するためと、擬似外部出力線を介して組合せ回路部からテスト応答を観測するために用いられる。また、スキャンキャプチャは、組合せ回路部のテスト応答をスキャンフリップ・フロップに取り込むために用いられる。すべてのテストベクトルに対して、スキャンシフトとスキャンキャプチャを繰り返すことによって、組合せ回路部をテストすることができる。このようなテスト方式はスキャンテスト方式という。

【0009】

スキャンテスト方式では、組合せ回路部へのテストベクトルの印加は、外部入力から直接行われる部分と、スキャンシフトによって行われる部分とがある。スキャンシフトによって、任意の論理値を任意のスキャンフリップ・フロップに設定することができるので、擬似外部入力線の可制御性の問題が解決される。組合せ回路部からのテスト応答の観測は、外部出力から直接行われる部分と、スキャンシフトによって行われる部分とがある。スキャンシフトによって、任意のスキャンフリップ・フロップの出力値を観測することができるため、擬似外部出力線の可観測性の問題が解決される。このように、スキャンテスト方式においては、自動テストパターン生成（ATPG）プログラムを用いてテストベクト

10

20

30

40

50

ル及び期待テスト応答を求めるだけで十分である。

【 0 0 1 0 】

上述のスキャンテスト方式が有効性を有しているにもかかわらず、通常動作時よりテスト時の消費電力が非常に大きいという問題点が存在する。半導体論理回路がC M O S回路で構成されていれば、消費電力としては、漏れ電流による静的消費電力と、論理ゲートやフリップ・フロップのスイッチング動作による動的消費電力とがある。さらに、後者の動的消費電力は、シフト操作時におけるシフト消費電力と、キャプチャ操作時におけるキャプチャ消費電力とがある。

【 0 0 1 1 】

1つのテストベクトルに対して、スキャンシフト時に与えられるクロックパルス数は一般に多い。例えば、あるスキャンチェーン内のすべてのスキャンフリップ・フロップに新しい値を設定するために、最大の場合にスキャンフリップ・フロップ個数分のクロックパルスを与える必要がある。このため、シフト消費電力が大きくなり、過度な発熱を引き起こすことがある。それによって、半導体論理回路装置を損壊する恐れがある。シフト消費電力の低減手法が盛んに研究されている。

【 0 0 1 2 】

一方、1つのテストベクトルに対して、スキャンキャプチャ時に必要なクロックパルスの数は一般に1つのスキャンチェーンにつき1つである。そのため、スキャンキャプチャ消費電力による発熱は問題にならない。しかし、キャプチャモードにおいて、擬似外部出力線に現れる組合せ回路部のテスト応答がスキャンフリップ・フロップに取り込まれるとき、テスト応答値とスキャンフリップ・フロップの現在値が異なれば、対応するスキャンフリップ・フロップの出力値が変化する。このような出力変化スキャンフリップ・フロップの数が多ければ、論理ゲートとスキャンフリップ・フロップのスイッチング動作によって、電源電圧が一時的に低下する。この現象はI R ( I : 電流、R : 抵抗 ) ドロップ現象とも呼ばれる。I R ドロップ現象により回路が誤動作し、誤ったテスト応答値がスキャンフリップ・フロップに取り込まれることがある。これによって、通常時には正常に動作できる半導体論理回路は、テスト時に不良品として判定されてしまうという誤テストが発生する。その結果として、歩留りが低下する。特に、半導体論理回路が超大規模化、超微細化、低電源電圧化した場合、誤テストによる歩留り低下は顕著である。従って、キャプチャ消費電力の低減が必要である。

【 0 0 1 3 】

テスト時に単一クロック信号を用いる場合には、クロックゲーティング手法を用いてスキャンキャプチャ消費電力を低減することができるが、半導体論理回路の物理設計への影響が大きい。また、テスト時に多重クロック信号を用いる場合には、ワンホット手法もしくは多重クロック手法でスキャンキャプチャ消費電力を低減することができるが、前者はテストデータ量が著しく増大し、後者はテストベクトル生成に膨大なメモリ消費が必要になるなどA T P Gへの負担が大きい。従って、スキャンキャプチャ消費電力の低減においては、物理設計への影響、テストデータ量の増加、及びA T P Gへの負担が小さい手法が望ましい。

【 0 0 1 4 】

他方、値が特定されないビット(未定値ビット)を有するテストキューブはA T P Gプログラムによるテストベクトルの生成過程で現れることが多い。これに対して、論理ビット(論理値0又は論理値1を持つビット)のみを含み、未定値ビットを含まないテスト入力をテストベクトルと呼ばれる。また、未定値ビットを有しないテストベクトルの集合が与えられる場合、その集合の故障検出率を変えずに、一部のテストベクトルの一部ビットを未定値ビットにすることができる。つまり、未定値ビット特定プログラムによってテストキューブを得ることもできる。テストキューブが存在する原因は、フルスキャン順序回路の組合せ回路部内の1つ又は複数の対象故障を検出するために、外部入力線と擬似外部入力線における一部のビットに必要な論理値を設定すれば十分であることが多いからである。その残りのビットに0を設定しても1を設定しても、その対象故障の検出に影響を与

10

20

30

40

50

えないため、そのようなビットはその対象故障にとって未定値ビットになる。

【 0 0 1 5 】

ところで、X割当は、ある特質を持つ未定値ビットを持たないテストベクトルを得るために、論理値をテストキューブ内の未定値ビットに割当てる過程であり、回路修正又はATPGアルゴリズムの変更が不要なのでキャプチャ消費電力削減には好ましいアプローチであると考えられてきている。キャプチャ消費電力削減のためのX割当は、ランダムなX割当と異なり、LCP (Low-Capture-Power) 対応のX割当と呼ぶことができ、例えば非特許文献1、2、3、4に示されるように新しいX割当として提案されてきている。回路とATPGに影響を与えないことに加えて、LCP用X割当の重要な利点は、未定値ビットの使用に基づかないどのようなシフト消費電力削減の解決策と互換性を持つことである。結果として、シフトとキャプチャ全体の消費電力削減を集約することができる。

10

【 0 0 1 6 】

図9はシフト消費電力削減のためにMDスキャン(multi-duty scan) (非特許文献5参照)とキャプチャ消費電力削減のためのLCP対応のX割当を使用する例を示した図である。

【 0 0 1 7 】

MDスキャンは、同時に動作するフリップ・フロップ(FF)数の削減のために多相クロックを使用することでシフト消費電力を低減する。しかし、それはキャプチャ消費電力を削減できない。なぜなら、ATPGの複雑さと使用メモリ量の抑制のため、単一のキャプチャクロック相のみが使用されるからである。それにもかかわらず、MDスキャンは未定値ビットに依存しないので、LCP用X割当は低キャプチャ消費電力となるテストベクトル生成のため、未定値ビットを使用できる。このことは、スキャンテスト全体の消費電力削減の解決策となる。多くの場合、キャプチャ消費電力削減はシフト消費電力削減よりも危急である。たとえば、図9に示すような場合は、シフトクロック相数がnのとき、シフト消費電力を1/nに容易に削減できる。しかしながら、キャプチャ消費電力は十分に削減されないならば、スキャンテスト消費電力削減の目標は達成できない。それゆえ、キャプチャ消費電力の削減をできるだけ有効にすることが高い危急性を持つ。

20

【 0 0 1 8 】

【非特許文献1】K. M. Butler, J. Saxena, T. Fryars, G. Hetherington, A. Jain, and J. Levis, "Minimizing Power Consumption in Scan Testing: Pattern Generation and DFT Techniques," Proc. Intl. Test Conf., pp. 355-364, 2004.

30

【非特許文献2】R. Sankaralingam, R. Oruganti and N. Toubia, "Static Compaction Techniques to Control Scan Vector Power Dissipation," Proc. of VLSI Test Symp., pp. 35-42, 2000.

【非特許文献3】X. Wen, Y. Yamashita, S. Kajihara, L.-T. Wang, K. K. Saluja, and K. Kinoshita, "Low-Capture-Power Test Generation for Scan-Based At-Speed Testing," Proc. Intl. Test Conf., Paper 39-2, 2005.

【非特許文献4】X. Wen, H. Yamashita, S. Kajihara, L.-T. Wang, K. Saluja, and K. Kinoshita, "On Low-Capture-Power Test Generation for Scan Testing," Proc. VLSI Test Symp., pp. 265-270, 2005.

40

【非特許文献5】T. Yoshida and M. Watari, "A New Approach for Low Power Scan Testing," Proc. Intl. Test Conf., pp. 480-487, 2003.

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 9 】

しかしながら、従来のLCP対応のX割当の効果は満足からはほど遠い。主な理由は、X割当時の2つのキーとなる操作、(1)未定値ビットを選択する操作、(2)選択した未定値ビットに論理値を割り当てる操作に有効な指針がないことに起因する以下のような問題から抜け出せないことである。第1は「X割当の対象となる未定値ビットの選択問題」であり、第2は「X割当の割り当て論理値決定問題」である。

50

## 【 0 0 2 0 】

第1の「X割当の対象となる未定値ビットの選択問題」については以下のとおりである。テストキューブは多くの場合多数の未定値ビットを含み、X割当の対象となる未定値ビットの選択の順番でキャプチャ消費電力削減結果が異なる。

## 【 0 0 2 1 】

図10は、X割当のための対象となる未定値ビットの選択における結果の相違を説明するための図である。ここで、Comb. Portionは組合せ回路部、Before Capture、After Captureはそれぞれ、キャプチャ前、キャプチャ後を表す。

## 【 0 0 2 2 】

図10(a)に示すように、元のテストキューブ $v$ は2個の未定値ビットを持ち、それらをそれぞれ $X_b$ と $X_c$ とする。 $X_c$ が最初にX割当され、 $X_b$ が次に非特許文献3のLCP対応X割当手法でX割当されたとすると、結果として得られるテストベクトルは $v_1$ であり、 $v_1$ の重み付けされたキャプチャ遷移数(weighted capture transition count)は図10(b)のように4である。これについては下記で具体的に説明するが、重み付けされたキャプチャ遷移数は、キャプチャ消費電力の見積もりに有効な手法である。しかしながら、 $X_b$ が最初にX割当され、 $X_c$ が次にX割当されたとすると、結果として得られるテストベクトルは $v_2$ であり、 $v_2$ の重み付けされたキャプチャ遷移数は図10(c)のように0である。図10(c)のX割当対象の未定値ビットの選択の際に提供される指針があれば、それは図10(b)の結果よりもキャプチャ消費電力削減に関して有効である。

## 【 0 0 2 3 】

ところが、従来のLCP対応のX割当方法は、X割当の対象となる未定値ビットの選択時に有効な指針がなかった。すなわち、従来のLCP対応のX割当方法は、ランダムな方法で又はキャプチャ消費電力削減の閉じた相互関係無しに単純な経験的方法でX割当の対象となる未定値ビットを選択している。そのため、X割当の対象となる未定値ビットの選択の順番が適切とならず、キャプチャ消費電力削減が不十分であった。

## 【 0 0 2 4 】

第2の「X割当の割り当て論理値決定問題」については以下のとおりである。X割当の対象となる未定値ビットの選択後、できるだけキャプチャ消費電力を削減するためには適切な論理値が選択されるべきである。ところが、非特許文献1、2に示す従来のLCP対応のX割当手法は、キャプチャ消費電力への影響を考慮することなく、0若しくは1の挿入、最小遷移挿入によるテストベクトル内の論理値の遷移の削減に努めるだけである。また、非特許文献3、4に示す従来のLCP対応X割当手法は、回路全体のゲートとFFの全キャプチャ消費電力と必ずしも相互関係があるとは限らないスキャンFFの出力線の論理値の遷移を削減するだけである。すなわち、X割当のために対象となる未定値ビットが選択された後、できるだけ多くキャプチャ消費電力を削減するため、対象となる未定値ビットのために適切な論理値が選択されるべきである。このX割当の論理値の選択は、論理値0若しくは1のどちらが未定値ビットに最終的な論理値として使用されるのに適しているかを見出すために、キャプチャ消費電力削減に関して0選択と1選択双方の影響を見積もることが必要であり、十分な精度と容易な計算の方法が指針として使用される必要がある。しかしながら、X割当の割り当て論理値決定時にもまた有効な指針がなく、キャプチャ消費電力削減が不十分であった。

## 【 0 0 2 5 】

なお、未定値ビットのないテストベクトル $v$ のため、その重み付けされたキャプチャ遷移数 $WCT(v)$ は、キャプチャ消費電力見積もりの良い方法であり、以下で定義される。

## 【 0 0 2 6 】

10

20

30

40

【数 1】

$$WCT(v) = \sum_{i=1}^n (w_i \times t_i)$$

【0027】

ここで、 $n$ は回路中の全ノード（組合せ回路部分のゲート及びスキャンチェーン上のFF）数、 $w_i$ はノード $i$ からのファンアウト分岐数、 $t_i$ はノード $i$ の出力線で発生するキャプチャ遷移が発生するかどうかを示す。キャプチャ時に遷移が発生すると $t_i = 1$ 、そうでないときは $t_i = 0$ である。 $w_i$ はノード $i$ での寄生容量に近似するために使用される。なお、上記重み付けされたキャプチャ遷移数（ $WCT(v)$ ）について、前述した図10(b)に示す $v1$ を考えると、ファンアウト分岐がそれぞれ1、1、2であるG1、G3とFF1でキャプチャ遷移が3回あると、 $WCT(v1) = 1 \times 1 + 1 \times 1 + 1 \times 2 = 4$ である。

10

【0028】

上記重み付けされたキャプチャ遷移数は、キャプチャ消費電力の見積りに適用させるため、重み付けスイッチング動作の一般的な概念から作られたものである。この方法はすべてのノードとファンアウト分岐を考慮するので、コストのかかるシミュレーションベースの電力解析を使用せずにテストベクトルによって引き起こされるキャプチャ消費電力について十分な精度での見積もりを提供する。

20

【0029】

しかしながら、重み付けされたキャプチャ遷移数は、決定論的な手法である。すなわち、未定値のないテストベクトルに対してのみ適用でき、未定値を持つテストキューブには使用できない。これは、テストキューブに未定値が存在するため、キャプチャの前で、いくつかのノードの出力線も未定値となる。たとえば、あるノードの出力線がキャプチャ前にXでありキャプチャ後に1であるならば、そのノードでキャプチャ時に遷移が生じるかどうかを決定論的に知ることは不可能である。

【0030】

それゆえ、重み付けされたキャプチャ遷移数は、X割当時の論理値選択の際の指針には使用できない。その理由は以下のとおりである。テストキューブは、未定値ビットの一つが0または1で割り当てられても、しばしば依然として未定値ビットを持つ。重み付けされたキャプチャ遷移数は未定値ビットのないテストベクトルにのみ適用可能であるためである。

30

【0031】

ゆえに、本発明は、キャプチャ消費電力を効果的に削減可能とするテストベクトルを生成する生成装置、生成方法、この方法をコンピュータに実行させることが可能なプログラム、及び、このプログラムを記録した記録媒体を提供することを目的とする。

【課題を解決するための手段】

【0032】

請求項1に係る発明は、論理回路に対して、テストキューブに含まれる複数の未定値ビットのそれぞれに論理値を割り当ててテストベクトルを生成する生成装置であって、前記論理回路はフルスキャン設計された順序回路であって、前記複数の未定値ビットの中からXスコア（前記複数の未定値ビットのそれぞれについての前記論理回路に対する信号値の変化の広がり度合い）を最大化する選択基準にตอบสนองして論理値の割り当て対象となる一つの割り当て対象未定値ビットを選択する選択手段と、確率的に重み付けした下記式によって未定値ビットを含むテストキューブ(v)が前記論理回路内のすべての論理素子の出力で発生させるキャプチャ遷移数(PWT(v))を計算して数値化するキャプチャ遷移数数値化手段と、前記選択された割り当て対象未定値ビットに論理値0を割り当てることによって得られる第1テストキューブと、前記選択された割り当て対象未定値ビットに論理値1を割り当てることによって得られる第2テストキューブに対して、前記キャプチャ遷移数数値化手段

40

50



を適用し、第1テストキューブによるキャプチャ遷移数と第2テストキューブによるキャプチャ遷移数を比較し、その少ない方に対応する論理値を前記選択された割当対象未定値ビットに割り当てる論理値割り当て手段とを備え、前記複数の未定値ビットの全てに論理値が割り当てるまで、前記キャプチャ遷移数数値化手段の演算結果に基づいて割当対象未定値ビットに論理値が割り当てられるものである。

【0033】

【数2】

$$PWT(v) = \sum_{i=1}^n (w_i \times p_i)$$

10

ここで、 $n$ は回路中の全ノード数、 $w_i$ はノード $i$ からのファンアウト分岐数、 $p_i$ はノード $i$ の出力線で発生する0から1又は1から0への遷移確率である。

【0034】

請求項2に係る発明は、請求項1記載の生成装置であって、前記キャプチャ遷移数数値化手段が、スキャンキャプチャの前と後の前記論理回路を構成する全ての回路構成素子における信号確率を演算し、当該信号確率の演算結果を用いて前記全ての回路構成素子における信号遷移の確率を演算し、当該信号遷移の確率の演算結果を用いて前記テストキューブが発生させるキャプチャ遷移数を演算して数値化するものである。

【0035】

20

請求項3に係る発明は、請求項1又は2記載の生成装置であって、前記論理値割り当て手段が、前記選択された割当対象未定値ビットに対して1が論理値として割り当てられた場合の第1テストキューブによるキャプチャ遷移数と前記選択された割当対象未定値ビットに対して0が論理値として割り当てられた場合の第2テストキューブによるキャプチャ遷移数とを比較する比較手段と、前記比較手段の比較結果により値の小さな遷移数に対応する1又は0を割り当てるべき論理値として決定する決定手段とを有するものである。

【0036】

請求項4に係る発明は、請求項1から3のいずれかに記載の生成装置であって、前記キャプチャ遷移数数値化手段が、前記選択された割当対象未定値ビットについて論理値が1の場合と0の場合のそれぞれの確率を遷移確率として仮定して適用するものである。

30

【0037】

請求項5に係る発明は、論理回路に対して、テストキューブに含まれる複数の未定値ビットのそれぞれに論理値を割り当ててテストベクトルを生成する生成方法であって、前記論理回路はフルスキャン設計された順序回路であって、選択手段が、前記複数の未定値ビットの中からXスコア（前記複数の未定値ビットのそれぞれについての前記論理回路に対する信号値の変化の広がり度合い）を最大化する選択基準に応答して論理値の割り当て対象となる一つの割当対象未定値ビットを選択する選択ステップと、キャプチャ遷移数数値化手段が、確率的に重み付けした下記式によって未定値ビットを含むテストキューブ（ $v$ ）が前記論理回路内のすべての論理素子の出力で発生させるキャプチャ遷移数（ $PWT(v)$ ）を計算して数値化するキャプチャ遷移数数値化ステップと、論理値割り当て手段が、前記選択された割当対象未定値ビットに論理値0を割り当てることによって得られる第1テストキューブと、前記選択された割当対象未定値ビットに論理値1を割り当てることによって得られる第2テストキューブに対して、前記キャプチャ遷移数数値化手段を適用し、第1テストキューブによるキャプチャ遷移数と第2テストキューブによるキャプチャ遷移数を比較し、その少ない方に対応する論理値を前記選択された割当対象未定値ビットに割り当てる論理値割り当てステップとを含み、前記複数の未定値ビットの全てに論理値が割り当てるまで、前記キャプチャ遷移数数値化手段の演算結果に基づいて割当対象未定値ビットに論理値が割り当てられるものである。

40

【0038】

【数3】

$$PWT(v) = \sum_{i=1}^n (w_i \times p_i)$$

ここで、 $n$ は回路中の全ノード数、 $w_i$ はノード $i$ からのファンアウト分岐数、 $p_i$ はノード $i$ の出力線で発生する0から1又は1から0への遷移確率である。

【0039】

請求項6に係る発明は、請求項5記載の生成方法であって、前記キャプチャ遷移数数値化ステップにおいて、前記キャプチャ遷移数数値化手段が、スキャンキャプチャの前と後の前記論理回路を構成する全ての回路構成素子における信号確率を演算し、当該信号確率の演算結果を用いて前記全ての回路構成素子における信号遷移の確率を演算し、当該信号遷移の確率の演算結果を用いて前記テストキューブが発生させるキャプチャ遷移数を演算して数値化するものである。

10

【0040】

請求項7に係る発明は、請求項5又は6記載の生成方法であって、前記論理値割り当てステップが、比較手段が、前記選択された割当対象未定値ビットに対して1が論理値として割り当てられた場合の第1テストキューブによるキャプチャ遷移数と前記選択された割当対象未定値ビットに対して0が論理値として割り当てられた場合の第2テストキューブによるキャプチャ遷移数とを比較する比較ステップと、決定手段が、前記比較手段の比較結果により値の小さな遷移数に対応する1又は0を割り当てるべき論理値として決定する決定ステップとを含むものである。

20

【0041】

請求項8に係る発明は、請求項5から7のいずれかに記載の生成方法であって、前記キャプチャ遷移数数値化ステップにおいて、前記キャプチャ遷移数数値化手段は、前記選択された割当対象未定値ビットについて論理値が1の場合と0の場合のそれぞれの確率を遷移確率として仮定して適用するものである。

【0042】

請求項9に係る発明は、請求項5から8のいずれかに記載の生成方法をコンピュータに実行させることが可能なプログラムである。

30

【0043】

請求項10に係る発明は、請求項9に記載されたプログラムをコンピュータが実行することが可能にて記録した記録媒体である。

【発明の効果】

【0044】

上記本発明によれば、テストキューブに複数の未定値ビットが含まれても、選択手段により上記「X割当の対象となる未定値ビットの選択問題」が解決可能で、キャプチャ遷移数数値化手段及び論理値割り当て手段により「X割当の割り当て論理値決定問題」が解決可能となる。そのため、キャプチャ消費電力を効果的に削減可能なテストベクトルが生成可能となる。論理回路がフルスキャン設計された順序回路である場合において、スキャンフリップ・フロップのような遷移だけでなく、回路全体の遷移数を削減することが可能になるという利点が得られる。

40

【発明を実施するための最良の形態】

【0045】

以下に示すLCP向けX割当は、テストベクトルのキャプチャ消費電力削減のため、テストキューブ内の未定値ビットに対して実施される。

【0046】

図1は、本発明の実施の形態にかかる生成装置の概略ブロック図である。図2は、図1の生成装置の動作を説明するためのフロー図である。

【0047】

50

図2を用いて、図1の動作を説明するとともに、後述する「Xスコア」と「確率的に重み付けされたキャプチャ遷移数」の2つの概念に基づいた、X割当時に十分な指針を提供する高度にガイド可能なLCP用X割当方法を概説する。

【0048】

生成装置100は、選択部101と、キャプチャ遷移数数値化部103と、論理値割当部105を備える。選択部101は、Xスコア演算部107と割当対象未定値ビット選択部109を備える。キャプチャ遷移数数値化部103は、信号確率演算部111と信号遷移確率演算部113とキャプチャ遷移数演算部115を備える。論理値割当部105は、比較部117と決定部119を備える。生成装置100は、与えられたテストキューブからテストベクトルを生成するものであり、各上記構成について簡単に説明する。

10

【0049】

選択部101は、複数の未定値ビットの中からLCPのためのXスコアをXスコア演算部107により演算し、割当対象未定値ビット選択部109によりそのXスコアが最大となる未定値ビットから選択基準に回答して論理値の割り当て対象となる一つの割当対象未定値ビットを選択する。ここで、Xスコアは、複数の未定値ビットのそれぞれについての論理回路に対する信号値の変化の広がり度合いを表す一例である。

【0050】

キャプチャ遷移数数値化部103は、未定値ビットを含むテストキューブが論理回路内のすべての論理素子の出力で発生させるキャプチャ遷移数を計算して数値化する。具体的には、信号確率演算部111がスキャンキャプチャの前と後の前記論理回路を構成する全

20

【0051】

論理値割当部105は、選択部101により選択された割当対象未定値ビットに論理値0を割り当てることによって得られる第1テストキューブと、選択された割当対象未定値ビットに論理値1を割り当てることによって得られる第2テストキューブに対して、キャプチャ遷移数数値化部103を適用し、第1テストキューブによるキャプチャ遷移数と第2テストキューブによるキャプチャ遷移数を比較し、その少ない方に対応する論理値を選択された割当対象未定値ビットに割り当てる。複数の未定値ビットの全てに論理値が割り当てられるまで、キャプチャ遷移数数値化部103の演算結果に基づいて割当対象未定値ビットに論理値が割り当てられる。ここで、選択された割当対象未定値ビットに対して1が論理値として割り当てられた場合の第1テストキューブによるキャプチャ遷移数と前記選択された割当対象未定値ビットに対して0が論理値として割り当てられた場合の第2テストキューブによるキャプチャ遷移数との比較は比較部117により行われ、決定部119は、比較部117の比較結果により値の小さな遷移数に対応する1又は0を割り当てるべき論理値として決定する。

30

【0052】

図2を参照して、選択部101による未定値を持つテストキューブ内の論理値を割り当てるべき未定値ビットの選択処理(ステップS1)と、キャプチャ遷移数数値化部103によるキャプチャ遷移数を計算する数値化処理(ステップS2)と、論理値割当部105によるできるだけ多くのキャプチャ消費電力を削減するような、前記選択された未定値ビットに割り当てるべき論理値を0または1のどちらにすべきかの決定処理(ステップS3)という3つの基本処理が含まれる。ステップS4において、テストキューブ内のすべての未定値ビットがなくなるまで基本処理(ステップS1)、基本処理(ステップS2)及び基本処理(ステップS3)が繰り返し適用され、結果として、完全に未定値がなくなったテストベクトルが得られる。

40

【0053】

選択部101によるX割当の対象となる未定値ビットの選択処理(ステップS1)では

50

、スコア演算部 107 によりテストキューブ内の各未定値ビットに対して X スコアが計算され (ステップ S 11)、割当対象未定値ビット選択部 109 により X スコアが最大となる未定値ビットが X 割当すべき未定値ビットとして選択される (ステップ S 12)。なお、X スコアについては、後で具体的に説明する。

【0054】

一方、キャプチャ遷移数数値化部 103 によるキャプチャ遷移数を計算する数値化処理 (ステップ S 2) では、確率的に重み付けした遷移数 (一例として後述の PWT 参照) を計算する (ステップ S 21)。

【0055】

さらに、論理値割当部 105 によるテストキューブ v 内で選択された未定値ビット b に対して割り当てられるべき論理値の選択処理 (ステップ S 3) では、遷移数の小さいほうに一致する論理値が、最終的に割り当てられるべき論理値となる (ステップ S 31, 32)。詳細については、後述する。

【0056】

上記 X 割当の対象未定値ビットの選択処理 (ステップ S 1) について、さらに説明する。

【0057】

X 割当の対象となる未定値ビットを適切に選択するために、次の要因を検討する必要がある。すなわち、(1) 回路構造、(2) 選択された特定されているビットの値と回路中の位置、(3) 未定値ビットの場所である。上記要因の情報は、集合シミュレーションと呼ばれる技法により得られる。集合シミュレーションは、記号的 X シミュレーションの拡張である。

【0058】

集合シミュレーションについて説明する。フルスキャン回路中のテストキューブ v に対する集合シミュレーションの手順は、以下の通りである。

【0059】

< 段階 1 : 入力線への集合割り当て >

テストキューブ v は n 個の未定値ビットを持つと仮定する。n 個の未定値ビットを n 個の相異なる集合 {1}、{2}、... {n} に置き換える。

【0060】

< 段階 2 : 集合の伝搬 >

以下の法則 1 および 2 を繰り返し適用することにより、すべてのゲートの出力線が論理値または集合を持つまで、フルスキャン回路の組合せ回路部分で集合の伝搬を行なう。

【0061】

法則 1 : もし、あるゲートの出力線が入力線の否定となり、その入力集合 S ( $\neg S$ ) であれば、そのゲートの出力線に  $\neg S$  ( $S$ ) を置く。

法則 2 : ある入力ゲートの合計 p 本の入力線が集合 S1、S2、...、Sp を持つと仮定する。もしそのゲートの出力線に論理値もどの入力線の否定値もなければ、そのゲートの出力線に集合 S1 S2 ... Sp を置く。

【0062】

< 段階 3 : F F への集合の割り当て >

組合せ回路部分の擬似外部出力線で論理値若しくは集合が決定された後、擬似外部出力線の論理値若しくは集合が、その擬似外部出力線に対応する F F の出力線に割り当てられる。

【0063】

図 3 は、集合シミュレーションの例を示す図である。

【0064】

一般に、テストキューブに対する集合シミュレーションは、ノードの論理値に関する各未定値ビットの影響を以下のように表わしている。(1) あるノードの出力線に論理値が存在するということは、ノードの入出力線に影響を与える未定値ビットがないことを示し

10

20

30

40

50

ている。(2)あるノードの出力線に集合{p1, p2, ..., pm}が存在するという事は、ノードの論理値がp1番目の未定値ビット、p2番目の未定値ビット、...、pm番目の未定値ビットによる影響を受けることを示している。

【0065】

このような集合シミュレーションの結果から、Xスコアは計算される。XスコアはX割当の対象となる未定値ビットの選択の際の尺度となる。

【0066】

Xスコアの定義について説明する。テストキューブに対する集合シミュレーションの後に、フルスキャン回路内の全部でm個のノード(ゲート及びFF)の出力線が複数の数値の集合S1, S2, ..., Smを持つと仮定する。また、nbは集合シミュレーションの手順1(入力線への集合割り当て)でテストキューブのある未定値ビットbitに割り当てられた数値と仮定する。このとき、未定値ビットbitのXスコアX-Score(bit)は以下の式で定義される。

【0067】

【数4】

$$X-Score(bit) = \sum_{i=1}^m (r_i / |S_i|)$$

【0068】

ここで、nb Siのときri=1、そうでないときri=0である。たとえば、図3で示される集合シミュレーションの結果として、ノードG1、G2、G3、G5、FF1及びFF3はそれぞれ集合{1, 2}、{1, 2}、{1, 2}、{1, 2, 3}、{1, 2}及び、{1, 2, 3}を持つ。さらに集合シミュレーションの手順1で未定値ビットeに数値3が割り当てられる。それゆえ、未定値ビットeのXスコアX-Score(e)は次のように計算できる。

【0069】

$$X-Score(e) = 0 / 2 + 0 / 2 + 0 / 2 + 1 / 3 + 0 / 2 + 1 / 3 = 0.67$$

【0070】

Xスコアの定義から、未定値ビットのXスコアが大きいほど、未定値ビットへの論理値割り当てがフルスキャン回路のノードの論理値について大きな影響を与えることが明確となる。こうして、より大きなXスコアを持つ未定値ビットは、キャプチャ消費電力削減に大きな影響を与えることを示している。

【0071】

図2で示すように、今回提案するX割当の対象となる未定値ビットの選択方法は、最初にテストキューブ内のすべての未定値ビットのXスコアを計算し、X割当の対象として、最も高いXスコアを持った未定値ビットを選択する。

【0072】

図4は、尺度としてXスコアを用いた効果を説明するための図である。

【0073】

図4に示すように、テストキューブvはbとcの2個の未定値ビットを持つ。bのXスコアX-Score(b)は1 + 1/2 + 1/2 + 1/2 + 1/2 = 3であり、cのXスコアX-Score(c)は1/2 + 1/2 + 1/2 + 1/2 = 2である。それゆえ、X割当の対象となる未定値ビットとしてbが最初に選択される。このようなX割当の順番はキャプチャ消費電力削減により良い結果をもたらす。

【0074】

続いて、上記キャプチャ遷移数を計算する数値化処理(ステップS2)をさらに説明する。

【0075】

キャプチャ時の消費電力をできるだけ削減するために、各割当の対象となる未定値ビットに対して、適切な論理値が選ばれる必要がある。X割当において未定値ビットに割り当

10

20

30

40

50

てる論理値が適切かどうかを決定するためには、未定値ビットを持つテストキューブに対して、キャプチャ時の消費電力に関する十分な精度の計算が必要である。以下では、テストキューブのキャプチャ消費電力の見積もり方法を定義し、その計算の詳細について述べる。新しい測定基準により高度にガイド可能な X 割当の値が選択可能になる。

【 0 0 7 6 】

テストキューブ  $v$  におけるキャプチャ動作時の回路の確率的に重み付けした遷移数 (probabilistic weighted capture transition count) を  $PWT(v)$  で表し、次式で定義する。

【 0 0 7 7 】

【数 5】

$$PWT(v) = \sum_{i=1}^n (w_i \times p_i)$$

10

【 0 0 7 8 】

ここで、 $n$  は回路中の全ノード (組合せ回路部分のゲート及びスキャンチェーン上の FF) 数、 $w_i$  はノード  $i$  からのファンアウト分岐数、 $p_i$  はノード  $i$  の出力線で発生する 0 から 1 若しくは 1 から 0 への遷移確率である。

【 0 0 7 9 】

上記  $PWT$  は、従来の単に重み付けしたキャプチャ遷移数 ( $WCT$ ) に似ている。最も大きな差異は、 $PWT$  はテストキューブ内の未定値ビットに関連付けられた非決定性の遷移を扱うために、遷移確率の概念を使用する。これに対し、 $WCT$  は未定値ビットを持たないテストベクトルに対する決定性の遷移のみを扱うことができるにすぎない。たとえば、あるノードの出力線のキャプチャ前の値が  $X$  で、キャプチャ後は 1 になったとするとき、このノードで 0 から 1 への遷移が 100% 確実に発生するかどうかを決定することは不可能である。

20

【 0 0 8 0 】

このような不確実性問題を扱うため、遷移確率の概念を導入する。一般的に、テストキューブ  $v$  におけるキャプチャ動作時のノード  $i$  における遷移確率  $p_i$  は以下の式で計算できる。

30

【 0 0 8 1 】

$$p_i = (BC-Prob0(i) \times AC-Prob1(i)) + (BC-Prob1(i) \times AC-Prob0(i))$$

【 0 0 8 2 】

ここで、 $BC-Prob0(i)$  と  $BC-Prob1(i)$  は、ノード  $i$  がキャプチャ前にそれぞれ 0 と 1 になる確率であり、 $AC-Prob0(i)$  と  $AC-Prob1(i)$  は、ノード  $i$  がキャプチャ後にそれぞれ 0 と 1 になる確率である。

【 0 0 8 3 】

ひとたびテストキューブ  $v$  に関するすべてのノードの遷移確率が求めれば、 $PWT(v)$  は難なく計算できる。 $PWT$  を導入する最大の利点は、未定値ビットを持つテストキューブに関する回路全体のキャプチャ消費電力の計算が可能になることである。 $PWT$  は、キャプチャ消費電力をできるだけ削減するために、未定値ビットに割り当てる論理値選択の尺度として有用である。

40

【 0 0 8 4 】

図 5 は、テストキューブ  $v$  においてすべてのノードの遷移確率を求めるという  $PWT$  を適用する際の鍵となる問題を説明するための図である。

【 0 0 8 5 】

図 5 に示すように、各ノード  $i$  における 4 種類のノード確率、 $BC-Prob0(i)$ 、 $BC-Prob1(i)$ 、 $AC-Prob0(i)$ 、 $AC-Prob1(i)$  の計算が必要になる。 $BC-Prob0(i) + BC-Prob1(i) = 1$  で、 $AC-Prob0(i) + AC-Prob1(i) = 1$  であるが、以下では、各ノードに対するこれら 4 種類の確率はより理解しやすくするため明示する。

50

## 【 0 0 8 6 】

テストキューブ  $v$  のもとですべてのノードの遷移確率は、前述したフルスキャン回路に一致している、図 6 に示す 4 つの段階を経て計算できる。

## 【 0 0 8 7 】

< 段階 1 : キャプチャ前の入力線への確率割り当て >

テストキューブ  $v$  内にある各未定値ビット  $b$  のキャプチャ前の 0 及び 1 になる確率は、以下の表により割り当てられる。

## 【 0 0 8 8 】

【表 1】

$b$	$BC-Prob^0(b)$	$BC-Prob^1(b)$
0	100%	0%
1	0%	100%
$X$	50%	50%

10

## 【 0 0 8 9 】

< 段階 2 : キャプチャ前のノード確率計算 >

組合せ回路部の各ゲートのキャプチャ前の 0 及び 1 になる確率は、段階 1 で入力線に割り当てられた確率から計算する。相互関係を誘発する不確実性と計算複雑度の間の様々なトレードオフに関して、利用可能な確率の伝搬方法が数多くある。ここで、各 FF のキャプチャ前の 0 及び 1 となる確率は、段階 1 で割り当てられる。

## 【 0 0 9 0 】

< 段階 3 : キャプチャ後の入力線への確率割り当て >

キャプチャ動作の結果、スキャン FF の出力線が  $\langle f(v) : FF \rangle$  に更新される。  $\langle f(v) : FF \rangle$  は、FF の入力線におけるテストキューブ  $v$  に対する組合せ回路部の応答である。したがって、各 FF の出力線のキャプチャ後の 0 及び 1 になる確率は、それぞれ FF の入力線のキャプチャ前の 0 及び 1 になる確率と同じになる。また、外部入力線の値  $\langle v : PI \rangle$  は、キャプチャによる変化はない。したがって、各外部入力線のキャプチャ後の 0 及び 1 になる確率は、キャプチャ前の 0 及び 1 になる確率と同じになる。

20

30

## 【 0 0 9 1 】

< 段階 4 : キャプチャ後のノード確率計算 >

組合せ回路部の各ゲートのキャプチャ後の 0 及び 1 になる確率は、段階 3 で入力線に割り当てられた確率から計算される。ここで、各 FF のキャプチャ後の 0 及び 1 となる確率は、段階 3 で割り当てられる。

## 【 0 0 9 2 】

ここで、段階 1 では、テストキューブ  $v$  内のいずれの未定値ビットも、外部入力から直接、若しくはスキャンシフト動作で間接的に設定されることに注意する。これが、テストキューブ内のすべての未定値ビットの 0 及び 1 になる確率が 50% に割り当てられる理由である。

40

## 【 0 0 9 3 】

図 7 は、ノードの確率と遷移確率の計算例を説明するための図である。

## 【 0 0 9 4 】

フルスキャン回路は、組合せ回路部にゲート 5 個 ( $G1 \sim G5$ ) 及び、3 個のスキャン FF ( $FF1 \sim FF3$ ) を持つとする。  $a$  と  $b$  は外部入力線、一方、  $p$ 、  $q$ 、  $r$  はそれぞれ  $FF1$ 、  $FF2$ 、  $FF3$  の入力線に接続する擬似外部出力線とする。

## 【 0 0 9 5 】

50

図7(a)(b)は、それぞれキャプチャ前のノードの確率とキャプチャ後のノードの確率を示す図である。ここで、テストキューブ $v$ が(0, 1, 1, X, X)であるとする。これらの結果から、図5で示される遷移確率を容易に計算でき、その結果は図7(c)に示される。すなわち、例えば出力線 $q$ については、 $BC-Prob0(q) \times AC-Prob1(q) + BC-Prob1(q) \times AC-Prob0(q)$ より0.26となり、出力線 $p$ 、 $r$ についても同様である。それゆえ、 $PWT(v)$ は、 $PWT(v) = 3 \times 0.50 + 2 \times 0.50 + 1 \times 0.50 + 1 \times 0.26 + 1 \times 0.37 + 1 \times 0.50 + 1 \times 0.50 + 1 \times 0.50 = 5.13$ となる。

【0096】

図2に示すように、キャプチャ消費電力の削減のためにテストキューブ $v$ 内の未定値ビット $b$ に割り当てるべき適切な論理値を選択するため、 $PWT(v : b = 0)$ 及び $PWT(v : b = 1)$ を計算する。これらはそれぞれ、0及び1を割り当てた場合の、確率的に重み付けした遷移数( $PWT$ )である。こうして、未定値ビット $b$ に最終的に割り当てる論理値として、小さい値の $PWT$ に対応する論理値を選択する。具体的には、例えば、図7(a)に示したテストキューブ $v$ の未定値ビットのうちXスコアが最大となった未定値ビットを $b$ とし、それに論理値0と論理値1をそれぞれ割り当てて、 $PWT(v : b = 0)$ 及び $PWT(v : b = 1)$ を計算し、小さい値の $PWT$ に対応する論理値が選択されて割り当てられる。

【0097】

$PWT$ は、テストキューブ内の未定値ビットに対するすべてのノード(ゲート及びFF)でキャプチャ消費電力量の見積りを可能とするので、上記未定値ビットに割り当てる論理値の選択は、高度の尺度を持つ手順であり、キャプチャ消費電力削減により良い結果を得ることができる。

【0098】

このように、高度にガイド可能なLCP用X割当手法((1)Xスコア、(2)確率的に重み付けされたキャプチャ遷移数)により、以下のような効果が得られる。まず、上記「Xスコア」という概念は、キャプチャ消費電力削減におけるテストキューブのすべての未定値ビットの影響を測定するために使用される。回路の構造情報、特定されたビットの論理値、異なる未定値ビット相互の内部関係はXスコアの計算で調べられる。このため、各X割当操作で適切なX割当の対象を選択する際に、選択の指針としてXスコアが使用可能になる。また、「確率的に重み付けされたキャプチャ遷移数」という概念は、すべてのノード(ゲートとFF)で重み付けした確率的に見積もられたキャプチャ時の遷移数による、未定値ビットを含むテストキューブでのキャプチャ消費電力の見積りに使用される。この新しい方法は、未定値ビットを含まないテストベクトルに対してのみ適用できる、重み付けされたスイッチング動作手法の制限を克服する。また、未定値ビットを含むテストキューブに対する従来手法に比べキャプチャ消費電力の見積もり精度を劇的に改善する。結果として、この新手法は各X割当操作で対象となる未定値ビットに割り当てる適切な論理値の選択の際に、より良い指針を提供できる。このような「Xスコア」によりキャプチャ消費電力削減に関する未定値ビットの影響を定量化することができ、「確率的に重み付けされたキャプチャ遷移数」により未定値ビットを含むテストキューブであっても回路全体のキャプチャ消費電力を見積もることができる。その結果、この2つの概念に基づいたX割当のための十分な指針が得られ、キャプチャ消費電力を十分に削減できる。

【0099】

なお、本実施の形態では、Xスコアの値が最大となる未定値ビットに論理値0、1をそれぞれ割り当てて $PWT$ を計算したが、 $PWT$ の計算において、論理値0、1が割り当てられる割当対象未定値ビットの選択には、他の手法によって得られるものであってもよい。

【0100】

また、上記実施の形態の説明では、便宜上、スキャン回路の方式、或いは、クロックの種類・数については簡便化していたが、これらに依存される必要はなく、フルスキャン設計を適用した論理回路(LSI回路)全般に対して適用できる。すなわち、複数本のスキャンチェーンが存在しても、またスキャン回路を駆動するクロックが複数個存在しても、

10

20

30

40

50



またスキャン回路に組合せ回路部分からフリップ・フロップに値を取り込むタイミングが異なっても、いずれのLSI回路に対して適用可能である。

【図面の簡単な説明】

【0101】

【図1】本発明の実施の形態にかかる生成装置の概略ブロック図である。

【図2】図1の生成装置の動作を説明するためのフロー図である。

【図3】集合シミュレーションの例を示す図である。

【図4】尺度としてXスコアを用いた効果を説明するための図である。

【図5】テストキューブvにおいてすべてのノードの遷移確率を求めるというPWTを適用する際の鍵となる問題を説明するための図である。

10

【図6】テストキューブvのもとですべてのノードの遷移確率がフルスキャン回路において4つの段階を経て計算できることを説明するための図である。

【図7】ノードの確率と遷移確率の計算例を説明するための図である。

【図8】半導体論理回路が、設計、製造、テストの三段階を経て出荷されることを説明するための図である。

【図9】シフト消費電力削減のためにMDスキャン(multi-duty scan)とキャプチャ消費電力削減のためのLCP対応のX割当を使用する例を示した図である。

【図10】X割当のための対象となる未定値ビットの選択における結果の相違を説明するための図である。

20

【符号の説明】

【0102】

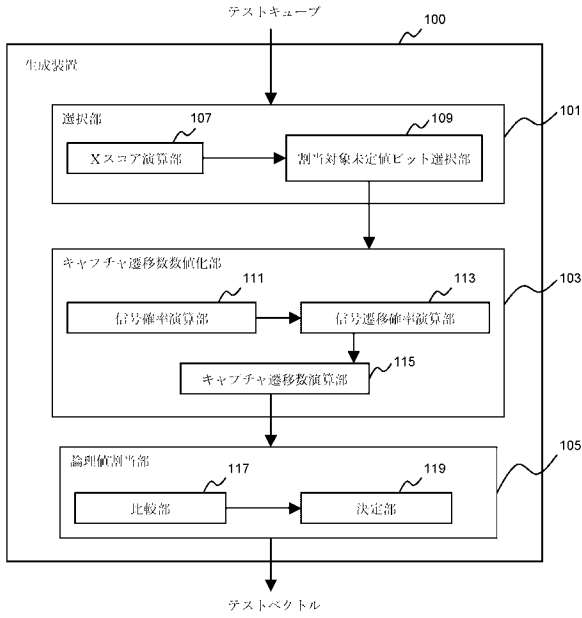
100 生成装置

101 選択部

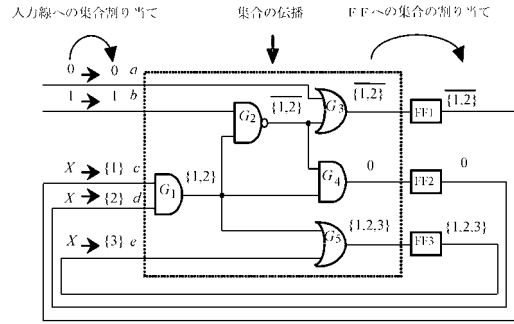
103 キャプチャ遷移数数値化部

105 論理値割当部

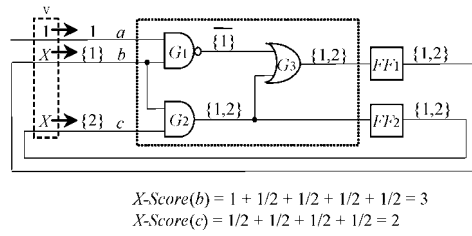
【図1】



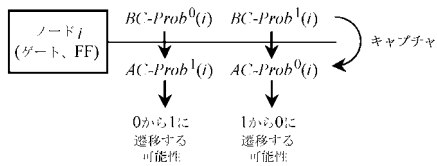
【図3】



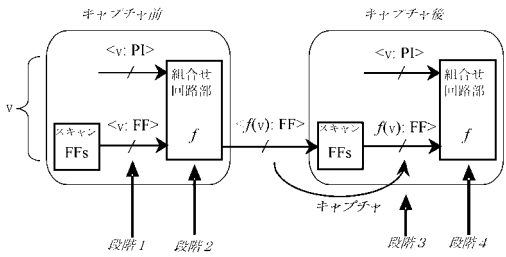
【図4】



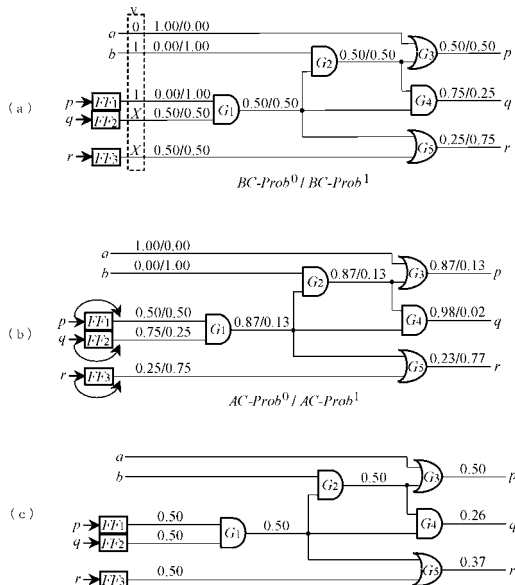
【図5】



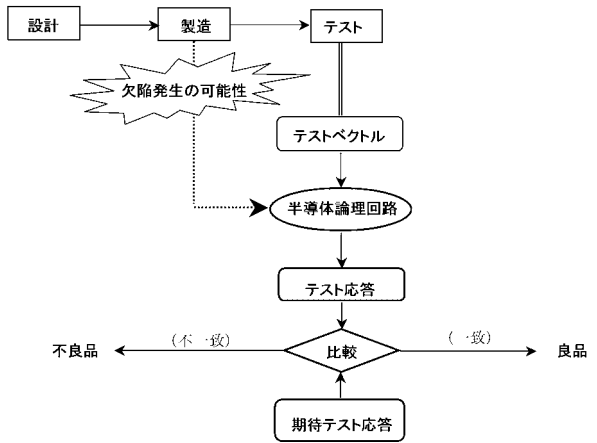
【図6】



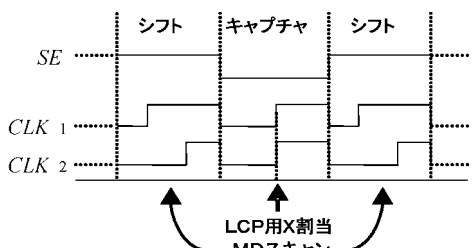
【図7】



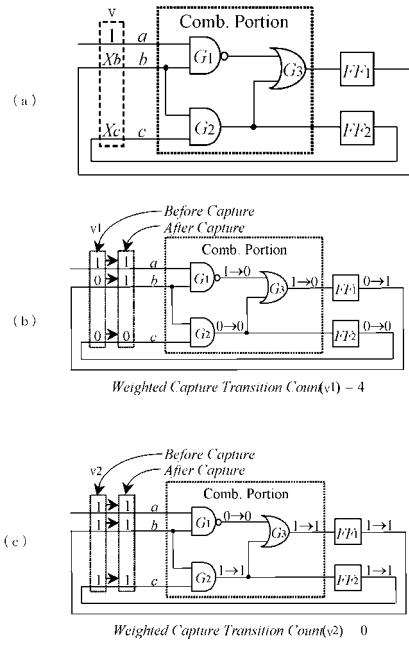
【図8】



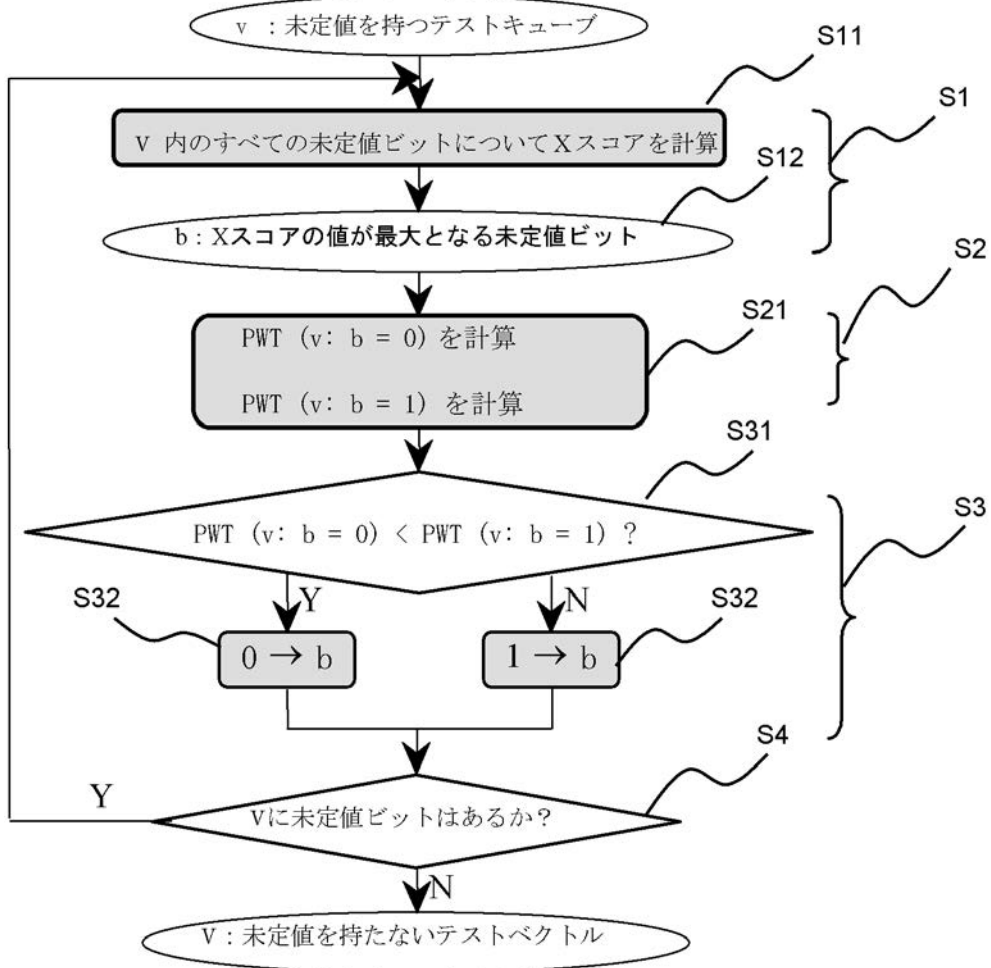
【図9】



【 図 10 】



【図2】



## フロントページの続き

(72)発明者 皆本 義弘

福岡県北九州市八幡西区三ヶ森2-8-18 403号

(72)発明者 伊達 博

福岡県福岡市早良区百道浜3-8-33 株式会社システム・ジェイディー内

審査官 中村 和正

(56)参考文献 特開2006-118903(JP,A)

特開2004-325233(JP,A)

国際公開第2004/027440(WO,A1)

鈴木 達也, 温 暁青, 梶原 誠司, 宮瀬 紘平, 皆本 義弘, スキャンテストにおけるキャプチャ時の低消費電力化に効果的なテスト集合変更について, 電子情報通信学会技術研究報告. ICD, 集積回路, 日本, 社団法人電子情報通信学会, 2005年12月, Vol.105, No.446(20051125)ICD2005-171, pp. 1-6, ISSN:09135685

WEN, Xiaoqing. YAMASHITA, Yoshiyuki. MORISHIMA, Shohei. KAJIHARA, Seiji. WANG, Laung-Terng. SALUJA, , Low-capture-power test generation for scan-based at-speed testing, Proceedings of IEEE International Test Conference 2005, 米国, IEEE, 2005年11月10日, Paper 39.2, pp. 1-10, ISBN: 0-7803-9038-5

(58)調査した分野(Int.Cl., DB名)

G01R 31/3183

G01R 31/28