

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02006/100835

発行日 平成20年8月28日(2008.8.28)

(43) 国際公開日 平成18年9月28日(2006.9.28)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/185 (2006.01)	H03K 19/185	5F092
H01L 29/82 (2006.01)	H01L 29/82	Z
H01L 29/66 (2006.01)	H01L 29/66	S

審査請求 有 予備審査請求 有 (全 48 頁)

出願番号	特願2007-509157 (P2007-509157)	(71) 出願人	503360115 独立行政法人科学技術振興機構 埼玉県川口市本町4丁目1番8号
(21) 国際出願番号	PCT/JP2006/301744	(74) 代理人	100087480 弁理士 片山 修平
(22) 国際出願日	平成18年2月2日(2006.2.2)	(74) 代理人	100137615 弁理士 横山 照夫
(31) 優先権主張番号	特願2005-85260 (P2005-85260)	(72) 発明者	田中 雅明 埼玉県さいたま市緑区井沼方647-6-201
(32) 優先日	平成17年3月24日(2005.3.24)	(72) 発明者	菅原 聡 神奈川県横浜市緑区長津田町4259 国立大学法人東京工業大学内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 論理回路および単電子スピントランジスタ

(57) 【要約】

ソース(102)と、ドレイン(104)と、前記ソースと前記ドレインに間に配置され、前記ソースと前記ドレインそれぞれの間にトンネル接合(103、105)を有する島(101)と、該島に容量結合したゲート(106)と、を具備し、前記ソース、前記ドレインおよび前記島の少なくとも1つが磁化方向の変更可能な強磁性体を含む単電子スピントランジスタ(100)を具備し、機能を不揮発的に再構成可能な論理回路および単電子スピントランジスタ。

【特許請求の範囲】**【請求項 1】**

ソースと、ドレインと、前記ソースと前記ドレインに間に配置され、前記ソースと前記ドレインそれぞれの間にトンネル接合を有する島と、該島に容量結合したゲートと、を具備し、

前記ソース、前記ドレインおよび前記島の少なくとも 1 つが磁化方向の変更可能な強磁性体を含む、単電子スピントランジスタを有する論理回路。

【請求項 2】

前記単電子スピントランジスタの前記ソースおよび前記ドレインが、同じ方向に磁化した強磁性体を含み、

前記島が、前記磁化方向を変更可能な強磁性体を含む単電子スピントランジスタである請求項 1 記載の論理回路。

【請求項 3】

前記単電子スピントランジスタは、基板を更に具備し、

前記島、前記ソース、前記ドレインおよび前記ゲートが前記基板上に形成され、

前記ソース、前記ドレインおよび前記ゲートは前記島の横部に形成され、

前記ゲートは、前記島との間の空間により、前記島と容量結合している単電子スピントランジスタである請求項 1 または 2 記載の論理回路。

【請求項 4】

前記単電子スピントランジスタは、基板を更に具備し、

前記基板上に前記ソース、前記島および前記ドレインが積層され、

前記ゲートが前記島の横部に形成され、

前記ゲートは、前記島との間の空間により、前記島と容量結合している単電子スピントランジスタである請求項 1 または 2 記載の論理回路。

【請求項 5】

前記単電子スピントランジスタの前記磁化方向の変更可能な強磁性体の磁化の方向を変えることによって、論理回路の機能を不揮発的に再構成する請求項 1 から 4 のいずれか一項記載の論理回路。

【請求項 6】

前記論理回路の機能はインバータ回路の論理しきい値である請求項 5 記載の論理回路。

【請求項 7】

前記論理回路の機能は 2 入力論理回路の機能である請求項 5 記載の論理回路。

【請求項 8】

複数の入力端子と、複数の前記単電子スピントランジスタを有し、複数の前記入力端子から複数の前記単電子スピントランジスタへのアナログ入力の重み付けを、各入力端子に接続された各単電子スピントランジスタの複数のゲート容量により行う請求項 1 から 7 のいずれか一項記載の論理回路。

【請求項 9】

ソースに出力端子が接続され、ゲートに入力端子が接続され、ドレインが第 1 の電源端子に接続された第 1 の単電子スピントランジスタと、

ドレインに前記出力端子が接続され、ゲートに前記入力端子が接続され、ソースが第 2 の電源端子に接続された第 2 の単電子スピントランジスタと、を具備し、

前記第 1 の単電子スピントランジスタおよび前記第 2 の単電子スピントランジスタが前記単電子スピントランジスタである第 1 のインバータ回路を備える請求項 1 から 6 記載の論理回路。

【請求項 10】

前記入力端子に“0”が入力した場合、前記第 1 の単電子スピントランジスタはオンしかつ前記第 2 の単電子スピントランジスタはオフし、

前記入力端子に“1”が入力した場合、前記第 1 の単電子スピントランジスタはオフしかつ前記第 2 の単電子スピントランジスタはオンする請求項 9 項記載の論理回路。

10

20

30

40

50

【請求項 11】

前記第 1 のインバータ回路が、

前記第 1 の単電子スピントランジスタの磁化配置が平行配置かつ前記第 2 の単電子スピントランジスタの磁化配置が反平行配置の場合と、

前記第 1 の単電子トランジスタの磁化配置が反平行配置かつ前記第 2 の単電子スピントランジスタの磁化配置が平行配置の場合とで論理しきい値を制御するインバータ回路である請求項 9 または 10 記載の論理回路。

【請求項 12】

前記第 1 のインバータ回路が、

前記入力端子は、第 1 の入力端子と第 2 の入力端子を含み、

前記第 1 の入力端子への入力と前記第 2 の入力端子への入力が、前記第 1 のインバータ回路にアナログ入力される請求項 9 から 11 のいずれか一項記載の論理回路。

【請求項 13】

前記第 1 のインバータ回路において、

前記第 1 の入力端子は、前記第 1 の単電子スピントランジスタの第 1 のゲートおよび前記第 2 の単電子スピントランジスタの第 1 のゲートに接続され、

前記第 2 の入力端子は、前記第 1 の単電子スピントランジスタの第 2 のゲートおよび前記第 2 の単電子スピントランジスタの第 2 のゲートに接続された請求項 12 記載の論理回路。

【請求項 14】

前記第 1 のインバータ回路において、

前記第 1 の入力端子からの入力の前記第 1 の単電子スピントランジスタと、前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けは概同じであり、

前記第 2 の入力端子からの入力の前記第 1 の単電子スピントランジスタと、前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けは概同じである請求項 11 または 12 記載の論理回路。

【請求項 15】

前記第 1 のインバータ回路において、

前記第 1 の単電子スピントランジスタの第 1 のゲート容量と、前記第 2 の単電子スピントランジスタの第 1 のゲート容量の容量値が概同じであり、

前記第 1 の単電子スピントランジスタの第 2 のゲート容量と、前記第 2 の単電子スピントランジスタの第 2 のゲート容量の容量値が概同じである請求項 13 記載の論理回路。

【請求項 16】

前記第 1 のインバータ回路において、

前記第 1 の入力端子からの入力の前記第 1 の単電子スピントランジスタおよび前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けと、前記第 2 の入力端子からの入力の前記第 1 の単電子スピントランジスタおよび前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けが、概同じである請求項 14 記載の論理回路。

【請求項 17】

前記第 1 のインバータ回路において、

前記第 1 の単電子スピントランジスタの前記第 1 のゲート容量および前記第 2 の単電子スピントランジスタの前記第 1 のゲート容量と、前記第 1 の単電子スピントランジスタの前記第 2 のゲート容量および前記第 2 の単電子スピントランジスタの前記第 2 のゲート容量の容量値は概同じである請求項 15 記載の論理回路。

【請求項 18】

前記第 1 のインバータ回路において、

前記第 1 の入力端子からの入力の前記第 1 の単電子スピントランジスタおよび前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けと、前記第 2 の入力端子からの入力の前記第 1 の単電子スピントランジスタおよび前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けが異なる請求項 16 記載の論理回路。

10

20

30

40

50

【請求項 19】

前記第 1 のインバータ回路において、

前記第 1 の単電子スピントランジスタの前記第 1 のゲート容量および前記第 2 の単電子スピントランジスタの前記第 1 のゲート容量と、前記第 1 の単電子スピントランジスタの前記第 2 のゲート容量および前記第 2 の単電子スピントランジスタの前記第 2 のゲート容量の容量値が異なる請求項 17 記載の論理回路。

【請求項 20】

前記第 1 のインバータ回路が、

前記第 1 の単電子スピントランジスタの磁化配置が反平行配置かつ前記第 2 の単電子スピントランジスタの磁化配置が平行配置の場合、および前記第 1 の単電子スピントランジスタの磁化配置が平行配置かつ前記第 2 の単電子スピントランジスタの磁化配置が反平行配置の場合とで、

それぞれ、2 入力 NOR 回路および 2 入力 NAND 回路の機能を有する請求項 12 から 19 記載の論理回路。

【請求項 21】

前記第 1 のインバータ回路の前記出力端子に、第 2 のインバータ回路の入力端子が接続された 2 入力 OR 回路と 2 入力 AND 回路の機能を有する請求項 12 から 20 記載の論理回路。

【請求項 22】

前記第 2 のインバータは、単電子スピントランジスタを用いたインバータ回路である請求項 21 記載の論理回路。

【請求項 23】

前記第 1 のインバータ回路と、

ソースに前記第 1 のインバータ回路の前記出力端子が接続され、ドレインに第 3 の電源端子が接続された第 3 の単電子スピントランジスタと、

ドレインに前記第 1 のインバータ回路の前記出力端子が接続され、ソースに第 4 の電源端子が接続された第 4 の単電子スピントランジスタを具備し、

前記第 3 の単電子スピントランジスタおよび前記第 4 の単電子スピントランジスタが前記単電子スピントランジスタである請求項 12 から 20 のいずれか一項記載の論理回路。

【請求項 24】

前記第 1 のインバータ回路から “0” が出力した場合、前記第 3 の単電子スピントランジスタはオンかつ前記第 4 の単電子スピントランジスタはオフし、

前記第 1 のインバータ回路から “1” が出力した場合、前記第 3 の単電子スピントランジスタはオフかつ前記第 4 の単電子スピントランジスタはオンする請求項 23 項記載の論理回路。

【請求項 25】

入力端子が、前記第 1 のインバータ回路の前記第 1 の入力端子および前記第 2 の入力端子に接続され、出力端子が前記第 3 の単電子スピントランジスタのゲートに接続され、論理しきい値が 0.5 より大きい第 3 のインバータ回路と、

入力端子が前記第 1 のインバータ回路の前記第 1 の入力端子および前記第 2 の入力端子に接続され、出力端子が前記第 4 の単電子スピントランジスタのゲートに接続され、論理しきい値が 0.5 より小さい第 4 のインバータ回路と

を更に具備する請求項 23 または 24 記載の論理回路。

【請求項 26】

前記第 1 の入力端子および前記第 2 の入力端子から前記第 3 のインバータ回路へのアナログ入力の重み付け、

および、前記第 1 の入力端子および前記第 2 の入力端子から前記第 4 のインバータ回路へのアナログ入力の重み付けは、

いずれも前記第 1 の入力端子および前記第 2 の入力端子から前記第 1 のインバータ回路へのアナログ入力の重み付けと概同じである請求項 25 記載の論理回路。

10

20

30

40

50

【請求項 27】

前記第3のインバータ回路および、前記第4のインバータ回路は、単電子トランジスタを用いたインバータ回路である請求項25または26記載の論理回路。

【請求項 28】

入力端子が、前記第1のインバータ回路の出力端子に接続された第5のインバータ回路を更に具備する前記23から27のいずれか一項記載の論理回路。

【請求項 29】

前記第5のインバータ回路は、単電子トランジスタを用いたインバータ回路である請求項28記載の論理回路。

【請求項 30】

前記第1の単電子スピントランジスタ、前記第2の単電子スピントランジスタ、前記第3の単電子スピントランジスタおよび前記第4の単電子スピントランジスタの磁化配置を平行配置と反平行配置に変更することにより、全2入力対称関数を実現できる回路を有する請求項23から29記載の論理回路。

【請求項 31】

基板と、
該基板上に設けられたソースと、
該ソース上に設けられ、前記ソースとの間にトンネル接合を有する島と、
該島上に設けられ、前記島との間にトンネル接合を有するドレインと、
前記島の横部に設けられ、前記島との間の空間により、前記島と容量結合しているゲートと、を具備し、
前記ソース、前記ドレインおよび前記島の少なくとも1つが磁化方向の変更可能な強磁性体を含む単電子スピントランジスタ。

【請求項 32】

基板と、
該基板上に設けられドレインと、
該ドレイン上に設けられ、前記ドレインとの間にトンネル接合を有する島と、
該島上に設けられ、前記島との間にトンネル接合を有するソースと、
前記島の横部に設けられ、前記島との間の空間により、前記島と容量結合しているゲートと、を具備し、
前記ソース、前記ドレインおよび前記島の少なくとも1つが磁化方向の変更可能な強磁性体を含む単電子スピントランジスタ。

【請求項 33】

前記ソースおよび前記ドレインが、同じ方向に磁化した強磁性体を含み、
前記島が、前記磁化方向を変更可能な強磁性体を含む請求項31または32記載の単電子スピントランジスタ。

【請求項 34】

前記島の磁化方向の変更は、前記ソースまたは前記ドレインから前記島にキャリアを注入することにより磁化反転を行う請求項33記載の単電子スピントランジスタ。

【請求項 35】

前記ソースおよび前記ドレインのいずれか一方は、他方より膜厚が厚い請求項34記載の単電子スピントランジスタ。

【請求項 36】

前記ソースおよび前記ドレインのいずれか一方は、他方よりスピン偏極率が高い請求項34記載の単電子スピントランジスタ。

【請求項 37】

前記島はキャリア誘起強磁性半導体膜である請求項33記載の単電子スピントランジスタ。

【請求項 38】

前記ゲートは前記島の両側に設けられ、

10

20

30

40

50

前記島の磁化方向の変更は、前記ゲート間に電圧を印加し、前記ソースまたは前記ドレインから前記島にキャリアを注入することにより行う請求項35記載の単電子スピントランジスタ。

【請求項39】

前記ゲート間に印加される電圧は、前記島のキャリア密度が減少するような電圧である請求項38記載の単電子スピントランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、論理回路および単電子スピントランジスタに関し、特に、その機能を再構成可能な論理回路および単電子スピントランジスタに関する。

10

【背景技術】

【0002】

プログラムによって機能を再構成可能な論理回路は、開発サイクルを早くできることから、製品開発サイクルの短い携帯電話などのモバイル機器に使用されている。さらに、ハードウェアの入れ替え可能な情報機器のキーデバイスとしても研究されている。再構成可能な論理回路としては、例えば、LUT (Look Up Table) 方式のFPGA (Field Programmable Logic Array) や MOS を用いたものが利用されている。しかし、これらは、揮発性である、素子数が多くなるといった問題がある。

【0003】

20

そこで、スピンMOSFETなどスピン依存伝導を有するスピントランジスタを用いた回路が、非特許文献1に開示されている。スピンMOSFETの構造は非特許文献図1(a)に開示されている。スピンMOSFETは、MOSFETと同様の構成であるが、ソースとドレインに導電性の強磁性体を含んでいる。ソースとドレインの磁化配置を平行にした場合(平行配置)と、反平行にした場合(反平行配置)とで、出力電流を変えることができる(非特許文献1 図1(b))。

【0004】

このように磁化の方向によって、コンダクタンスを変えられる特徴を利用し、インバータ回路の論理しきい値を制御可能な論理回路が開示されている(非特許文献2 図8: 従来技術1)。このインバータ回路は、一方のFETにスピンMOSFETを用い、スピンMOSFETの磁化配置を平行配置、反平行配置とすることで、インバータ回路の論理しきい値を制御することができる。

30

【0005】

また、このインバータ回路を用い、スピンMOSFETの磁化の配置を変更することで、AND回路機能とOR回路機能を有する論理回路が開示されている(非特許文献1の図2(a): 従来技術2)。さらに、4個のスピンMOSFETと3つのインバータ回路を用いることにより、2入力対称関数(AND、OR、XOR、NAND、NOR、XNOR、ALL0、ALL1)機能を有する機能が開示されている(非特許文献1の図4(a): 従来技術3)。

【0006】

40

本明細書においては、論理回路の、低レベルを“0”、高レベルを“1”、低レベルと高レベルの中間のレベルは、例えば“0.5”と表す。アナログ入力とは、論理回路の複数の入力端子に“0”、“1”の2入力を行うことにより、論理回路(例えばインバータ回路)には“0”、“1”の入力に加え、その間のレベル、例えば“0.5”の入力を行うことである。また、アナログ入力の重み付けとは、これら複数の入力端子に接続された論理回路内の複数トランジスタがある場合、ある入力端子の入力があるトランジスタに入力される割合のことである。従来技術においては、2入力の入力端子から、従来技術に係る論理回路にアナログ入力するため、容量を用いたフローティングゲートを用いている。論理回路の機能の不揮発的な再構成とは、同一の回路を用い、例えば、インバータ回路においては、不揮発的に論理しきい値が変更できることであり、例えば、2入力論理回路に

50

おいては、例えばAND回路機能とOR回路機能を不揮発的に変更できることである。

【非特許文献1】Tomohiro Matsuno、 Satoshi Sugahara、 Masaaki Tanaka、「Novel Reconfigurable Logic Gates Using Spin Metal-Oxide-Semiconductor Field-Effect Transistors」、Japanese Journal of Applied Physics、 社団法人応用物理学会、 2004年、 Vol. 43、 No. 9A、 pp. 6032-6037

【非特許文献2】田中雅明、「半導体スピネレクトロニクス」、応用物理、 社団法人応用物理学会、 2004年、 第73巻、 第4号、 pp. 514 - 515

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、スピนมوسفेटは、mosfetを基礎としており大きな電荷量を扱う。このため、スピนมوسفेटを用いた論理回路にアナログ入力するためには、大面積のフローティングゲートを使用する必要がある。例えば、1個のmosfetの面積に対し、100倍以上の面積のフローティングゲートが必要となる。これでは、論理回路全体の面積が大きくなってしまふ。さらに、スピนมوسفेटは、mosfetを基礎としているため、トランジスタ自体の消費電流や面積が大きい。

【0008】

本発明は、このような問題に鑑み、論理回路の機能の不揮発的な再構成が可能であり、回路面積が小さく、消費電力の小さい論理回路および単電子スピントランジスタを提供することを目的とする

【課題を解決するための手段】

【0009】

本発明は、ソースと、ドレインと、前記ソースと前記ドレインに間に配置され、前記ソースと前記ドレインそれぞれの間にトンネル接合を有する島と、該島に容量結合したゲートと、を具備し、前記ソース、前記ドレインおよび前記島の少なくとも1つが磁化方向の変更可能な強磁性体を含む単電子スピントランジスタを有する論理回路である。本発明によれば、単電子スピントランジスタの磁化方向を変更することにより、ソースとドレイン間のコンダクタンスを制御することができる。これにより、機能が不揮発的に再構成可能な論理回路を提供することができる。さらに単電子スピントランジスタを用いることにより、回路面積が小さく、消費電力の小さい論理回路を提供することができる。

【0010】

この単電子スピントランジスタの前記ソースおよび前記ドレインが、同じ方向に磁化した強磁性体を含み、前記島が、前記磁化方向を変更可能な強磁性体を含む単電子スピントランジスタとすることができる。これにより、より確実にソースとドレイン間のコンダクタンスを制御でき、論理回路の機能の不揮発的な再構築に適した論理回路を提供することができる。

【0011】

この単電子スピントランジスタは、基板を更に具備し、前記島、前記ソース、前記ドレインおよび前記ゲートが、前記基板上に形成され、前記ソース、前記ドレイン、前記ゲートは前記島の横部に形成され、前記ゲートは、前記島との間の空間によりおよび前記島と容量結合している単電子スピントランジスタとすることができる。これにより、ゲート容量の面積を小さくでき、回路面積を小さくすることができる。

【0012】

この単電子スピントランジスタは、基板を更に具備し、前記基板上に前記ソース、前記島および前記ドレインが積層され、前記ゲートが前記島の横部に形成され、前記ゲートは、前記島との間の空間により、前記島と容量結合している単電子スピントランジスタとすることができる。これにより、ゲート容量の面積を小さくでき、回路面積を小さくすることができる。

【0013】

本発明は、前記単電子スピントランジスタの前記磁化方向の変更可能な強磁性体の磁化

10

20

30

40

50

の方向を変えることによって、論理回路の機能を不揮発的に再構成する論理回路とすることができる。本発明によれば、さらに単電子スピントランジスタを用いることにより、回路面積を小さくし、消費電力を削減可能な論理回路を提供することができる。

【0014】

論理回路の機能はインバータ回路の論理しきい値とすることができる。また、2入力論理回路の機能とすることができる。

【0015】

本発明は、複数の入力端子と、複数の前記単電子スピントランジスタを有し、複数の前記入力端子から複数の前記単電子スピントランジスタへのアナログ入力の重み付けを、各入力端子に接続された各単電子スピントランジスタの複数のゲート容量により行う論理回路とすることができる。本発明によれば、複数のゲートと島の間のゲート容量により、アナログ入力を実現できるため、フローティングゲートが不要で、回路面積の小さな論理回路を提供することができる。

10

【0016】

本発明は、ソースに出力端子が接続され、ゲートに入力端子が接続され、ドレインが第1の電源端子に接続された第1の単電子スピントランジスタと、ドレインに前記出力端子が接続され、ゲートに前記入力端子が接続され、ソースが第2の電源端子に接続された第2の単電子スピントランジスタと、を具備し、前記第1の単電子スピントランジスタおよび前記第2の単電子スピントランジスタが前記単電子スピントランジスタである第1のインバータ回路を備える論理回路とすることができる。

20

【0017】

本発明は、前記入力端子に“0”が入力した場合、前記第1の単電子スピントランジスタはオンしかつ前記第2の単電子スピントランジスタはオフし、前記入力端子に“1”が入力した場合、前記第1の単電子スピントランジスタはオフしかつ前記第2の単電子スピントランジスタはオンする構成とすることができる。

【0018】

本発明は、第1のインバータ回路を、前記第1の単電子スピントランジスタの磁化配置が平行配置かつ前記第2の単電子スピントランジスタの磁化配置が反平行配置の場合と、前記第1の単電子スピントランジスタの磁化配置が反平行配置かつ前記第2の単電子スピントランジスタの磁化配置が平行配置の場合とで論理しきい値を制御するインバータ回路である構成とすることができる。

30

【0019】

本発明は、第1のインバータ回路を、前記入力端子は、第1の入力端子と第2の入力端子を含み、前記第1の入力端子への入力と前記第2の入力端子への入力が、前記第1のインバータ回路にアナログ入力される構成とすることができる。

【0020】

本発明は、第1のインバータ回路を、前記第1の入力端子は、前記第1の単電子スピントランジスタの第1のゲートおよび前記第2の単電子スピントランジスタの第1のゲートに接続され、前記第2の入力端子は、前記第1の単電子スピントランジスタの第2のゲートおよび前記第2の単電子スピントランジスタの第2のゲートに接続された構成とすることができる。

40

【0021】

本発明は、第1のインバータ回路を、前記第1の入力端子からの入力の前記第1の単電子スピントランジスタと、前記第2の単電子スピントランジスタへのアナログ入力の重み付けは概同じであり、前記第2の入力端子からの入力の前記第1の単電子スピントランジスタと、前記第2の単電子スピントランジスタへのアナログ入力の重み付けは概同じである構成とすることができる。

【0022】

本発明は、第1のインバータ回路を、前記第1の単電子スピントランジスタの第1のゲート容量と、前記第2の単電子スピントランジスタの第1のゲート容量の容量値が概同じ

50

であり、前記第1の単電子スピントランジスタの第2のゲート容量と、前記第2の単電子スピントランジスタの第2のゲート容量の容量値が概同じである構成とすることができる。

【0023】

本発明は、第1のインバータ回路を、前記第1の入力端子からの入力の前記第1の単電子スピントランジスタおよび前記第2の単電子スピントランジスタへのアナログ入力の重み付けと、前記第2の入力端子からの入力の前記第1の単電子スピントランジスタおよび前記第2の単電子スピントランジスタへのアナログ入力の重み付けが、概同じである構成とすることができる。これにより、2入力対称関数機能を不揮発的に再構成可能な論理回路を提供することができる。

10

【0024】

本発明は、第1のインバータ回路を、前記第1の単電子スピントランジスタの前記第1のゲート容量および前記第2の単電子スピントランジスタの前記第1のゲート容量と、前記第1の単電子スピントランジスタの前記第2のゲート容量および前記第2の単電子スピントランジスタの前記第2のゲート容量の容量値は概同じである構成とすることができる。これにより、2入力対称関数機能を不揮発的に再構成可能な論理回路を提供することができる。

【0025】

本発明は、第1のインバータ回路を、前記第1の入力端子からの入力の前記第1の単電子スピントランジスタおよび前記第2の単電子スピントランジスタへのアナログ入力の重み付けと、前記第2の入力端子からの入力の前記第1の単電子スピントランジスタおよび前記第2の単電子スピントランジスタへのアナログ入力の重み付けが異なる構成とすることができる。これにより、2入力非対称関数機能を不揮発的に再構成可能な論理回路を提供することができる。

20

【0026】

本発明は、第1のインバータ回路を、前記第1の単電子スピントランジスタの前記第1のゲート容量および前記第2の単電子スピントランジスタの前記第1のゲート容量と、前記第1の単電子スピントランジスタの前記第2のゲート容量および前記第2の単電子スピントランジスタの前記第2のゲート容量の容量値が異なる構成とすることができる。これにより、2入力非対称関数機能を不揮発的に再構成可能な論理回路を提供することができる。

30

【0027】

本発明は、第1のインバータ回路において、前記第1の単電子スピントランジスタの磁化配置が反平行配置かつ前記第2の単電子スピントランジスタの磁化配置が平行配置の場合、および前記第1の単電子スピントランジスタの磁化配置が平行配置かつ前記第2の単電子スピントランジスタの磁化配置が反平行配置の場合とで、それぞれ、2入力NOR回路および2入力NAND回路の機能を有する論理回路とすることができる。これにより、2入力NOR回路機能と2入力NAND回路機能を不揮発的に再構成可能な論理回路を提供することができる。

40

【0028】

本発明は、前記第1のインバータ回路の前記出力端子に、第2のインバータ回路の入力端子が接続された2入力OR回路と2入力AND回路の機能を有する論理回路とすることができる。これにより、2入力OR回路機能と2入力AND回路機能を不揮発的に再構成可能な論理回路を提供することができる。

【0029】

本発明は、第2のインバータ回路を、単電子スピントランジスタを用いたインバータ回路とすることができる。これにより、第1のインバータ回路からの出力が小さい場合も、より確実に論理回路として機能することができる。

【0030】

本発明は、前記第1のインバータと、ソースに前記第1のインバータの前記出力端子が

50

接続され、ドレインに第3の電源端子が接続された第3の単電子スピントランジスタと、ドレインに前記第1のインバータの前記出力端子が接続され、ソースに第4の電源端子が接続された第4の単電子スピントランジスタを具備し、前記第3の単電子スピントランジスタおよび前記第4の単電子スピントランジスタが前記単電子スピントランジスタである論理回路とすることができる。

【0031】

本発明は、前記第1のインバータ回路から“0”が出力した場合、前記第3の単電子スピントランジスタはオンしかつ前記第4の単電子スピントランジスタはオフし、前記第1のインバータ回路から“1”が出力した場合、前記第3の単電子スピントランジスタはオフしかつ前記第4の単電子スピントランジスタはオンする論理回路とすることができる。

10

【0032】

本発明は、入力端子が、前記第1のインバータ回路の前記第1の入力端子および前記第2の入力端子に接続され、出力端子が前記第3の単電子スピントランジスタのゲートに接続され、論理しきい値が0.5より大きい第3のインバータ回路と、入力端子が前記第1のインバータ回路の前記第1の入力端子および前記第2の入力端子に接続され、出力端子が前記第4の単電子スピントランジスタのゲートに接続され、論理しきい値が0.5より小さい第4のインバータ回路とを更に具備する論理回路とすることができる。

【0033】

本発明は、前記第1の入力端子および前記第2の入力端子から前記第3のインバータ回路へのアナログ入力の重み付け、および、第1の入力端子および前記第2の入力端子から前記第4のインバータ回路へのアナログ入力の重み付けは、いずれも前記第1の入力端子および前記第2の入力端子から前記第1のインバータ回路へのアナログ入力の重み付けと概同じである論理回路である。これにより、全2入力対称関数機能を不揮発的に再構成可能な論理回路を提供することができる。

20

【0034】

本発明は、前記第3のインバータ回路および、前記第4のインバータ回路は、単電子トランジスタを用いたインバータ回路である論理回路である。これにより、回路面積と消費電力を小さくすることができる。

【0035】

本発明は、入力端子が、前記第1のインバータ回路の出力端子に接続された第5のインバータ回路を更に具備する論理回路とすることができる。これにより、より確実に、全2入力対称関数機能を不揮発的に再構成可能な論理回路を提供することができる。

30

【0036】

本発明は、第5のインバータ回路は、単電子トランジスタを用いたインバータ回路とすることができる。これにより、第1のインバータ回路からの出力が小さい場合も、より確実に論理回路として機能することができる。

【0037】

本発明は、前記第1の単電子スピントランジスタ、前記第2の単電子スピントランジスタ、前記第3の単電子スピントランジスタおよび前記第4の単電子スピントランジスタの磁化配置を平行配置と反平行配置に変更することにより、全2入力対称関数を実現できる回路を有する論理回路とすることができる。

40

【0038】

本発明は、基板と、該基板上に設けられたソースと、該ソース上に設けられ、前記ソースとの間にトンネル接合を有する島と、該島上に設けられ、前記島との間にトンネル接合を有するドレインと、前記島の横部に設けられ、前記島との間の空間により、前記島と容量結合しているゲートと、を具備し、前記ソース、前記ドレインおよび前記島の少なくとも1つが磁化方向の変更可能な強磁性体を含む単電子スピントランジスタである。本発明によれば、各層の膜厚を正確に制御することができる。これにより、トランジスタの設計の自由度が増し、所望の特性を得ることが容易となる。また、縦方向にトランジスタを形成するため、トランジスタの面積を縮小し集積度を上げることができる。

50

【0039】

本発明は、基板と、該基板上に設けられドレインと、該ドレイン上に設けられ、前記ドレインとの間にトンネル接合を有する島と、該島上に設けられ、前記島との間にトンネル接合を有するソースと、前記島の横部に設けられ、前記島との間の空間により、前記島と容量結合しているゲートと、を具備し、前記ソース、前記ドレインおよび前記島の少なくとも1つが磁化方向の変更可能な強磁性体を含む単電子スピントランジスタである。本発明によれば、各層の膜厚を正確に制御することができる。これにより、トランジスタの設計の自由度が増し、所望の特性を得ることが容易となる。また、縦方向にトランジスタを形成するため、トランジスタの面積を縮小し集積度を上げることができる。

【0040】

本発明は、前記ソースおよび前記ドレインが、同じ方向に磁化した強磁性体を含み、前記島が、前記磁化方向を変更可能な強磁性体を含む単電子スピントランジスタとすることができる。本発明によれば、スピン注入磁化反転法を適用した際の閾値電流のばらつきを抑制することができる。

【0041】

本発明は、前記島の磁化方向の変更は、前記ソースまたは前記ドレインから前記島にキャリアを注入することにより島の磁化反転を行う単電子スピントランジスタとすることができる。本発明によれば、島の磁化方向の変更のための消費電力を削減することができる。

【0042】

本発明は、前記ソースおよび前記ドレインのいずれか一方は、他方より膜厚が厚い単電子スピントランジスタとすることができる。本発明によれば、膜厚が厚い方のソースまたはドレインから他方にキャリアを注入した場合は、島の磁化方向を反平行配置から平行配置に変更できる。また、膜厚が薄い方のソースまたはドレインから他方にキャリアを注入した場合は、島の磁化方向を平行配置から反平行配置に変更できる。

【0043】

本発明は、前記ソースおよび前記ドレインのいずれか一方は、他方よりスピン偏極極率が高い単電子スピントランジスタとすることができる。本発明によれば、スピン偏極率の高い方のソースまたはドレインから他方にキャリアを注入した場合は、島の磁化方向を反平行配置から平行配置に変更できる。また、スピン偏極率が低い方のソースまたはドレインから他方にキャリアを注入した場合は、島の磁化方向を平行配置から反平行配置に変更できる。

【0044】

本発明は、前記島はキャリア誘起強磁性半導体膜である単電子スピントランジスタとすることができる。本発明によれば、島に加わる電界により島内のキャリア密度を変化させ、島の磁化の強度をより簡易に変化させることができる。

【0045】

本発明は、前記ゲートは前記島の両側に設けられ、前記島の磁化方向の変更は、前記ゲート間に電圧を印加し、前記ソースまたは前記ドレインから前記島にキャリアを注入することにより行う単電子スピントランジスタとすることができる。本発明によれば、島の磁化方向を変更するための消費電力をさらに削減することができる。

【0046】

本発明は、前記ゲート間に印加される電圧は、前記島のキャリア密度が減少するような電圧である単電子スピントランジスタとすることができる。本発明によれば、島のキャリア密度を減少させ、磁化を小さくした状態で島の磁化配置を変更する。このため、島の磁化方向の変更のための消費電力をさらに削減することができる。

【発明の効果】

【0047】

本発明によれば、単電子スピントランジスタの磁化方向の変更によりそのコンダクタンスの制御が可能であり、これにより論理回路機能を不揮発的に再構成可能な論理回路が

10

20

30

40

50

可能となる。さらに、単電子スピントランジスタは、制御する電荷量が小さいため、ゲートと島の間の小さいゲート容量を組み合わせることによりアナログ入力が可能になる。よって、大面積のフローティングゲートを用いる必要がない。これにより、非常に小さな回路面積を実現できる。また、単電子スピントランジスタは、単電子を扱うため、低消費電力であり、トランジスタ自身の面積も小さくできる。以上より、論理回路機能を不揮発的に再構成可能であり、回路面積が小さく、消費電力の小さな論理回路および単電子スピントランジスタを提供することができる。

【図面の簡単な説明】

【0048】

【図1】図1は実施例に使用する単電子スピントランジスタ（SEST）の構造を説明するための模式図である。

10

【図2】図2は実施例に使用する単電子スピントランジスタ（SEST）の回路記号を説明するための図である。

【図3】図3は電流 - 電圧特性をシミュレーションした単電子スピントランジスタ（SEST）の各抵抗値、容量値を示した回路図である

【図4】図4は単電子スピントランジスタ（SEST）のドレイン電流 - ドレイン電圧特性のシミュレーション結果を示す図である。

【図5】図5は単電子スピントランジスタ（SEST）のドレイン電流 - ゲート電圧特性のシミュレーション結果を示す図である。

【図6】図6は実施例に使用する単電子スピントランジスタ（SEST）の製造方法を説明するための断面模式図である。

20

【図7】図7は実施例に使用する単電子スピントランジスタ（SEST）の構成を説明するための上視図である。

【図8】図8（a）から図8（c）は実施例1から4に使用する単電子スピントランジスタ（SEST）の磁化配置の変更を行う機構の構造を説明するための図であり、図8（a）は上視図、図8（b）はA-A断面図、図8（c）はB-B断面図である。

【図9】図9（a）から図9（f）は単電子スピントランジスタ（SEST）の他の構成および製造方法を説明するための断面図である。

【図10】図10は実施例1に係るインバータ回路の回路図である。

【図11】図11は実施例1に係るインバータ回路の入出力特性をシミュレーションした各抵抗値、容量値、電圧値を示した回路図である。

30

【図12】図12は実施例1に係るインバータ回路の入出力特性をシミュレーションした結果である。

【図13】図13は実施例2に係る論理回路の回路図である。

【図14】図14は実施例2に係る論理回路の出力をシミュレーションした各抵抗値、容量値、電圧値を示した回路図である。

【図15】図15は実施例2に係る論理回路のAND機能の出力をシミュレーションした結果を示した図である。

【図16】図16は実施例2に係る論理回路のOR機能の出力をシミュレーションした結果を示した図である。

40

【図17】図17は実施例1に係るインバータ回路の入出力特性のシミュレーション結果であり、SEST1およびSEST2の磁化配置がともに平行配置の場合の入出力特性を追加した図である。

【図18】図18は実施例3に係る論理回路の出力をシミュレーションした各抵抗値、容量値、電圧値を示した回路図である。

【図19】図19は実施例3に係る論理回路のAND機能、OR機能および“0101”機能の出力をシミュレーションした結果を示した図である。

【図20】図20は実施例4に係る論理回路の回路図（その1）である。図中Aが図21のAに、Bが図22のBに接続している。

【図21】図21は実施例4に係る論理回路の回路図（その2）である。図中Aが図20

50

の A に接続している。

【図 2 2】図 2 2 は実施例 4 に係る論理回路の回路図（その 3）である。図中 B が図 2 0 の B に接続している。

【図 2 3】図 2 3 は実施例 4 に係る論理回路において、“0”が入力した場合の動作を説明するための回路図である。

【図 2 4】図 2 4 は実施例 4 に係る論理回路において、“1”が入力した場合の動作を説明するための回路図である。

【図 2 5】図 2 5 は実施例 4 に係る論理回路において、“0.5”が入力した場合の動作を説明するための回路図である。

【図 2 6】図 2 6 は実施例 4 に係る論理回路の出力をシミュレーションした各抵抗値、容量値、電圧値を示した回路図（その 1）である。図中 A が図 2 7 の A に、B が図 2 8 の B に接続している。

【図 2 7】図 2 7 は実施例 4 に係る論理回路の出力をシミュレーションした各抵抗値、容量値、電圧値を示した回路図（その 2）である。図中 A が図 2 6 の A に接続している。

【図 2 8】図 2 8 は実施例 4 に係る論理回路の出力をシミュレーションした各抵抗値、容量値、電圧値を示した回路図（その 3）である。図中 B が図 2 6 B に接続している。

【図 2 9】図 2 9 は実施例 4 に係る論理回路の全 2 入力対称関数の出力をシミュレーションした結果を示した図である。

【図 3 0】図 3 0 (a) から図 3 0 (f) は実施例 5 に係る S E S T の製造方法を説明するための断面図である。

【図 3 1】図 3 1 (a) から図 3 1 (c) は実施例 5 に係る S E S T の島の磁化配置の変更の方法を説明するための模式図（その 1）である。

【図 3 2】図 3 2 (a) から図 3 2 (c) は実施例 5 に係る S E S T の島の磁化配置の変更の方法を説明するための模式図（その 2）である。

【図 3 3】図 3 3 は実施例 5 の変形例に係る S E S T の断面図である。

【図 3 4】図 3 4 (a) および図 3 4 (b) は実施例 6 に係る S E S T の島の磁化の強度を変化させる方法を説明するための図である。

【発明を実施するための最良の形態】

【0049】

はじめに、本発明の構成要素である単電子スピントランジスタ（以下、S E S T）について説明する。

【0050】

図 1 は S E S T の模式図である。S E S T は単電子トランジスタ（以下、S E T）の一部を強磁性体で構成したトランジスタである。そこで、まず、強磁性体を有さない S E T について説明する、S E T は、ソース 1 2 と、ドレイン 1 6 と、ソース 1 2 とドレイン 1 6 の間に配置され、ソース 1 2 とドレイン 1 6 それぞれの間にトンネル接合 1 4、1 8 を有する島 1 0 と、島 1 0 に絶縁膜 2 2（または空間）からなるゲート容量（容量値 C_g ）を介し接続されたゲート 2 0 を具備している。ここで、トンネル接合 1 4、1 8 は、例えば約 2 nm の絶縁膜で形成され、それぞれ容量値 C_1 、 C_2 を有している。S E T はトンネル接合 1 4、1 8 の断面積と膜厚が非常に小さいため、容量値 C_1 、 C_2 を非常に小さくできる。そうすると、容量ゲート 2 0 により島 1 0 の電子を 1 つずつ制御することができる。そのため、消費電力を非常に小さくすることができる。また、非常に小さな島を用いるためトランジスタ自体の面積を非常に小さくできる。

【0051】

次に、S E S T は、例えば、S E T のソース 1 2、ドレイン 1 6、島 1 0 の少なくとも 1 つが磁化反転可能な強磁性体を含むことで、実現することができる。例えば、図 1 のように、ソース 1 2 とドレイン 1 6 は同じ方向に磁化した強磁性体を含み、島 1 0 は磁化方向を変更可能な強磁性体を含む場合を説明する。島 1 0 を、ソース 1 2 およびドレイン 1 6 と同じ方向に磁化した（平行配置）場合は、トンネル磁気抵抗効果により、トンネル接合 1 4、1 8 の抵抗値 R_{1-p} 、 R_{2-p} を低くすることができる。一方、島 1 0 を、ソ

10

20

30

40

50

ース12およびドレイン16と反対方向に磁化した(反平行配置)場合は、トンネル磁気抵抗効果により、トンネル接合14、18の抵抗値 R_{1-ap} 、 R_{2-ap} を大きくすることができる。このように、磁化方向の変更可能な強磁性体の磁化の方向を変えることにより、ソース12とドレイン16間のコンダクタンスを不揮発的に制御することが可能となる。

【0052】

このような構造でなくとも、島10、ソース12、ドレイン16のうちいずれかが磁化方向が固定した強磁性体を含み、その他のいずれかが磁化方向の変更可能な強磁性体を含み、磁化方向の変更可能な強磁性体の磁化の方向を変えることにより、ソースとドレイン間のコンダクタンスを制御することが可能となる。

10

【0053】

しかし、ソース12およびドレイン16を同じ方向に磁化した強磁性体を含み、島10を磁化方向の変更可能な強磁性体を含む構造は、トンネル接合14、18両方について、磁化方向の変更により抵抗値を変化させることができる。このため、磁化方向の変更によるコンダクタンスの制御がより確実にでき、論理回路の機能を再構成するため好ましいトランジスタ構造である。

【0054】

図1に示したSESTの回路記号は、図2のように表す。符号31は島、32はソース、33は容量値 C_1 、平行配置の抵抗値 R_{1-p} 、反平行配置の抵抗値 R_{1-ap} を有するトンネル接合、34はドレイン、35は容量値 C_2 、平行配置の抵抗値 R_{2-p} 、反平行配置の抵抗値 R_{2-ap} を有するトンネル接合、36はゲート、37は容量値 C_g を有するゲート容量を表す。

20

【0055】

例えば、図3のように、 C_g が 1×10^{-19} F、 C_1 、 R_{1-p} 、 R_{1-ap} をそれぞれ、 99×10^{-19} F、9.9 M、60.8 M とし、 C_2 、 R_{2-p} 、 R_{2-ap} をそれぞれ、 1×10^{-19} F、0.1 M、0.95 M としたときの電流-電圧特性のシミュレーション結果を図4および図5に示す。

【0056】

図4はゲート電圧が0 V、温度が0.92 Kのときのドレイン電流 I_{ds} -ドレイン電圧 V_{ds} 特性である。実線が平行配置の場合のドレイン電流、破線が反平行配置の場合のドレイン電流である。 V_{ds} がクーロンしきい値電圧(V_{cth})以下のとき電流が流れていない。これはクーロン・ブロック効果によって電子のトンネリングが禁止されているためである。ドレイン電圧を印加することによりドレイン電流が階段状に増加するのは、島10を流れる電子が1個ずつ増えていることを示している。平行配置の場合は、反平行配置の場合に比べドレイン電流が大きく、コンダクタンスが小さい。このように、平行配置と反平行配置という磁化方向(磁化配置)を変えることによって、ソース32とドレイン34間のコンダクタンスを制御することができる。磁化方向は、次に磁化方向を変更するまで維持される。これにより、コンダクタンスを不揮発的に制御することができる。

30

【0057】

図5はドレイン電圧が V_{cth} 、温度が0.92 Kのときのドレイン電流 I_{ds} -ゲート電圧 V_{gs} 特性である。クーロン・ブロック効果によってドレイン電流が流れないゲート電圧が周期的に現れる。このように、ゲート電圧(または制御ゲート電圧)とゲート容量(または制御ゲート容量)を調整することにより、ドレイン電流の流れるまたは流れない状態を作り出すことができる。また、図4同様、平行配置の場合は、反平行配置の場合に比べドレイン電流が大きい。

40

【0058】

次に、SESTの製造方法の例について図6を用い説明する。図6は製造工程途中の断面図である。例えば絶縁体の基板40上に2層レジストとして、下層レジスト42、上層レジスト44を塗布し、例えば電子線露光装置を用い、所定のパターンを形成する。基板の真上、図中Aの方向から強磁性体として、例えば鉄やコバルトを蒸着し領域46とする

50

。その後、トンネル接合となる絶縁膜を例えば2 nm成膜する。さらに、BおよびCの方向から、例えば鉄やコバルトを蒸着し、それぞれ、領域48、領域50を形成する。

【0059】

これにより、上視図である図7のようなパターンが完成する。図7において、SESTを構成しない領域46、48、50は破線で示してある。この破線の領域はエッチングで除去される。基板40上に、領域46からなる島52と、領域48からなるソース54と、領域50からなるドレイン56が形成されている。島52とソース54、島52とドレイン56の間にはトンネル接合である絶縁膜(図示せず)が形成されている。さらに、基板40上に、第1のゲート51、第2のゲート53、制御ゲート55を形成することができる。すなわち、ソース54、ドレイン56およびゲート51、53、55は島52の横部に形成されている。このとき、ゲート51、53、55と島52の間は絶縁膜で覆われている場合や、空洞になっている場合がある。すなわち、ゲート51、53、55は、島52との間の絶縁膜、空洞並びに基板40によって形成される空間によって、島52と容量結合している。この絶縁膜、空洞および基板40で形成された空間の容量が、ゲート容量(または制御ゲート容量)となる。

10

【0060】

以上の構造のSESTは、島52を非常に小さくできるため非常に小さなゲート容量を有することができる。これにより、非常に小さい面積でアナログ入力を実現することができる。なお、ゲートの形成方法は、島の上部に絶縁膜を介し形成する方法、あるいは、基板40の下部に基板を介し形成する方法であっても良い。この場合も、島に容量結合したゲートを形成することができる。

20

【0061】

図8(a)から図8(c)は島の磁化方向(磁化配置)を変化させる機構の例を説明する図である。図8(a)は上視図、図8(b)はA-A面の断面図、図8(c)はB-B面の断面図である。図8(a)において、図7と同様に、島52、ソース54、ドレイン56が配置されている。図8(b)、図8(c)のように、トランジスタ上に層間絶縁膜57、配線58、層間絶縁膜59、配線60が形成されている。配線58と配線59は島52上で交差している。配線58と配線60にパルス電流を流すことにより、島52に磁界が発生し、島52の磁化方向(磁化配置)を変えることができる。

30

【0062】

SESTの他の構成例を製造方法とともに図9(a)から図9(f)を参照に説明する。図9(a)において、例えば酸化マグネシウム(MgO)基板70上に例えばMBE法を用い、ソース72として鉄(Fe)膜、トンネル接合74として酸化マグネシウム(MgO)膜、島76として鉄(Fe)膜、トンネル接合78として酸化マグネシウム(MgO)膜、ドレイン80として鉄(Fe)膜のヘテロ構造の積層膜を積層する。電子線露光およびイオンミリング法により、所定領域以外の積層膜をソース72までエッチングし、ピラー構造を形成する(図9(b))。ゲート容量を形成するための絶縁膜82をプラズマCVD法を用い窒化シリコン膜で形成する(図9(c))。ゲート84を蒸着法を用いアルミニウム(Al)で形成する(図9(d))。プラズマCVD法を用い窒化シリコン膜86を形成し、所定領域にコンタクトホールを形成する(図9(e))。配線層88を蒸着法を用いアルミニウム(Al)で形成する(図9(f))。

40

【0063】

以上により、基板70上にソース72、島76、ドレイン80が積層され、ゲート84は島76の横部に形成される。ゲート84は、島76とゲート84に間の絶縁膜で形成された空間により、島76と容量結合している。この場合、島76とゲート84の間の窒化シリコン膜82がゲート容量となる。島76は非常に薄いため、ゲート容量を非常に小さくすることができる。これにより、非常に小さい面積でアナログ入力を実現することができる。このように、ソース72、島76、ドレイン80が強磁性体を含むSESTを形成することができる。

【0064】

50

以上のように、SESTは単電子を取り扱うため、トランジスタ自体の消費電力が小さく、トランジスタ自体の面積も小さくできる。さらに、SESTは、島を流れる1個、2個といった電子を取り扱うため、制御される電荷量が小さく、島に容量結合したゲートを入力端子に接続することで、論理回路へのアナログ入力を実現できる。すなわち、複数の入力端子から複数のSESTへのアナログ入力の重み付けを、各入力端子から各SESTのゲートに接続されたゲート容量により行うことで、論理回路へのアナログ入力を実現できる。これにより、従来技術のような大面積のフローティングゲートが不要となる。よって、SESTを有する論理回路の回路面積を非常に小さくできる。しかも、図7または図9(a)から図9(f)で説明したように、SESTにおいては、島に容量結合するゲートのゲート容量を非常に小さくできる。これにより、さらに回路面積を縮小できる。

10

【実施例1】

【0065】

実施例1はSESTの変更可能な磁化方向を変化させることにより、論理しきい値を不揮発的に制御することができるインバータ回路の例である。

【0066】

図10に実施例1に係るインバータ回路の回路図を示す。このインバータ回路(第1のインバータ回路)はSEST1(100)、SEST2(110)を具備している。SEST1(100)のソース102は出力端子122に接続され、ドレイン104は第1の電源端子128に接続されている。トンネル接合103、105は、それぞれ島101とソース102間、島101とドレイン間104に配置され、それぞれ容量値 C_2 、 C_1 、平行配置の抵抗値 R_{2-p} 、 R_{1-p} 、反平行配置の抵抗値 R_{2-ap} 、 R_{1-ap} を有する。ゲート106は入力端子120に接続されている。制御ゲート108は接地されている。島101とゲート106間のゲート容量107の容量値は C_{in} 、島101と制御ゲート108間の制御ゲート容量109の容量値は C_b である。

20

【0067】

SEST2(110)のソース112は接地(第2の電源端子に接続)されており、ドレイン114は出力端子122に接続されている。トンネル接合113、115は、それぞれ島111とソース112間、島111とドレイン間114に配置され、それぞれ容量値 C_1 、 C_2 、平行配置の抵抗値 R_{1-p} 、 R_{2-p} 、反平行配置の抵抗値 R_{1-ap} 、 R_{2-ap} を有する。ゲート116は入力端子120に接続されている。制御ゲート118は電源 V_{dd} 126に接続されている。島111とゲート116間のゲート容量117の容量値は C_{in} 、島111と制御ゲート118間の制御ゲート容量119は C_b である。出力端子122は容量124を介し接地される。

30

【0068】

このインバータの機能について説明する。SEST1(100)は入力端子120の入力 V_{in} が“0”(低レベル)のときオンし、入力端子120の入力 V_{in} が“1”(高レベル)のときオフする。また、SEST2(110)は入力端子120が“0”のときオフし、入力端子120が“1”のときオンする。SEST1(100)とSEST2(110)で逆の動作をするのは以下の理由による。各SESTの制御ゲート108、118には異なる電圧(それぞれ、接地と V_{dd})が印加されている。これにより、SEST1(100)とSEST2(110)は異なるクーロンしきい値電圧を有する。そして、これらの電圧によって、逆の動作をするように、制御ゲート容量109、119で調整されているためである。

40

【0069】

実施例1の入出力特性のシミュレーションを行った。シミュレーションに使用した各容量値、抵抗値、電圧値を図11に示す。なお、容量の単位aFとは 1×10^{-18} Fを表している。入出力特性のシミュレーション結果を図12に示す。図12は、横軸は規格化した入力、縦軸は規格化した出力である。図中、ハッチングの部分は、この範囲の規格化入力に対し低レベル“0”または高レベル“1”が出力される範囲を示している。

【0070】

50

入力端子120の入力 V_{in} が“0”付近ではSEST1(100)はオンし、SEST2(110)はオフするため、出力端子122の出力 V_{out} は高レベルとなる、すなわち“1”となる。一方、 V_{in} が“1”付近ではSEST1(100)はオフし、SEST2(110)はオンするため、 V_{out} は低レベルとなる、すなわち“0”となる。
【0071】

V_{in} が“0.5”近傍では、SEST1(100)およびSEST2(110)はオンとなる。このときはSEST1(100)のトンネル接合103と105並びにSEST2(110)のトンネル接合113と115の抵抗値によって V_{out} が決まる。SEST1(100)のトンネル接合103、105の抵抗値が、SEST2(110)のトンネル接合113、115の抵抗値より大きい場合、 V_{out} はほとんど“0”となる。SEST1(100)の磁化配置が反平行配置であり、SEST2(110)の磁化配置が平行配置の場合、これを実現することができる。この場合の入出力曲線を図12の実線で示す。規格化出力は“0.25”程度になる。次段にA/D変換機能を有するインバータ回路を設け、反転増幅することにより、高レベル“1”を出力させることができる(図12中、実線から左に伸び、次に上に伸びる矢印)。

【0072】

SEST1(100)のトンネル接合103、105の抵抗値が、SEST2(110)のトンネル接合113、115の抵抗値より小さい場合、 V_{out} はほとんど“1”となる。SEST1(100)の磁化配置が平行配置であり、SEST2(110)の磁化配置が反平行配置の場合、これを実現することができる。この場合の入出力曲線を図12の点線で示す。規格化出力は“0.75”程度になる。同様に、次段にA/D変換機能を有するインバータ回路を設け反転増幅することにより、低レベル“0”を出力させることができる。(図12中、点線から右に伸び、次に下に伸びる矢印)。

【0073】

このように、SESTの磁化方向を変更することにより、インバータ回路の論理しきい値を変化させることができる。これにより、入力端子120の入力 V_{in} が“0.5”に対応した出力端子122の V_{out} をほとんど“0”か“1”に設定できる。以上のように、実施例1においては、従来技術1と同様に、磁化の方向によって論理しきい値を制御することができる。すなわち、磁化方向の変更可能な強磁性体の磁化方向を変えることによって、論理しきい値を不揮発的に制御することができる。さらに言えば、論理回路の機能を不揮発的に再構成することができる。

【0074】

以上のように、実施例1においては、磁化方向の変更可能な強磁性体の磁化方向を変えることによって、インバータ回路の論理しきい値を不揮発的に制御することができる。さらに、トランジスタとしてSESTを使用しているため、従来技術1に比べ、トランジスタの消費電力および面積を小さくすることができる。これにより、論理回路の消費電力および回路面積を小さくできる。

【実施例2】

【0075】

実施例2はSESTを用いたOR/AND回路機能を不揮発的に再構成可能な論理回路の例である。図13に実施例2に係る論理回路の回路図を示す。この論理回路は第1のインバータ回路(INV1)190と第2のインバータ回路(INV2)194を具備している。第1のインバータ回路(INV1)190は、SEST1(130)、SEST2(140)を具備している。INV1(190)は、入力端子を第1の入力端子と第2の入力端子とし、アナログ入力していることを除いては実施例1のインバータ回路と同じ回路構成であり、機能も同じである。

【0076】

その構成を説明する。SEST1(130)のソース132はINV1(190)の出力端子152に接続され、ドレイン134は第1の電源端子158に接続されている。トンネル接合133、135は、それぞれ島131とソース132間、島131とドレイン

10

20

30

40

50

間134に配置され、それぞれ容量値 C_2 、 C_1 、平行配置の抵抗値 $R_{s e s t 1 - p}$ 、反平行配置の抵抗値 $R_{s e s t 1 - a p}$ を有する。第1のゲート136aは第1の入力端子150に、第2のゲート136bは第2の入力端子151に接続されている。制御ゲート138は接地されている。島131と第1のゲート136a間の第1のゲート容量、並びに島131と第2のゲート136b間の第2のゲート容量137bの容量値は $C_{i n} / 2$ である。島131と制御ゲート138間の制御ゲート容量139の容量値は C_b である。

【0077】

SEST2(140)のソース142は接地され(第2の電源端子に接続され)、ドレイン144はINV1(190)の出力端子152に接続されている。トンネル接合143、145は、それぞれ島141とソース142間、島141とドレイン間144に配置され、それぞれ容量値 C_1 、 C_2 、平行配置の抵抗値 $R_{s e s t 2 - p}$ 、反平行配置の抵抗値 $R_{s e s t 2 - a p}$ を有する。第1のゲート146aは第1の入力端子150に、第2のゲート146bは第2の入力端子151に接続されている。制御ゲート148は電源 $V_{d d} 156$ に接続されている。島141と第1のゲート146a間の第1のゲート容量147a、並びに島141と第2のゲート146b間の第2のゲート容量147bの容量値は $C_{i n} / 2$ である。端子152は容量154を介し接地される。

10

【0078】

さらに、INV1(190)の出力端子152は第2のインバータ回路(INV2)194の入力端子180に接続されている。INV2(194)はタッカー型のインバータ回路であり、2つの単電子トランジスタ(SET)であるSET1(160)とSET2(170)を具備している。SET1(160)のソース162は出力端子182に接続され、ドレイン164は電源 $V_{d d} 188$ に接続されている。トンネル接合163、165は、それぞれ島161とソース162間、島161とドレイン間164に配置され、それぞれ容量値 C_2 、 C_1 、抵抗値 $R_{s e t 1}$ を有する。ゲート166はINV1(190)の出力端子152に接続されている。制御ゲート168は接地されている。島161とゲート166間のゲート容量167の容量値は $C_{i n}$ である。島161と制御ゲート168間の制御ゲート容量169の容量値は C_b である。

20

【0079】

SET2(170)のソース172は接地され、ドレイン174は出力端子182に接続されている。トンネル接合173、175は、それぞれ島171とソース172間、島171とドレイン間174に配置され、それぞれ容量値 C_1 、 C_2 、抵抗値 $R_{s e t 2}$ を有する。ゲート176はINV1(190)の出力端子152に接続されている。制御ゲート178は電源 $V_{d d} 186$ に接続されている。島171とゲート176間のゲート容量177の容量値は $C_{i n}$ である。出力端子182は容量184を介し接地される。

30

【0080】

実施例2に係る論理回路においては、第1の入力端子150が、同じ容量値 $C_{i n} / 2$ を介してSEST1(130)の島131、SEST2(140)の島141に容量結合しており、第2の入力端子151も同じ容量値 $C_{i n} / 2$ を介してSEST1(130)の島131、SEST2(140)の島141に容量結合している。

40

【0081】

すなわち、INV1(190)において、SEST1(130)の第1のゲート容量137aとSEST2(140)の第1のゲート容量147aの容量値は概同じであり、SEST1(130)の第2ゲート容量137bとSEST2(140)の第2のゲート容量147bの容量値は概同じである。さらに、SEST1(130)の第1のゲート容量137aおよびSEST2(140)の第1のゲート容量147aと、SEST1(130)の第2のゲート容量137bおよびSEST2(140)の第2のゲート容量147bの容量値は、概同じである。

【0082】

これにより、INV1(190)において、第1の入力端子150からの入力 V_A のS

50

EST1(130)とSEST2(140)へのアナログ入力の重み付けは概同じであり、同様に、第2の入力端子151からの入力 V_B のEST1(130)とSEST2(140)へのアナログ入力の重み付けは概同じである。さらに、第1の入力端子150からの入力 V_A のEST1(130)およびSEST2(140)へのアナログ入力の重み付けと、第2の入力端子151からの入力 V_B のEST1(130)およびSEST2(140)へのアナログ入力の重み付けも概同じである。

【0083】

ここで、容量値が概同じ、あるいは重み付けが概同じとは、以下に説明するように、INV1(190)へ概“0.5”で入力する範囲のことである。概“0.5”の入力とは、実施例2に係る論理回路がSESTの磁化方向の変更可能な強磁性体の磁化の方向を変えることによって、2入力AND回路機能と2入力OR回路機能を不揮発的に再構成することができる範囲の入力のことである。

10

【0084】

表1に入力の真理表を示す。 V_A が“0”、 V_B が“0”のとき、INV1(190)の入力 V_{in} は“0”、 V_A が“0”、 V_B が“1”のとき、INV1(190)の入力 V_{in} は“0.5”、 V_A が“1”、 V_B が“0”のとき、INV1(190)の入力 V_{in} は“0.5”、 V_A が“1”、 V_B が“1”のとき、INV1(190)の入力 V_{in} は“1”となる。このように、第1の入力端子150および第2の入力端子151から第1のインバータ回路(INV1)190へのアナログ入力が可能となる。

20

【表1】

V_A	V_B	V_{in}
“0”	“0”	“0”
“0”	“1”	“0.5”
“1”	“0”	“0.5”
“1”	“1”	“1”

30

【0085】

INV2(194)は、A-D変換の機能を果たし、INV1(190)の出力 V_m を反転増幅する。すなわち、INV1(190)の、ほとんど“0”または、ほとんど“1”の出力を、“1”または“0”に反転増幅する機能を有している。INV1(190)はSESTを用いているため、出力は非常に小さい。そこで、実施例2においては、INV2(194)として、小さい入力であっても駆動するSETを用いたタッカー型のインバータ回路を採用した。INV2(194)はSESTを用いられたインバータ回路の出力により駆動し、INV2(194)と同様の機能を有するインバータ回路であれば他の回路構成、あるいは他のトランジスタを用いたインバータ回路であっても良い。

40

【0086】

実施例2に係る論理回路の真理表を表2に示す。SEST1(130)の磁化配置が平行配置(P)かつSEST2(140)の磁化配置が反平行配置(AP)の場合の機能を説明する。 V_A が“0”、 V_B が“0”のときは、INV1(190)の出力端子152の出力 V_m は“1”となり、INV2(194)の出力端子182の出力 V_{out} は“0”となる。 V_A が“1”、 V_B が“1”のときは、 V_m は“0”となり、 V_{out} は

50

“1”となる。 V_A が“0”、 V_B が“1”または V_A が“1”、 V_B が“0”のとき、すなわち V_{in} が“0.5”のときは、 V_m はほとんど“1”となり、 V_{out} は“0”となる。このように、実施例2に係る論理回路は2入力AND回路として機能する。

【表2】

SEST1	SEST2	V_m			V_{out} (V_m の順に)			機能	
		V_A	0	0/1	1	V_A	0		1
AP	P	V_B	0	1/0	1	“0”	“1”	“1”	OR
P	AP		“1”	“1”	“0”	“0”	“0”	“1”	AND

10

【0087】

一方、SEST1(130)の磁化配置が反平行配置(AP)かつSEST2(140)の磁化配置が平行配置(P)の場合の機能を説明する。 V_A が“0”、 V_B が“0”のときは、INV1(190)の出力端子152の出力 V_m は“1”となり、INV2(194)の出力端子182の出力 V_{out} は“0”となる。 V_A が“1”、 V_B が“1”のときは、 V_m は“0”となり、 V_{out} は“1”となる。 V_A が“0”、 V_B が“1”または V_A が“1”、 V_B が“0”のとき、すなわち V_{in} が“0.5”のときは、 V_m はほとんど“0”となり、 V_{out} は“1”となる。このように、実施例2に係る論理回路は2入力OR回路として機能する。

【0088】

20

実施例2のINV1(190)の出力 V_m およびINV2(194)の出力 V_{out} のシミュレーションを行った。シミュレーションに使用した各容量値、抵抗値、電圧値を図14に示す。 V_m 、 V_{out} のシミュレーション結果を図15および図16に示す。図15がSEST1(130)の磁化配置が平行配置かつSEST2(140)が反平行配置の場合、図16がSEST1(130)の磁化配置が反平行配置かつSEST2(140)の磁化配置が平行配置の場合である。縦軸は、 V_A および V_B が“0”、または“1”の場合のそれぞれの V_m および V_{out} を、低レベルを“0”、高レベルを“1”で規格化したものである。 V_m 、 V_{out} それぞれの、下線が“0”、上線が“1”を示している。

【0089】

30

このように、磁化方向(磁化配置)の変更可能な強磁性体の磁化の方向(磁化配置)を変えることによって、2入力AND回路機能と2入力OR回路機能を不揮発的に再構成する論理回路を実現することができる。

【0090】

また、表2、図15および図16より、INV1(190)の出力 V_m は、SEST1(130)の磁化配置が反平行配置(AP)かつSEST2(140)の磁化配置が平行配置(P)の場合はNOR回路、SEST1(130)の磁化配置が平行配置(P)かつSEST2(140)の磁化配置が反平行配置(AP)の場合はNAND回路の機能を有している。すなわち、実施例2のINV1のみでも2入力論理回路の機能を不揮発的に再構成可能な論理回路として機能する。しかしながら、より“0”、“1”に近い出力を得るためには、実施例2のように、INV2(192)を付加した方が好ましい。

40

【0091】

以上のように、実施例2においては、磁化方向の変更可能な強磁性体の磁化の方向を変えることによって、2入力AND回路機能と2入力OR回路機能を不揮発的に再構成することができる。さらに、トランジスタにSESTを使用しているため、制御する電荷量が小さい。これにより、ゲートと島の間の小さいゲート容量を組み合わせることによりアナログ入力が可能になる。よって、従来技術2のように、トランジスタの100倍以上の面積が必要となるようなフローティングゲートを用いる必要がない。これにより、実施例2においては、従来技術2と比べ回路面積を非常に小さくすることができる。さらに、SESTは、トランジスタ自体の消費電力が小さく、トランジスタの面積も小さい。これら

50

より、AND回路機能とOR回路機能を不揮発的に再構成可能であり、回路面積が小さく、かつ消費電力の小さな論理回路を提供することができる。

【実施例3】

【0092】

実施例3はSESTを有する非対称論理回路の例である。まず、その原理を説明する。図11における、実施例1のインバータ回路において、SEST1(100)およびSEST2(110)の磁化配置がともに平行配置(P)の場合のインバータ回路の入出力曲線を図17の破線で示す。この場合、論理しきい値が0.5のインバータとなる。

【0093】

入力が“0.5”以下(V_1)の場合、出力は“0.5”より大きくなる。さらに、次段にA/D変換の機能を有するインバータ回路を接続することにより、ほとんど“0”を出力することができる。一方、入力が“0.5”以上の場合(V_2)、出力は“0.5”より小さくなる。さらに、次段にA/D変換の機能を有するインバータ回路を接続することにより、ほとんど“1”を出力することができる。

【0094】

SEST1(100)の磁化配置が平行配置(P)かつSEST2(110)の磁化配置が反平行配置(AP)の場合(図17の点線)、入力が V_1 、 V_2 いずれの場合も、出力は“0.5”より大きくなり、次段のA/D変換の機能を有するインバータ回路により、ほとんど“0”を出力することができる。一方、SEST1(100)の磁化配置が反平行配置(AP)かつSEST2(110)の磁化配置が平行配置(P)の場合(図17の実線)、入力が V_1 、 V_2 いずれの場合も、出力は“0.5”より小さくなり、次段のA/D変換の機能を有するインバータ回路により、ほとんど“1”を出力することができる。

【0095】

したがって、アナログ入力として、“0”、 V_1 ($< “0.5”$)、 V_2 ($> “0.5”$)、“1”を実現できれば、AND/OR/非対称関数“1010”の機能を不揮発的に再構成可能な論理回路が実現できる。

【0096】

そこで、図13(実施例2)の回路構成と同様で、第1の入力端子150に接続されるゲート容量137a、147aを $x C_{in}$ 、第2の入力端子151に接続されるゲート容量137b、147bを $(1-x) C_{in}$ に変更する。ここで x は $0 < x < 0.5$ である。

【0097】

図18は実施例3に係る論理回路の回路図を示す。回路構成は容量値を除いては実施例2と同じである。第1のインバータ回路INV1(432)は、SEST1(370)、SEST2(380)を具備している。SEST1(370)のソース372はINV1(432)の出力端子392に接続され、ドレイン374は第1の電源端子398に接続されている。島371とソース372間、島371とドレイン374間に、それぞれトンネル接合373、375を有する。第1のゲート376aは第1の入力端子390に、第2のゲート376bは第2の入力端子391に接続されている。制御ゲート378は接地されている。島371と第1のゲート376a間に第1のゲート容量377a、並びに島371と第2のゲート376b間の第2のゲート容量377bを有する。島371と制御ゲート378間に制御ゲート容量379を有する。

【0098】

SEST2(380)のソース382は接地され(第2の電源端子に接続され)、ドレイン384はINV1(432)の出力端子392に接続されている。島381とソース382間、島381とドレイン384間に、それぞれトンネル接合383、385を有する。第1のゲート386aは第1の入力端子390に、第2のゲート386bは第2の入力端子391に接続されている。制御ゲート388は電源 V_{dd} 396に接続されている。島381と第1のゲート386a間に第1のゲート容量387a、島381と第2のゲート386b間に第2のゲート容量387bを有する。出力端子392は容量394を介

10

20

30

40

50

し接地される。

【0099】

さらに、INV1(432)の出力端子392は第2のインバータ回路(INV2)430の入力端子420に接続されている。INV2(430)はタッカー型のインバータ回路であり、2つの単電子トランジスタ(SET)であるSET1(400)とSET2(410)を具備している。

【0100】

SET1(400)のソース402は出力端子422に接続され、ドレイン404は電源 V_{dd} 428に接続されている。島401とソース402間、島401とドレイン404間に、それぞれトンネル接合403、405を有する。ゲート406はINV1(432)の出力端子392に接続されている。制御ゲート408は接地されている。島401とゲート406間にゲート容量407、島401と制御ゲート408間の制御ゲート容量409を有する。

10

【0101】

SET2(410)のソース412は接地され、ドレイン414は出力端子422に接続されている。島411とソース412間、島411とドレイン414間に、それぞれトンネル接合413、415を有する。ゲート416はINV1(432)の出力端子392に接続されている。制御ゲート418は電源 V_{dd} 426に接続されている。島411とゲート416間にゲート容量417を、島411と制御ゲート418間に制御ゲート419を有する。出力端子422は容量424を介し接地される。

20

【0102】

このように、実施例3の回路構成は、SEST1(370)およびSEST2(380)のゲート容量が異なる以外は実施例2と同じである。

【0103】

実施例3に係る論理回路の入力の真理表を表3に、論理回路の真理表を表4に示す。また、実施例3の出力 V_{out} のシミュレーションを行った。シミュレーションに使用した各容量値、抵抗値、電圧値を図18に示す。 V_{out} のシミュレーション結果を図19に示す。図19は、第1の入力端子390の入力 V_A と第2の入力端子391の入力 V_B が、“0”または“1”のときの、各機能(AND, OR, “0101”)のINV2(430)の出力端子422の出力 V_{out} を示している。低レベルを“0”、高レベルを“1”で規格化し、AND、OR、“0101”それぞれの、下線が“0”、上線が“1”を示している。

30

【表3】

V_A	V_B	$V_{in}=XV_A+(1-X)V_B$
“0”	“0”	“0”
“0”	“1”	$V_2=1-X > “0.5”$
“1”	“0”	$V_1=X < “0.5”$
“1”	“1”	“1”

40

【表 4】

SEST1	SEST2	V_m				V_{out} (V_m の順に)				機能	
		V_A	0	0	1	1	V_B	0	1		0
AP	P		"1"	"0"	"0"	"0"	"0"	"1"	"1"	"1"	OR
P	AP		"1"	"1"	"1"	"0"	"0"	"0"	"0"	"1"	AND
P	P		"1"	"0"	"1"	"0"	"0"	"1"	"0"	"1"	"0101"

【0104】

SEST1 (370) の磁化配置が反平行配置 (AP) かつ SEST2 (380) の磁化配置が平行配置 (P) の場合は、実施例 3 に係る論理回路は OR 回路機能を有す。SEST1 (370) の磁化配置が平行配置 (P) かつ SEST2 (380) の磁化配置が反平行配置 (AP) の場合は、実施例 3 に係る論理回路は AND 機能を有する。SEST1 (370) および SEST2 (380) の磁化配置がともに平行配置 (P) の場合、実施例 3 に係る論理回路は、“0101” 機能を有する。

10

【0105】

実施例 3 においては、第 1 の入力端子 390 が、同じ容量値 3.76 aF のゲート容量 377 a、387 a を介して SEST1 (370) の島 371、SEST2 (380) の島 381 に容量結合しており、第 2 の入力端子 391 は同じ容量値 4.24 aF のゲート容量を介して SEST1 (370) の島 371、SEST2 (380) の島 381 に容量結合している。

20

【0106】

すなわち、INV1 (432) において、SEST1 (370) の第 1 のゲートゲート容量 377 a と SEST2 (380) の第 1 のゲート容量 387 a の容量値は概同じであり、SEST1 (370) の第 2 ゲート容量 377 b と SEST2 (380) の第 2 のゲート容量 387 b の容量値は概同じである。しかし、SEST1 (370) の第 1 のゲート容量 377 a および SEST2 (380) の第 1 のゲート容量 387 a と、SEST1 (370) の第 2 のゲート容量 377 b および SEST2 (380) の第 2 にゲート容量 387 b の容量値は、異なっている。

30

【0107】

これにより、INV1 (430) において、第 1 の入力端子 390 からの入力 V_A の SEST1 (370) と SEST2 (380) へのアナログ入力の重み付けは概同じであり、同様に、第 2 の入力端子 391 からの入力 V_B の SEST1 (370) と SEST2 (380) へのアナログ入力の重み付けは概同じである。しかし、第 1 の入力端子 390 からの入力 V_A の SEST1 (370) および SEST2 (380) へのアナログ入力の重み付けと、第 2 の入力端子 391 からの入力 V_B の SEST1 (370) および SEST2 (380) へのアナログ入力の重み付けは異なっている。

【0108】

ここで、容量値が概同じ、あるいは重み付けが概同じとは、実施例 3 に係る論理回路が SEST の磁化方向の変更可能な強磁性体の磁化の方向を変えることによって、2 入力 AND 回路機能と 2 入力 OR 回路機能を不揮発的に再構成することができる範囲のことである。また、容量値が異なる、あるいは重み付けが異なるとは、INV1 (432) への入力として V_A が “1” かつ V_B が “0” のときと、 V_A が “0” かつ V_B が “1” のときで異なることである。INV1 (432) の入力が変わるとは、実施例 3 の論理回路が、SEST1 (370) および SEST2 (380) がともに平行配置のとき、2 入力非対称関数機能を有する範囲で入力が変わることである。

40

【0109】

以上のように、第 1 の入力端子 390 および第 2 の入力端子 391 から INV1 (432) にアナログ入力することにより、AND 回路機能、OR 回路機能に加え、2 入力非対称関数である “0101” 機能を有する論理回路を実現することができる。実施例 3 にお

50

いても、INV2(430)を付加しなくとも、NAND回路機能、NOR回路機能、“1010”機能を有する論理回路となる。しかし、出力をより低レベル“0”、高レベル“1”に近づけるためには、A/D変換の反転増幅機能を有するINV2(430)を付加することが好ましい。

【0110】

以上のように、実施例3においては、磁化方向の変更可能な強磁性体の磁化の方向を変えることによって、2入力AND回路機能、2入力OR回路機能、および2入力非対称関数である“0101”機能を不揮発的に再構成することができる。しかも、ゲートと島の間の小さいゲート容量を組み合わせることによりアナログ入力が可能になり、回路面積を非常に小さくすることができる。さらに、SESTは、トランジスタ自体の消費電力が小さく、トランジスタの面積も小さい。これらより、AND回路機能とOR回路機能と“0101”機能を不揮発的に再構成可能であり、回路面積が小さく、かつ消費電力の小さな論理回路を提供することができる。

【実施例4】

【0111】

実施例4は、SESTの磁化方向の変更可能な強磁性体の磁化の方向を変えることによって、全2入力対称関数の機能を再構成する論理回路の例である。図20、図21、図22に回路構成図を示す。図20のAは図21のAに、図20のBは図22のBに接続している。第1のインバータ回路INV1(350)、SEST3(230)、SEST4(240)、第2のインバータ回路INV2(360)、第3のインバータ回路INV3(362)および第4のインバータ回路INV4(364)を具備している。INV1(350)、SEST3(230)、SEST4(240)は図20に、INV3(362)は図22に、INV4(364)は図21に記載している。第1のインバータ回路(INV1)350は実施例2の第1のインバータ回路190と同じ回路構成である。

【0112】

図20を参照し、INV1(350)は、2つのSESTであるSEST1(200)、SEST2(210)を具備している。SEST1(200)のソース202はINV1(350)の出力端子222に接続され、ドレイン204は第1の電源端子228に接続されている。トンネル接合203、205は、それぞれ島201とソース202の間、島201とドレイン204の間に配置され、それぞれ容量値 C_2 、 C_1 、平行配置の抵抗値 $R_{sest1-p}$ 、反平行配置の抵抗値 $R_{sest1-ap}$ を有する。第1のゲート206aは第1の入力端子220に、第2のゲート206bは第2の入力端子221に接続されている。制御ゲート208は接地されている。島201と第1のゲート206a間の第1のゲート容量207a、並びに島201と第2のゲート206b間の第2のゲート容量207bの容量値は $C_{in}/2$ である。島201と制御ゲート208間の制御ゲート容量209の容量値は C_b である。

【0113】

SEST2(210)のソース212は接地され(すなわち、第2の電源端子に接続され)、ドレイン214はINV1(350)の出力端子222に接続されている。トンネル接合213、215は、それぞれ島211とソース212の間、島211とドレイン214の間に配置され、それぞれ容量値 C_1 、 C_2 、平行配置の抵抗値 $R_{sest2-p}$ 、反平行配置の抵抗値 $R_{sest2-ap}$ を有する。第1のゲート216aは第1の入力端子220に、第2のゲート216bは第2の入力端子221に接続されている。制御ゲート218は電源 V_{dd} 226に接続されている。島211と第1のゲート216a間の第1のゲート容量217a、並びに島211と第2のゲート216b間の第2のゲート容量217bの容量値は $C_{in}/2$ である。

【0114】

次に、SEST3(230)のソース232はINV1(350)の出力端子222および端子252に接続され、ドレイン234は第3の電源端子258に接続されている。トンネル接合233、235は、それぞれ島231とソース232の間、島231とドレ

10

20

30

40

50

イン 2 3 4 の間に配置され、それぞれ容量値 C_2 、 C_1 、平行配置の抵抗値 $R_{s e s t 3-p}$ 、反平行配置の抵抗値 $R_{s e s t 3-a p}$ を有する。ゲート 2 3 6 は IN V 4 (3 6 4) の出力端子 3 4 2 に接続されている。制御ゲート 2 3 8 は接地されている。島 2 3 1 とゲート 2 3 6 間のゲート容量 2 3 7 の容量値は $C_{i n}$ である。島 2 3 1 と制御ゲート 2 3 8 間の制御ゲート容量 2 3 9 の容量値は C_b である。

【 0 1 1 5 】

S E S T 4 (2 4 0) のソース 2 4 2 は接地され (すなわち、第 4 の電源端子に接地され)、ドレイン 2 4 4 は IN V 1 (3 5 0) の出力端子である端子 2 2 2 および端子 2 5 2 に接続されている。トンネル接合 2 4 3、2 4 5 は、それぞれ島 2 4 1 とソース 2 4 2 の間、島 2 4 1 とドレイン 2 4 4 の間に配置され、それぞれ容量値 C_1 、 C_2 、平行配置の抵抗値 $R_{s e s t 4-p}$ 、反平行配置の抵抗値 $R_{s e s t 4-a p}$ を有する。ゲート 2 4 6 は IN V 3 (3 6 2) の出力端子 3 1 2 に接続されている。制御ゲート 2 4 8 は電源 $V_{d d}$ 2 5 6 に接続されている。島 2 4 1 とゲート 2 4 6 間のゲート容量 2 4 7 の容量値は $C_{i n}$ である。端子 2 5 2 は容量 2 5 4 を介し接地される。

10

【 0 1 1 6 】

S E S T 3 (2 3 0) はゲート 2 3 6 が “ 0 ” (低レベル) のときオンし、ゲート 2 3 6 が “ 1 ” (高レベル) のときオフする。また、S E S T 4 (2 4 0) はゲート 2 4 6 が “ 0 ” のときオフし、ゲート 2 4 6 が “ 1 ” のときオンする。これは、各 S E S T の制御ゲート 2 3 8、2 4 8 に異なる電圧 (それぞれ、接地と $V_{d d}$) を印加する。これにより、S E S T 3 (2 3 0) と S E S T 4 (2 4 0) は異なるクーロンしきい値電圧を有する。そして、これらの電圧によって、逆の動作をするように、制御ゲート容量 2 3 9、2 4 9 で調整されているためである。

20

【 0 1 1 7 】

IN V 2 (3 6 0) は S E T 1 (2 6 0) と S E T 2 (2 7 0) を具備する。S E T 1 (2 6 0) のソース 2 6 2 は出力端子 2 8 2 に接続され、ドレイン 2 6 4 は電源 $V_{d d}$ 2 8 8 に接続されている。トンネル接合 2 6 3、2 6 5 は、それぞれ容量値 C_2 、 C_1 、抵抗値 $R_{s e t 1}$ を有する。ゲート 2 6 6 は IN V 1 (3 5 0) の出力端子 2 2 2 に接続されている。制御ゲート 2 6 8 は接地されている。島 2 6 1 とゲート 2 6 6 間のゲート容量 2 6 7 の容量値は $C_{i n}$ である。島 2 6 1 と制御ゲート 2 6 8 間の制御ゲート容量 2 6 9 の容量値は C_b である。

30

【 0 1 1 8 】

S E T 2 (2 7 0) のソース 2 7 2 は接地され、ドレイン 2 7 4 は出力端子 2 8 2 に接続されている。トンネル接合 2 7 3、2 7 5 はそれぞれ、容量値 C_1 、 C_2 、抵抗値 $R_{s e t 2}$ を有する。ゲート 2 7 6 は IN V 1 (3 5 0) の出力端子 2 2 2 に接続されている。制御ゲート 2 7 8 は電源 $V_{d d}$ 2 8 6 に接続されている。島 2 7 1 とゲート 2 7 6 間のゲート容量 2 7 7 の容量値は $C_{i n}$ である。出力端子 2 8 2 は容量 2 8 4 を介し接地される。

【 0 1 1 9 】

図 2 2 を参照し、IN V 3 (3 6 2) は S E T 3 (2 9 0) と S E T 4 (3 0 0) を具備する。S E T 3 (2 9 0) のソース 2 9 2 は出力端子 3 1 2 に接続され、ドレイン 2 9 4 は電源 $V_{d d}$ 3 1 8 に接続されている。トンネル接合 2 9 3、2 9 5 は、それぞれ容量値 C_2 、 C_1 、抵抗値 $R_{s e t 3}$ を有する。第 1 のゲート 2 9 6 a は第 1 の入力端子 3 1 0 に、第 2 のゲート 2 9 6 b は第 2 の入力端子 3 1 1 に接続されている。制御ゲート 2 9 8 は接地されている。島 2 9 1 と第 1 のゲート 2 9 6 a 間の第 1 のゲート容量 2 9 7 a、並びに島 2 9 1 と第 2 のゲート 2 9 6 b 間の第 2 のゲート容量 2 9 7 b の容量値は $C_{i n} / 2$ である。島 2 9 1 と制御ゲート 2 9 8 間の制御ゲート容量 2 9 9 の容量値は C_b である。

40

【 0 1 2 0 】

S E T 4 (3 0 0) のソース 3 0 2 は接地され、ドレイン 3 0 4 は出力端子 3 1 2 に接続されている。トンネル接合 3 0 3、3 0 5 は、それぞれ容量値 C_1 、 C_2 、抵抗値 R_s

50

e_{t4} を有する。第1のゲート306aは第1の入力端子310に、第2のゲート306bは第2の入力端子311に接続されている。制御ゲート308は電源 V_{dd} 316に接続されている。島301と第1のゲート306a間の第1のゲート容量307a、並びに島301と第2のゲート306b間の第2のゲート容量307bの容量値は $C_{in}/2$ である。出力端子312は容量314を介し接地され、さらにSEST4のゲート246に接続されている。第3のインバータ回路(INV3)362は論理しきい値 V_{th} が0.5より小さくなるように設計されている。

【0121】

図21を参照し、INV4(364)はSET5(320)とSET6(330)を具備する。SET5(320)のソース322は出力端子342に接続され、ドレイン324は電源 V_{dd} 348に接続されている。トンネル接合323、325は、それぞれ容量値 C_2 、 C_1 、抵抗値 R_{set5} を有する。第1のゲート326aは第1の入力端子340に、第2のゲート326bは第2の入力端子341に接続されている。制御ゲート328は接地されている。島321と第1のゲート326a間の第1のゲート容量327a、並びに島321と第2のゲート326b間の第2のゲート容量327bの容量値は $C_{in}/2$ である。島321と制御ゲート328間の制御ゲート容量329の容量値は C_b である。

【0122】

SET6(330)のソース332は接地され、ドレイン334は出力端子332に接続されている。トンネル接合333、335は、それぞれ容量値 C_1 、 C_2 、抵抗値 R_{set6} を有する。第1のゲート336aは第1の入力端子340に、第2のゲート336bは第2の入力端子341に接続されている。制御ゲート338は電源 V_{dd} 346に接続されている。島331と第1のゲート336a間の第1のゲート容量337a、並びに島331と第2のゲート336b間の第2のゲート容量337bの容量値は $C_{in}/2$ である。出力端子342は容量344を介し接地され、さらにSEST3(230)のゲート236に接続されている。第4のインバータ回路(INV4)264は論理しきい値 V_{th} が0.5より大きくなるように設計されている。

【0123】

実施例4においては、第1の電源端子228と第3の電源端子258は同じ V_{dd} に接続している。また第2の電源端子212と第4の電源端子242は接地している。しかし、論理回路352が機能すれば、第1の電源端子228と第3の電源端子258、並びに第2の電源端子212と第4の電源端子228は異なる電源に接続されても良い。

【0124】

また、第2のインバータ回路(INV2)360は、SETを使用したタッカー型インバータである。INV2は、A-D変換の機能を果たし、INV1(350)の出力 V_m を反転増幅するためのものである。その機能を果たせば、SETを用いたインバータ回路である必要はない。しかし、論理回路352の出力は非常に小さいため、小さい出力でも駆動するインバータ回路としてSETが好ましい。

【0125】

実施例4においては、第3のインバータ回路(INV3)362、第4のインバータ回路(INV4)364は、SETを用いそれぞれ論理しきい値0.5以下、0.5以上のタッカー型インバータ回路を用いている。INV3(362)、INV4(364)は、論理しきい値がそれぞれ0.5以下、0.5以上であれば機能する。例えば、通常のMOSFETを用いたインバータ回路であっても良い。しかし、アナログ入力のためのフローティングゲートが必要になってしまう。また、消費電力も大きくなってしまふ。そこで、回路面積の縮小、消費電力削減を実現するには、実施例4のようにSETを使用することが好ましい。

【0126】

INV3(362)の第1の入力端子310およびINV4(364)の第1の入力端子340は、INV1(350)の第1の入力端子220と同じ入力 V_A に接続されてい

10

20

30

40

50

る。INV 3 (362) の第 2 の入力端子 311 および INV 4 (364) の第 2 の入力端子 341 は、INV 1 (350) の第 2 の入力端子 221 と同じ入力 V_B に接続されている。すなわち、INV 3 (362) の入力端子は、INV 1 (350) の第 1 の入力端子 220 および第 2 の入力端子 221 に接続されている。また、INV 4 (364) の入力端子は、INV 1 (回路 350) の第 1 の入力端子 220 および第 2 の入力端子 221 に接続されている。

【0127】

INV 3 (362) の SET 3 の第 1 のゲート容量 297 a、第 2 のゲート容量 297 b、SET 4 の第 1 のゲート容量 307 a、および第 2 のゲート容量 307 b の容量値は概同じであり、INV 4 (364) の SET 5 の第 1 のゲート容量 327 a、第 2 のゲート容量 327 b、SET 6 の第 1 のゲート容量 337 a、および第 2 のゲート容量 337 b の容量値は概同じである。INV 1 (350) の SEST 1 の第 1 のゲート容量 207 a、第 2 のゲート容量 207 b、SEST 2 の第 1 のゲート容量 217 a、および第 2 のゲート容量 217 b の容量値は概同じである。

10

【0128】

よって、第 1 の入力端子 310 および第 2 の入力端子 311 から INV 3 (362) へのアナログ入力の重み付け、および第 1 の入力端子 340 および第 2 の入力端子 341 から INV 4 (364) へのアナログ入力の重み付けは、第 1 の入力端子 220 および第 2 の入力端子 221 から INV 1 (350) へのアナログ入力の重み付けと概同じである。

20

【0129】

ここで、容量値が概同じ、あるいは重み付けが概同じとは、実施例 4 に係る論理回路が、SEST の磁化方向の変更可能な強磁性体の磁化の方向を変えることによって、全 2 入力対称関数機能を不揮発的に再構成することができる範囲のことである。

【0130】

これにより、実施例 2 と同じように、INV 1 (350)、INV 3 (362)、INV 4 (364) への“0”、“0.5”、“1”のアナログ入力を実現している。INV 3 (362) は、論理しきい値が 0.5 以下であるから、入力 V_{in} が“0”、“0.5”、“1”に対し、それぞれ、“1”、“0”、“0”を出力 $V_{INV3-out}$ する。一方、INV 4 (364) は、論理しきい値が 0.5 以上であるから、入力 V_{in} が“0”、“0.5”、“1”に対し、それぞれ、“1”、“1”、“0”を出力 $V_{INV4-out}$ する。

30

【0131】

以下、実施例 4 に係る論理回路の動作につき説明する。まず、図 23 を参照に、 V_A が“0”、 V_B が“0”の場合を説明する。INV 3 (362) 部は図 22 と、INV 4 (364) 部は図 21 と同じである。 V_{in} は“0”であり、SEST 1 (200) がオン、SEST 2 (210) がオフとなる。INV 4 (364) の出力 $V_{INV4-out}$ は“1”のため、SEST 3 (230) はオフする。一方、INV 3 (362) の出力 $V_{INV3-out}$ は“1”のため、SEST 4 (240) はオンする。よって、図 23 の矢印のように、第 1 の電源端子 228 から SEST 1 (200)、INV 1 (350) の出力端子 222、SEST 4 (240) を経由しグランドに電流が流れる。このとき、SEST 1 (200) と SEST 4 (240) の抵抗値によって、実施例 4 に係る論理回路の出力 V_{out} が変わる。

40

【0132】

SEST 1 (200) の抵抗値が SEST 4 (240) の抵抗値より大きい場合、端子 252 の出力 V_m はほとんど“0”、 V_{out} は“1”となる。一方、SEST 1 (200) の抵抗値が SEST 4 (240) の抵抗値より小さい場合、端子 252 の出力 V_m はほとんど“1”、 V_{out} は“0”となる。SEST 1 (200) および SEST 4 (240) におけるトンネル接合の抵抗値を $R_{sest4-p} < R_{sest1-p} < R_{sest1-a-p} < R_{sest4-a-p}$ と設計しておけば、SEST 4 (240) の磁化配置を変

50

えることにより、出力を再構成できる。SEST4(240)の磁化配置が平行配置(P)のとき V_{out} が“1”、反平行配置(AP)のとき V_{out} が“0”となる。

【0133】

次に、図24を参照に、 V_A が“1”、 V_B が“1”の場合を説明する。INV3(362)部は図22と、INV4(364)部は図21と同じである。 V_{in} は“1”であり、SEST1(200)がオフ、SEST2(210)がオンとなる。INV4(364)の出力 $V_{Inv4-out}$ は“0”のため、SEST3(230)はオンする。一方、INV3(362)の出力 $V_{Inv3-out}$ は“0”のため、SEST4(240)はオフする。よって、図24の矢印のように、第3の電源端子258からSEST3(230)、INV1(350)の出力端子222、SEST2(210)を經由してグラウンドに電流が流れる。このとき、SEST2(210)とSEST3(230)の抵抗値によって、実施例4に係る論理回路の出力 V_{out} が変わる。

10

【0134】

SEST2(210)の抵抗値がSEST3(230)の抵抗値より大きい場合、端子252の出力 V_m はほとんど“1”、 V_{out} は“0”となる。一方、SEST2(210)の抵抗値がSEST3(230)の抵抗値より小さい場合、端子252の出力 V_m はほとんど“0”、 V_{out} は“1”となる。SEST2(210)およびSEST3(230)におけるトンネル接合の抵抗値を $R_{sest3-p} < R_{sest2-p} < R_{sest2-ap} < R_{sest3-ap}$ と設計しておけば、SEST3(230)の磁化配置を変えることにより、出力を再構成できる。SEST3(230)の磁化配置が平行配置(P)のとき V_{out} が“0”、反平行配置(AP)のとき V_{out} が“1”となる。

20

【0135】

次に、図25を参照に、 V_A が“0”、 V_B が“1”または V_A が“1”、 V_B が“0”の場合を説明する。INV3(362)部は図22と、INV4(364)部は図21と同じである。 V_{in} は“0.5”であり、SEST1(200)、SEST2(210)ともオンとなる。INV4(364)の論理しきい値は0.5より大きいため、出力 $V_{Inv4-out}$ は“1”となり、SEST3(230)はオフする。一方、INV3(362)の論理しきい値が0.5より小さいため、出力 $V_{Inv3-out}$ は“0”となり、SEST4(240)はオフする。よって、図25の矢印のように、第1の電源端子228からSEST1(200)、SEST2(210)を經由してグラウンドに電流が流れる。このとき、SEST1(200)とSEST2(210)の抵抗値によって、実施例4に係る論理回路の出力 V_{out} が変わる。

30

【0136】

SEST1(200)の抵抗値がSEST2(210)の抵抗値より大きい場合、端子252の出力 V_m はほとんど“0”、 V_{out} は“1”となる。一方、SEST1(200)の抵抗値がSEST2(210)の抵抗値より小さい場合、端子242の出力 V_m はほとんど“1”、 V_{out} は“0”となる。SEST1(200)およびSEST2(210)におけるトンネル接合の抵抗値を $R_{sest1-p} = R_{sest2-p} < R_{sest1-ap} = R_{sest2-ap}$ と設計しておけば、SEST1(200)とSEST2(210)の磁化配置を変えることにより、出力を再構成できる。SEST1(200)の磁化配置が平行配置(P)かつSEST2(210)の磁化配置が反平行配置(AP)のとき V_{out} が“0”。SEST1(200)の磁化配置が反平行配置(AP)かつSEST2(210)の磁化配置が平行配置(P)のとき V_{out} が“1”となる。

40

【0137】

以上の実施例4に係る論理回路の真理表を表5に示す。実施例4の出力 V_{out} のシミュレーションを行った。シミュレーションに用いた各抵抗値、容量値、電圧値を図26、図27、図28に示す。図26のAは図27のAに、図26のBは図28のBに接続している。シミュレーションした結果を図29に示す。図29は、第1の入力端子220の入力 V_A と第2の入力端子221の入力 V_B が、“0”または“1”のときの、各機能(OR、ALL1、XOR、NAND、AND、XNOR、ALL0、NOR)のINV2(

50

360)の出力端子282の出力 V_{out} を示している。低レベルを“0”、高レベルを“1”で規格化し、OR、ALL1、XOR、NAND、AND、XNOR、ALL0、NORそれぞれの、下線が“0”、上線が“1”を示している。

【表5】

SEST1	SEST2	SEST3	SEST4	V_m			V_{out} (V_m の順に)			機能	
				V_A	0	0/1	1	0	1		0
				V_B	0	1/0	1				
AP	P	AP	AP		“1”	“0”	“0”	“0”	“1”	“1”	OR
AP	P	AP	P		“0”	“0”	“0”	“1”	“1”	“1”	ALL1
AP	P	P	AP		“1”	“0”	“1”	“0”	“1”	“0”	XOR
AP	P	P	P		“0”	“0”	“1”	“1”	“1”	“0”	NAND
P	AP	AP	AP		“1”	“1”	“0”	“0”	“0”	“1”	AND
P	AP	AP	P		“0”	“1”	“0”	“1”	“0”	“1”	XNOR
P	AP	P	AP		“1”	“1”	“1”	“0”	“0”	“0”	ALL0
P	AP	P	P		“0”	“1”	“1”	“1”	“0”	“0”	NOR

10

【0138】

SEST1(200)、SEST2(210)、SEST3(230)およびSEST4(240)の磁化配置を平行配置(P)と反平行配置(AP)に変更することにより、すなわち、磁化方向を変更可能な強磁性体の磁化の方向を変えることにより、全2入力対称関数(OR, ALL1, XOR, NAND, AND, XNOR, ALL0, NOR)機能を不揮発的に再構成可能な論理回路を実現することができる。さらに、実施例3のように、第1の入力端子と第2の入力端子から第1のインバータ回路、第3にインバータ回路、第4のインバータ回路へのアナログ入力のリミットをかけることにより、2入力非対称関数を不揮発的に再構成することもできる。

20

【0139】

表5より、INV2(360)を経ないINV1(350)の出力端子222の出力 V_m によっても、全2入力対称関数の機能を再構成可能である。しかし、より“0”、“1”に近い出力を得るためには、実施例4のように、INV2(360)を付加した方が好ましい。

30

【0140】

以上のように、実施例4においては、磁化方向を変更可能な強磁性体の磁化の方向を変えることにより、全2入力対称関数機能を不揮発的に再構成可能な論理回路を実現することができる。さらに、トランジスタにSESTを使用しているため、制御する電荷量が小さい。これにより、ゲートと島の間の小さいゲート容量を組み合わせることによりアナログ入力が可能になる。よって、従来技術3のように、トランジスタの100倍以上の面積が必要となるようなフローティングゲートを用いる必要がない。これにより、実施例4においては、従来技術4と比べ非常に小さな回路面積で、同じ機能を実現することができる。さらに、SESTは、トランジスタ自体の消費電力が小さく、トランジスタの面積も小さい。これらより、全2入力対称関数機能を不揮発的に再構成可能であり、回路面積が小さく、かつ消費電力の小さな論理回路を提供することができる。

40

【実施例5】

【0141】

実施例5は図9(a)から図9(f)を用い説明したSESTである。図30(a)から図30(f)を用い、実施例5に係るSESTの製造方法につき、再度詳細に説明する。酸化マグネシウム(MgO)基板70上に例えばMBE法を用い、ソース72として膜厚が20nmの鉄(Fe)膜、トンネル接合74として膜厚が2.5nmの酸化マグネシウム(MgO)膜、島76として膜厚が5nmの鉄(Fe)膜、トンネル接合78として膜厚が2.5nmの酸化マグネシウム(MgO)膜、ドレイン80として膜厚が50nm鉄(Fe)膜のヘテロ構造の積層膜を積層する(図30(a))。電子線露光およ

50

びイオンミリング法により、所定領域以外の積層膜をソース72までイオンミリング法を用いエッチングし、50nm×100nmのピラー構造を形成する(図30(b))。ゲート容量を形成するための絶縁膜82として、プラズマCVD法を用い膜厚が10nmの窒化シリコン膜を形成する。窒化シリコン膜を等方的に成膜することにより、ピラーの横にも10nmの窒化シリコン膜を成膜する(図30(c))。ゲート84として、蒸着法を用い膜厚が20nmのアルミニウム(Al)膜を形成する(図30(d))。アルミニウム膜は斜め方向から蒸着する。プラズマCVD法を用い膜厚が40nmの窒化シリコン膜86を形成し、所定領域にコンタクトホールを形成する(図30(e))。配線層88を蒸着法を用いアルミニウム(Al)膜で形成する(図30(f))。

【0142】

以上のように、MBE法、プラズマCVD法および蒸着法を用い各膜を形成することにより、膜厚を正確に制御し成膜することができる。特に、MBE法では1原子層(約0.2~0.3nm)程度の膜厚を制御することができる。このため、島76およびトンネル接合74および78の膜厚を1原子層程度の厚さで制御することができる。また、プラズマCVD法においても1nm程度の膜厚を制御することができる。このため、絶縁膜82の膜厚を1nm程度の厚さで制御することができる。ソース72、島76およびドレイン80として用いられる材料は強磁性体であれば良く、例えば、鉄やコバルト(Co)等の単体金属、鉄コバルト(FeCo)等の合金、砒化マンガン(MnAs)砒化クロム(CrAs)等の化合物金属、GaMnAs、Fe₃Si等の強磁性半導体を用いることができる。トンネル接合74および78として用いられる材料は絶縁材料であれば良く、例えば、MgO等の酸化物、GaAsやAlAs等の化合物半導体を用いることができる。

【0143】

次に、図31(a)から図32(c)を用い、実施例5に係るSESTの島76の磁化方向をスピン注入により変更する方法(スピン注入磁化反転法)について説明する。図31(a)から図32(c)は、ソース72、トンネル接合74、島76、トンネル接合78およびドレイン80を模式化した図である。電子90の矢印は電子(キャリア)の磁気モーメントの向き(つまり電子のスピン偏極による磁気モーメントの方向)を示し、大きい矢印はソース72、島76およびドレイン80の磁化方向を示している。ドレイン80はソース72に比べ膜厚を厚くするかスピン偏極率が大きく設定されている。

【0144】

まず、図31(a)から図31(c)を用い、磁化方向を反平行配置から平行配置に変更する方法について説明する。図31(a)のように、ソース72およびドレイン80の磁化方向は右向きであり、島76の磁化方向を左向きである。このため、ソース72およびドレイン80中の電子スピンによる磁気モーメントは右向きであり、島76中の電子スピンによる磁気モーメントは左向きである。ここで図30(b)に示すように、破線矢印95の方向に、ドレイン80からソース72に電子を流す。ドレイン80は膜厚が厚いかスピン偏極率が大きいため、ドレイン80を通過する電子は、ほとんど右向きのスピン磁気モーメントをもつ。このため、右向きのスピン磁気モーメントをもつ電子が、矢印91のようにトンネル接合78をトンネルし島76に注入される。一方、島76の左向きのスピン磁気モーメントをもつ電子はソース72を通過して流出する。このとき、ソース72は膜厚が薄いかスピン偏極率が小さいため、図32(b)で説明するドレイン80の場合と異なり、左向きのスピン磁気モーメントをもつ電子がソース72に反射され難い。図31(c)に示すように、島76中の右向きのスピン磁気モーメントをもつ電子が増加すると、島の磁化方向がスピン偏極した電子の磁気モーメントを受けて、右向きに変化する。このようにして、島76の磁化方向を平行配置から反平行配置に変更することができる。

【0145】

次に、図32(a)から図32(c)を用い、磁化方向を平行配置から反平行配置に変更する方法について説明する。図32(a)のように、島76の磁化方向はソース72およびドレイン80と同じ右向きである。このため、島76中の電子は右向きのスピン磁気モーメントをもつ。図32(b)のように、破線矢印96の方向に、ソース72からドレイ

10

20

30

40

50

ン 80 に電子を流す。ソース 72 を通過する電子は右向きのスピン磁気モーメントをもつ電子が多い。しかし、ソース 72 は膜厚が薄いかスピン偏極率が小さいため、左向きにスピン偏極した電子も含まれる。矢印 92 のように、ソース 72 から注入された電子のうち右向きのスピン磁気モーメントをもつ電子はトンネル接合 78 をトンネルドレイン 80 に至る。しかし、矢印 93 のように、左向きのスピン磁気モーメントをもつ電子はドレイン 80 の磁化により反射され、島 76 に戻り島 76 に蓄積される。図 32 (c) に示すように、このようにして島 76 中に左向きのスピン磁気モーメントをもつ電子が増加すると、島の磁化方向がスピン偏極した電子の磁気モーメントにより左向きに変化する。このようにして、磁化方向を平行配置から反平行配置に変更することができる。

【 0 1 4 6 】

図 8 (a) から図 8 (c) を参照に説明した配線 58 と 60 にパルス電流を印加する方法を用いた場合、島 52 が小さいほど保磁力が増大するため、磁化を反転させるため配線 58 および 60 に流す電流 (すなわち閾値電流) が大きくなる。一方、図 31 (a) から図 32 (c) を用い説明したスピン注入磁化反転法では、磁化を反転させるための閾値電流は島 76 の体積に依存する。よって、島 76 が小さいほど閾値電流は小さくなる。よって、スピン注入磁化反転法は、集積化に適している。例えば、厚さ 2 nm で 60 nm × 180 nm の楕円形のコバルトからなる島の場合、この島の保磁力は 1500 e である。図 8 (a) から図 8 (c) の配線 58 および 60 を用いこの島の磁化を反転させる場合、配線 58 および 60 が島から 600 nm のところに配置されたところとすると、閾値電流は計算によると 45 mA である。一方、この島を作製しスピン磁化反転法を用いた場合の閾値電流を測定したところ約 4 mA であった。このように、スピン磁化反転法を用いることにより、磁化反転の閾値電流が小さくなり、磁化方向の変更のための消費電力を抑制することができる。さらに、配線 58 および 60 が不要であり、回路構成が簡単となる。

【 0 1 4 7 】

図 33 は実施例 5 の変形例に係る S E S T の断面図である。実施例 5 の図 30 (f) に対し、ドレイン 80 a とソース 72 a が逆に配置されている。その他の構成は実施例 5 の図 30 (f) と同じであり、同じ部材は同じ符号を付し説明を省略する。このように、ドレイン 80 a を基板 70 側に、ソース 72 a を表面側に配置しても良い。

【 0 1 4 8 】

実施例 5 に係る S E S T は、基板 70 と、基板 70 上に設けられたソース 72 と、ソース 72 上に設けられ、ソース 72 との間にトンネル接合 74 を有する島 76 と、島 76 上に設けられ、島 76 との間にトンネル接合 78 を有するドレイン 80 を有する。島 76 の横部に設けられ、島 76 との間の空間である絶縁膜 82 により、島 76 と容量結合しているゲート 84 を有する。そして、ソース 72、ドレイン 80 および島 76 の少なくとも 1 つが磁化方向の変更可能な強磁性体を含むことにより、単電子スピントランジスタとして機能する。このように、ソース 72、トンネル接合 74、島 76、トンネル接合 78 およびドレイン 80 を縦方向に積層することにより、各層の膜厚を正確に制御することができる。これにより、トランジスタの設計の自由度が増し、所望の特性を得ることが容易となる。また、縦方向にトランジスタを形成するため、トランジスタの面積を縮小し集積度を上げることができる。なお、実施例 5 の変形例のように、基板 70 上に設けられたドレイン 80 a と、ドレイン 80 a 上に設けられ、ドレイン 80 a との間にトンネル接合 74 を有する島 76 と、島 76 上に設けられ、島 76 との間にトンネル接合 78 を有するソース 72 a を有する構成であってもよい。

【 0 1 4 9 】

また、実施例 5 のように、ソース 72 およびドレイン 80 が、同じ方向に磁化した強磁性体を含み、島 76 が、磁化方向を変更可能な強磁性体を含む構成とする。これにより、図 31 (a) から図 32 (c) を用い説明したようにスピン注入磁化反転法により、島 76 の磁化方向を変更することができる。図 7 を参照し説明した S E S T においては、トンネル接合の厚さ (図 7 における島 52 とソース 54 との距離および島 52 とドレイン 56 との距離に相当) および島 52 の体積は、図 6 の上層レジスト 44 の開口寸法や蒸着の角

10

20

30

40

50

度等により定まる。このためトンネル接合の厚さの制御が難しく、トンネル接合の抵抗値がばらついてしまう。また、島52の体積がばらついてしまう。よって、図7のSESTにスピン注入磁化反転法を適用しようとする、閾値電流がばらついてしまう。一方、実施例5に係るSESTによれば、トンネル接合74および島56の膜厚を精度良く形成することができる。よって、閾値電流のばらつきを小さくすることができる。このように、実施例5に係るSESTは、スピン注入磁化反転法を適用した際の閾値電流のばらつきを抑制することができる。

【0150】

さらに、島76の磁化方向の変更は、ドレイン80から島76にキャリア(電子)を注入することにより行うことができる。このように、スピン注入磁化反転法を用いることにより、前述のように、島76の磁化方向の変更のための消費電力を削減することができる。

10

【0151】

さらに、ドレイン80はソース72より膜厚が厚いまたはドレイン80のスピン偏極率をソース72より高いために、図31(a)から図31(c)のように、ドレイン80からソース72に電子を流した場合、島76の磁化方向を反平行配置から平行配置に変更することができる。また、図32(a)から図32(c)のように、ソース72からドレイン80に電子を流した場合、島76の磁化方向を平行配置から反平行配置に変更することができる。

【0152】

なお、図31(a)から図32(c)の説明においては、キャリアとして電子を例に説明したがホールを用いても良い。また、ドレイン80をソース72に対し、膜厚が厚いまたはスピン偏極率が大きい場合について説明したが、ソース72をドレイン80に対し膜厚が厚いまたはスピン偏極率が大きい場合であっても良い。

20

【実施例6】

【0153】

実施例6は、島にキャリア誘起強磁性半導体を用いたSESTの例である。キャリア誘起強磁性半導体とは、半導体中のキャリアによって磁化が誘起される半導体である。キャリア誘起強磁性半導体の磁化はキャリア密度が増加すると強くなり、キャリア密度が減少すると弱くなる。キャリア誘起強磁性半導体としては、例えばGaMnAsやInMnAsがある。図34(a)および図34(b)を参照に、実施例6に係るSESTは、島76aがキャリア誘起磁性半導体で構成されている。その他の構成は実施例5と同じであり同じ構成は同じ符号を付し、説明を省略する。図34(a)を参照に、右側のゲート84aを接地し、左側のゲート84bを負の電圧を印加するかフローティングにする。このとき、島76a中のホール密度は多く島76aは強磁性となる。一方、図34(b)を参照に、右側のゲート84aは接地したままで、左側のゲート84bに正の電圧を印加する。島76a内に生じた電界に起因し、島76a内のホール密度が減少する。このため、島76aの磁化が弱くなる。このように、島76aの磁化が弱くした状態でスピン注入磁化反転法を用いることにより、磁化方向の変更のための閾値電流を、例えば2桁以上小さくすることができる。

30

【0154】

実施例6によれば、島76aはキャリア誘起強磁性半導体膜である。これにより、島76aに加わる電界により島76a内のキャリア密度を変化させ、島76aの磁化の強度を変化させることができる。また、ゲート84aおよび84bが島76aの両側に設けられている。そして、島76aの磁化方向の変更を、ゲート84aおよび84b間に電圧を印加し、ドレイン72から島76aにキャリア(ホール)を注入することにより行う。また、ゲート84aおよび84b間に印加される電圧は島76aのキャリアを減少させる電圧である。このように、島76aのキャリア密度を減少させ、島76aの磁化の強度を小さくし島76aの磁化方向を変更する。これにより、実施例5の磁化方向の変更に比べ、島76aの磁化方向の変更のための消費電力をさらに削減することができる。

40

【0155】

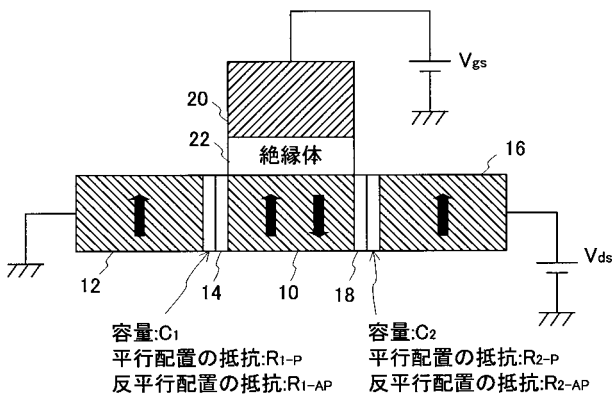
50

なお、実施例6において、島76aを構成するキャリア誘起強磁性半導体は、ホール密度によって磁化が誘起される半導体の例であったが、電子密度によって磁化が誘起される半導体を用いても良い。

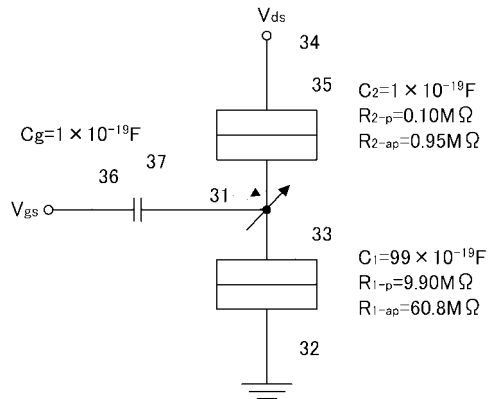
【0156】

以上、発明の好ましい実施形態について詳述したが、本発明に係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

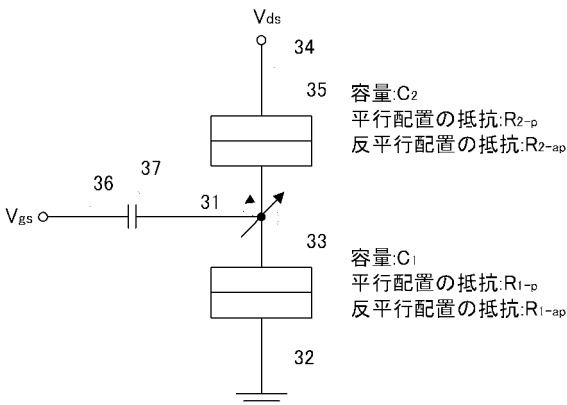
【図1】



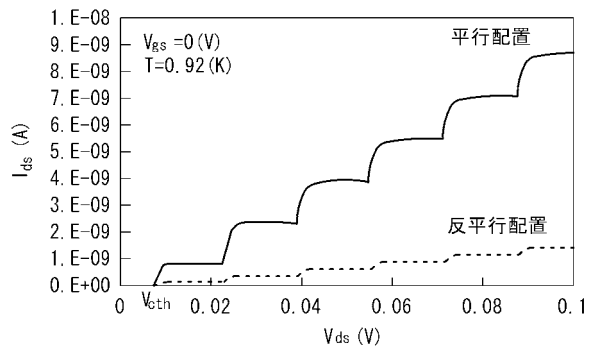
【図3】



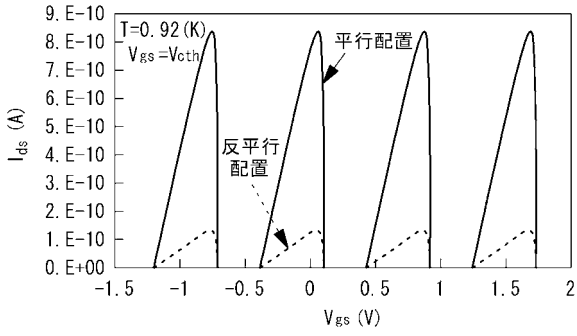
【図2】



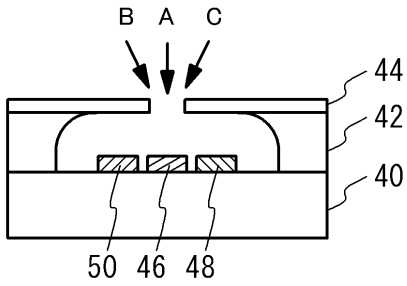
【図4】



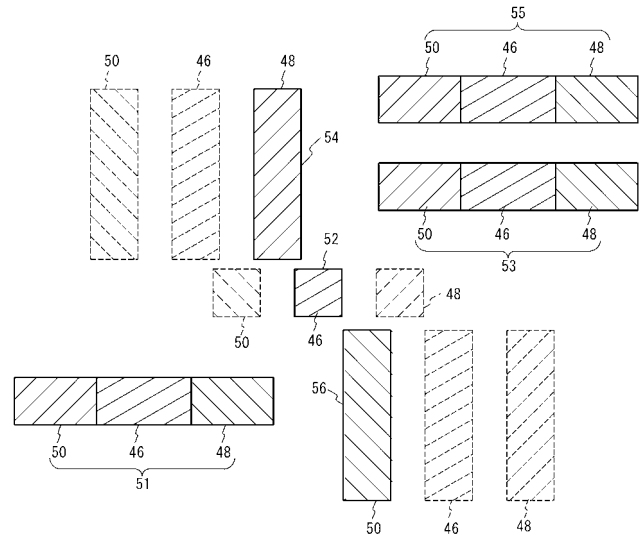
【 図 5 】



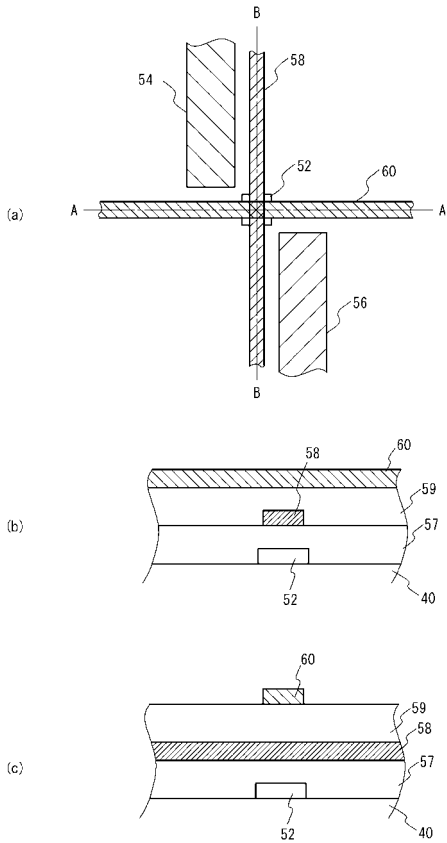
【 図 6 】



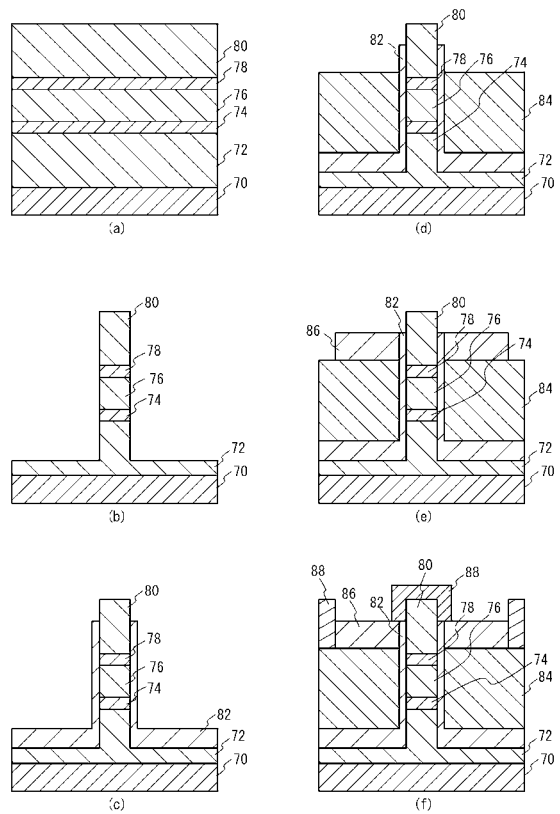
【 図 7 】



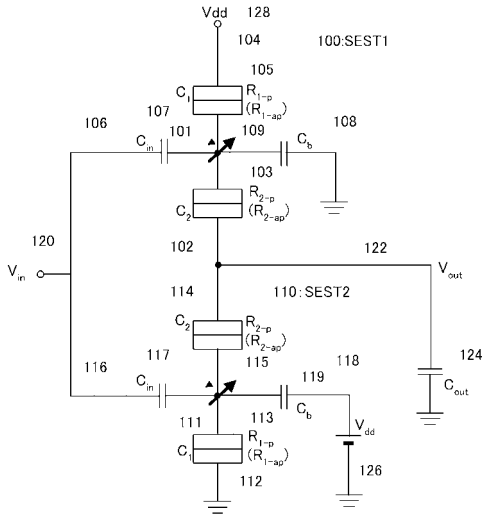
【 図 8 】



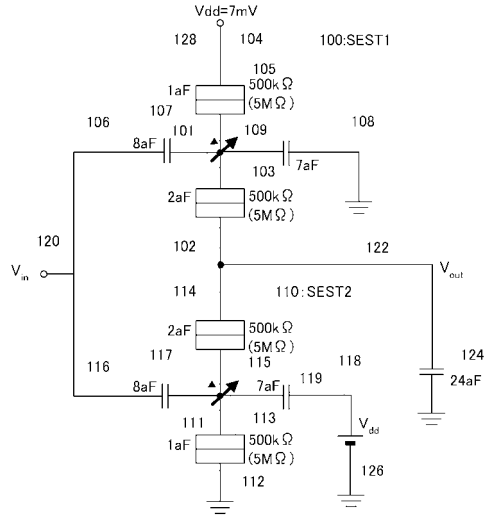
【 図 9 】



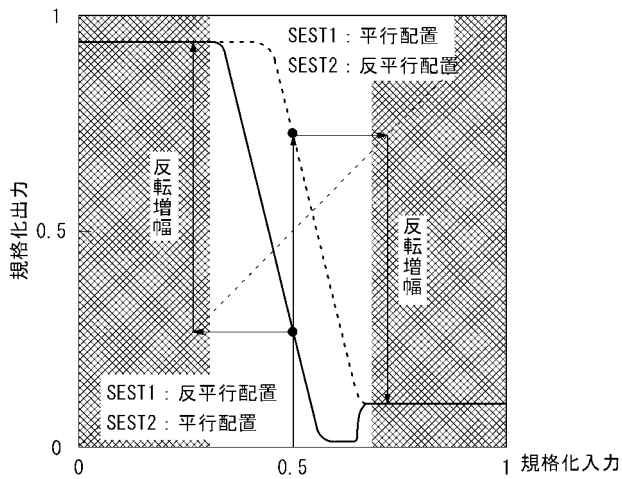
【 図 1 0 】



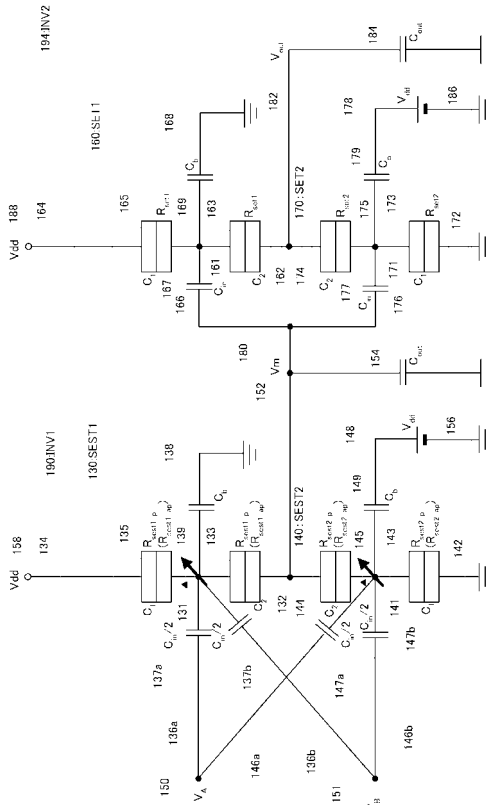
【 図 1 1 】



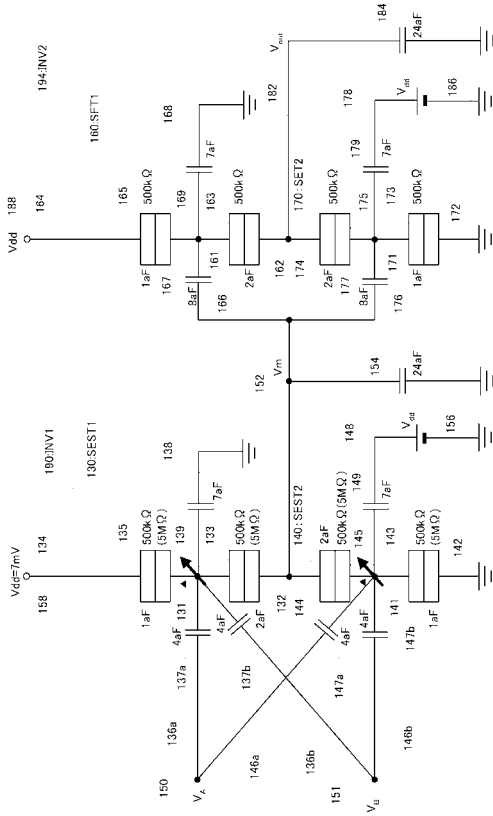
【 図 1 2 】



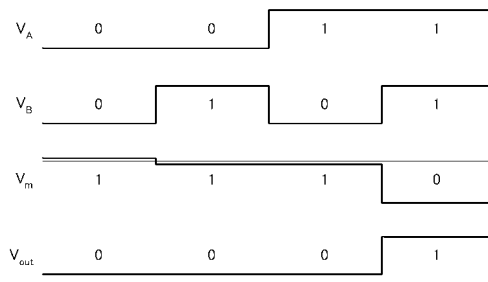
【 図 1 3 】



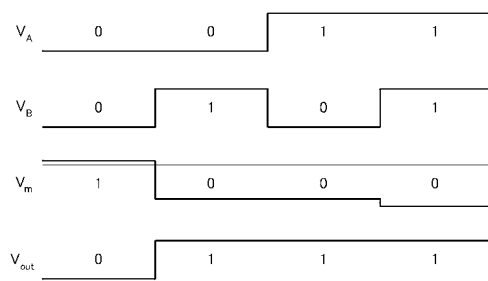
【 図 1 4 】



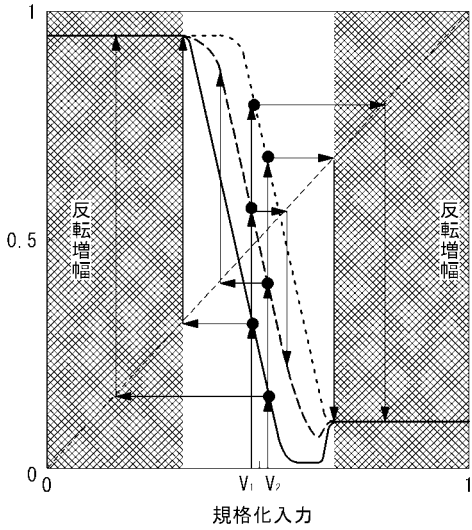
【 図 1 5 】



【 図 1 6 】

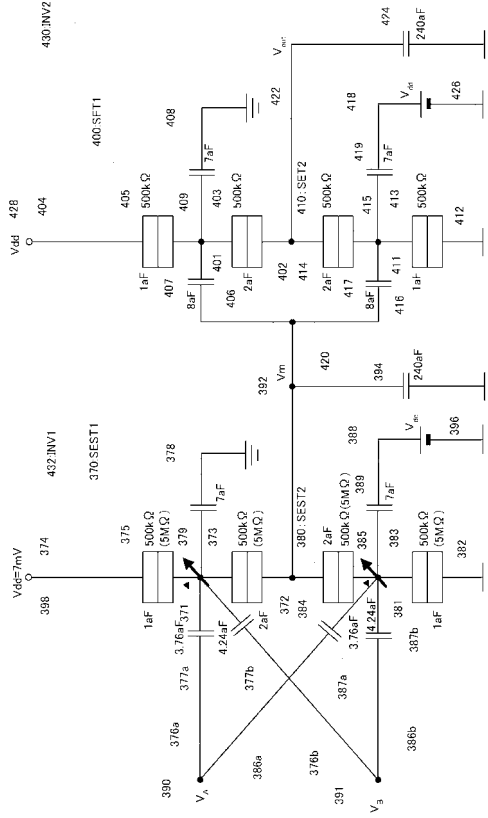


【 図 1 7 】

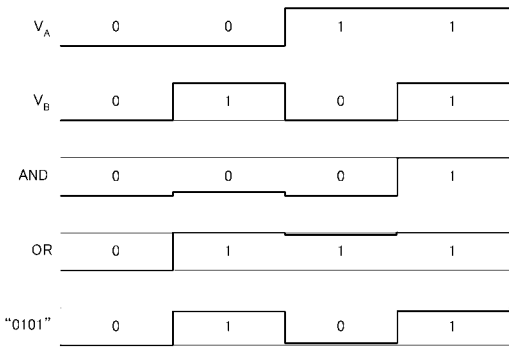


..... SEST1:P SEST2:AP
 ——— SEST1:AP SEST2:P
 - - - SEST1:P SEST2:P

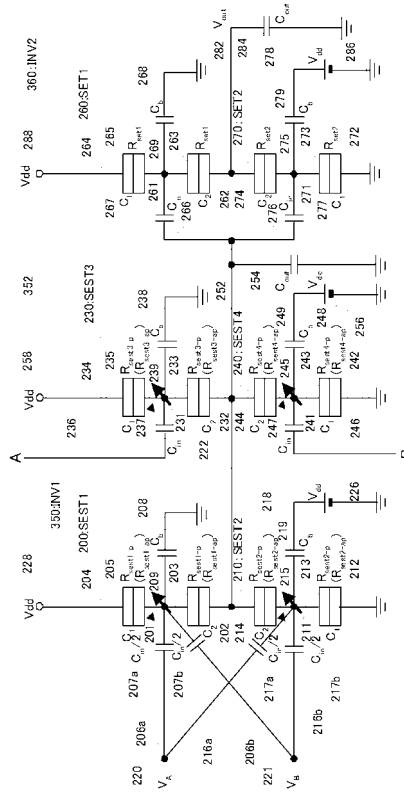
【 図 1 8 】



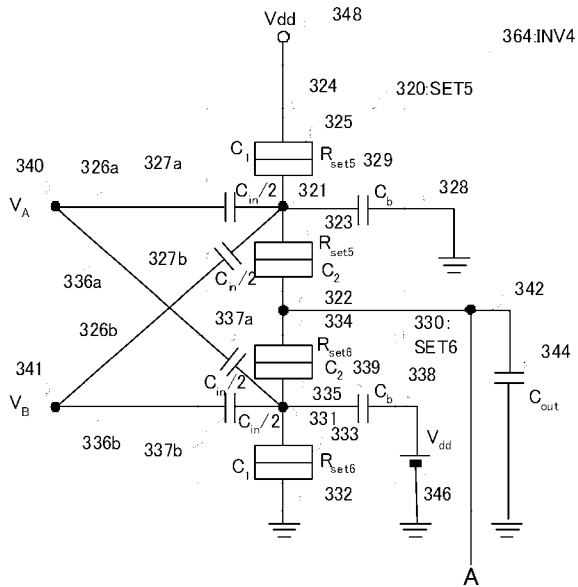
【 図 19 】



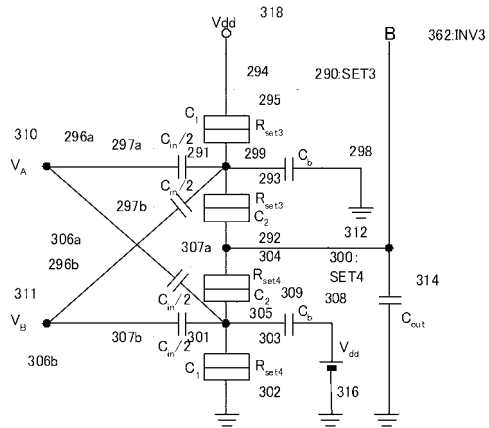
【 図 20 】



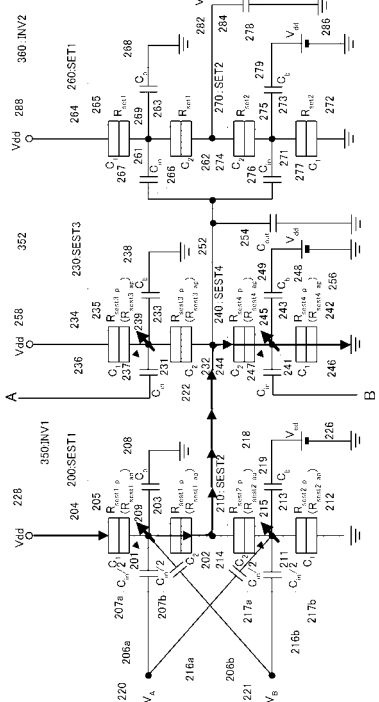
【 図 21 】



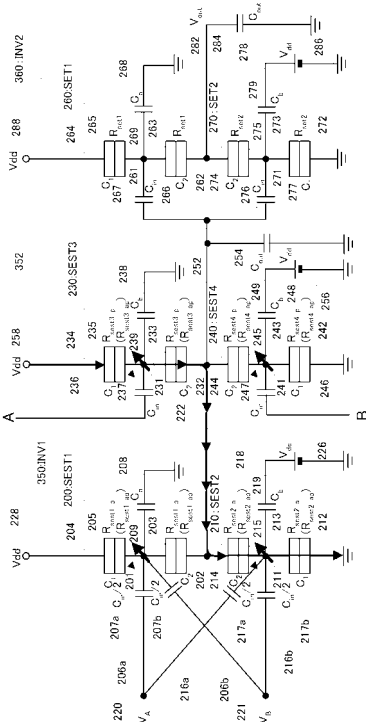
【 図 22 】



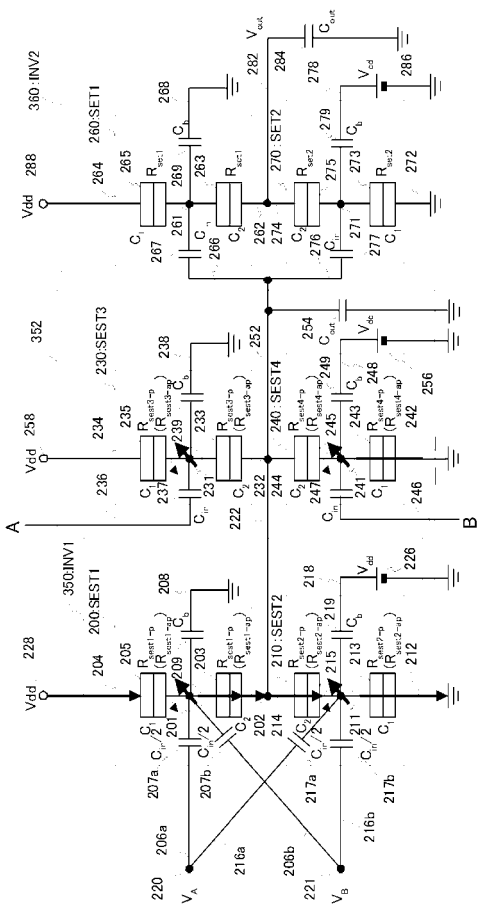
【 2 3 】



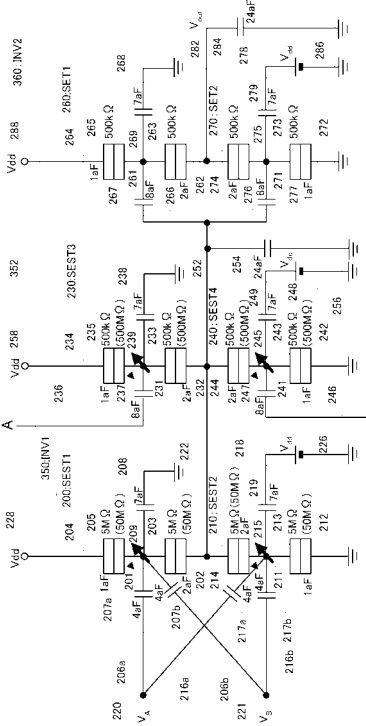
【 2 4 】



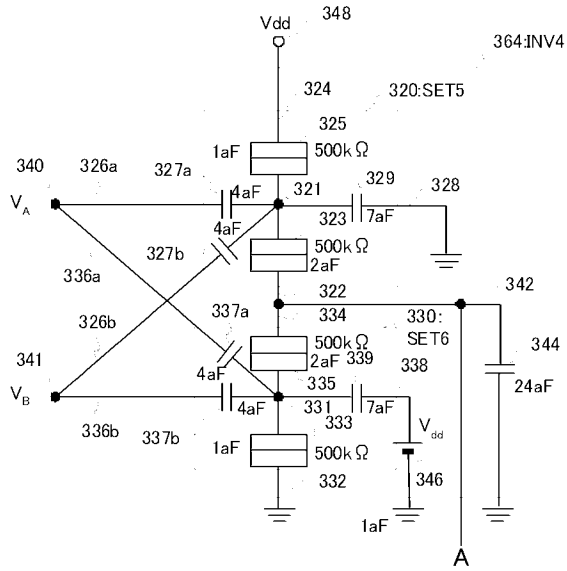
【 2 5 】



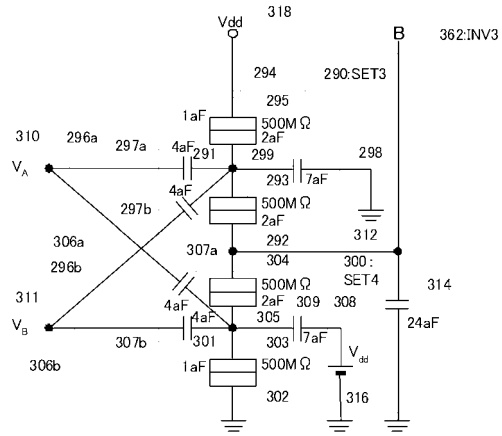
【 2 6 】



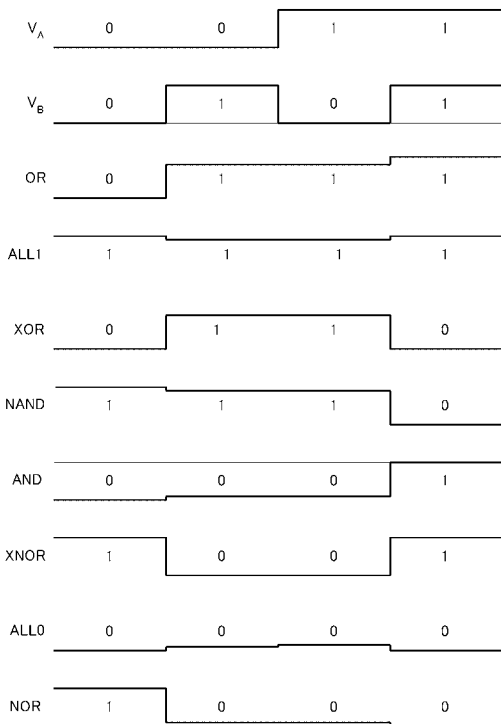
【 図 2 7 】



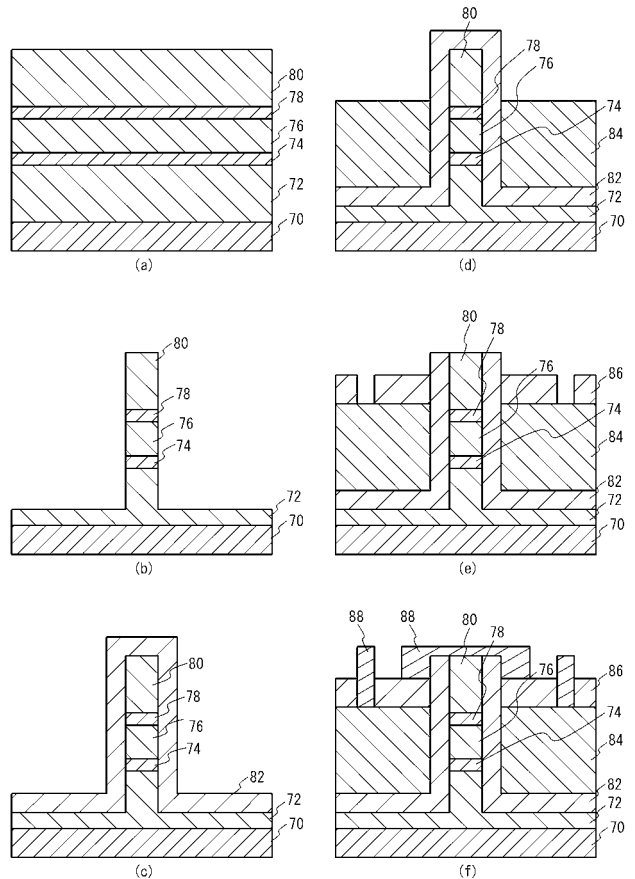
【 図 2 8 】



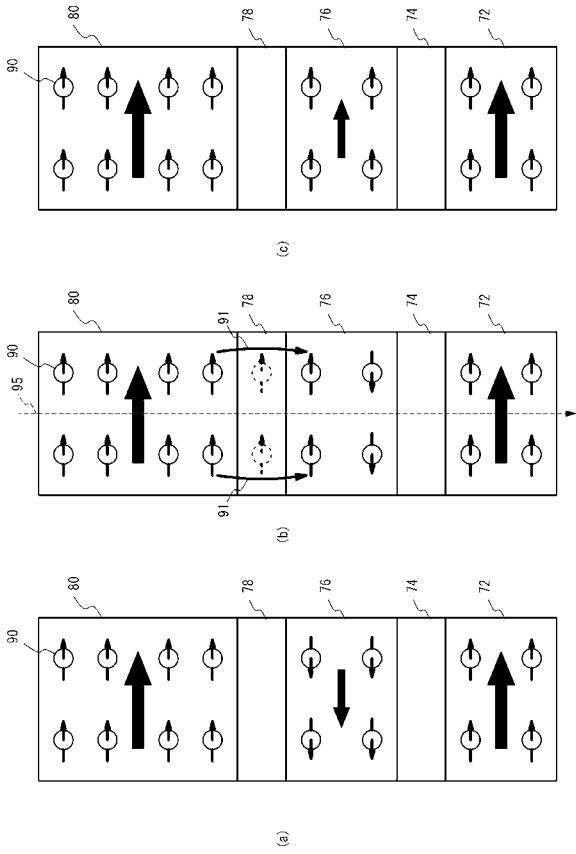
【 図 2 9 】



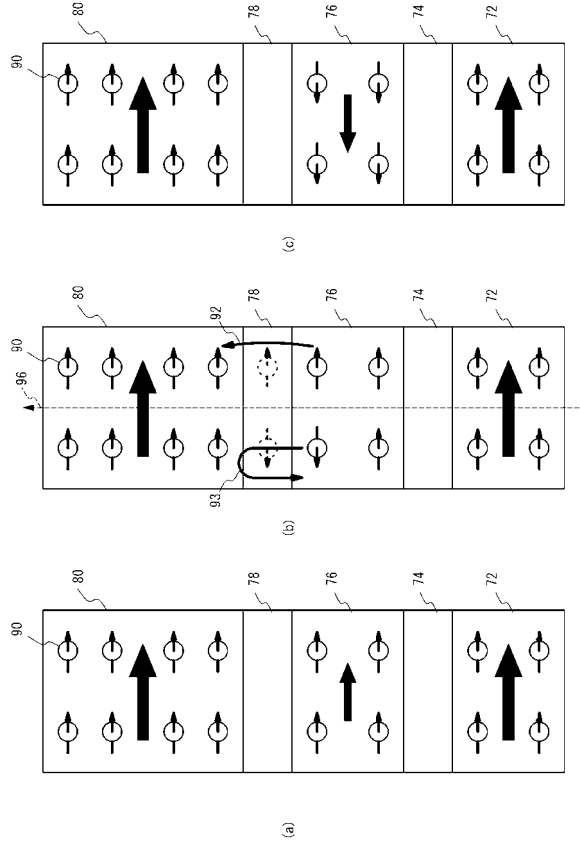
【 図 3 0 】



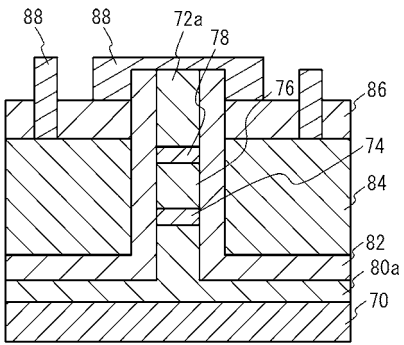
【 図 3 1 】



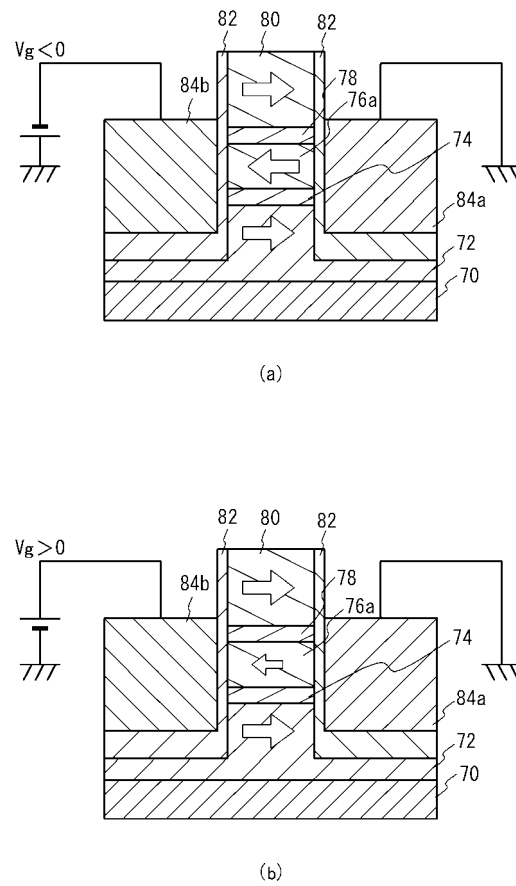
【 図 3 2 】



【 図 3 3 】



【 図 3 4 】



【手続補正書】

【提出日】平成18年5月24日(2006.5.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求の範囲

【補正方法】変更

【補正の内容】

【書類名】請求の範囲

【請求項1】(補正後)ソースと、ドレインと、前記ソースと前記ドレインに間に配置され、前記ソースと前記ドレインそれぞれの間にトンネル接合を有する島と、該島に容量結合したゲートと、を具備し、

前記ソース、前記ドレインおよび前記島の少なくとも1つが磁化方向の変更可能な強磁性体を含む、単電子スピントランジスタを有し、

前記単電子スピントランジスタの前記磁化方向の変更可能な強磁性体の磁化の方向を変えることによって、論理回路の機能を不揮発的に再構成する論理回路。

【請求項2】前記単電子スピントランジスタの前記ソースおよび前記ドレインが、同じ方向に磁化した強磁性体を含み、

前記島が、前記磁化方向を変更可能な強磁性体を含む単電子スピントランジスタである請求項1記載の論理回路。

【請求項3】前記単電子スピントランジスタは、基板を更に具備し、

前記島、前記ソース、前記ドレインおよび前記ゲートが前記基板上に形成され、

前記ソース、前記ドレインおよび前記ゲートは前記島の横部に形成され、

前記ゲートは、前記島との間の空間により、前記島と容量結合している単電子スピントランジスタである請求項1または2記載の論理回路。

【請求項4】前記単電子スピントランジスタは、基板を更に具備し、

前記基板上に前記ソース、前記島および前記ドレインが積層され、

前記ゲートが前記島の横部に形成され、

前記ゲートは、前記島との間の空間により、前記島と容量結合している単電子スピントランジスタである請求項1または2記載の論理回路。

【請求項5】(削除)

【請求項6】(補正後)前記論理回路の機能はインバータ回路の論理しきい値である請求項1から4のいずれか一項記載の論理回路。

【請求項7】(補正後)前記論理回路の機能は2入力論理回路の機能である請求項1から4のいずれか一項記載の論理回路。

【請求項8】(補正後)複数の入力端子と、複数の前記単電子スピントランジスタを有し、複数の前記入力端子から複数の前記単電子スピントランジスタへのアナログ入力の重み付けを、各入力端子に接続された各単電子スピントランジスタの複数のゲート容量により行う請求項1から4、6および7のいずれか一項記載の論理回路。

【請求項9】(補正後)ソースに出力端子が接続され、ゲートに入力端子が接続され、ドレインが第1の電源端子に接続された第1の単電子スピントランジスタと、

ドレインに前記出力端子が接続され、ゲートに前記入力端子が接続され、ソースが第2の電源端子に接続された第2の単電子スピントランジスタと、を具備し、

前記第1の単電子スピントランジスタおよび前記第2の単電子スピントランジスタが前記単電子スピントランジスタである第1のインバータ回路を備える請求項1から4および6記載の論理回路。

【請求項10】前記入力端子に“0”が入力した場合、前記第1の単電子スピントランジスタはオンしかつ前記第2の単電子スピントランジスタはオフし、

前記入力端子に“1”が入力した場合、前記第1の単電子スピントランジスタはオフしかつ前記第2の単電子スピントランジスタはオンする請求項9項記載の論理回路。

【請求項11】前記第1のインバータ回路が、

前記第 1 の単電子スピントランジスタの磁化配置が平行配置かつ前記第 2 の単電子スピントランジスタの磁化配置が反平行配置の場合と、

前記第 1 の単電子トランジスタの磁化配置が反平行配置かつ前記第 2 の単電子スピントランジスタの磁化配置が平行配置の場合とで論理しきい値を制御するインバータ回路である請求項 9 または 10 記載の論理回路。

【請求項 12】前記第 1 のインバータ回路が、

前記入力端子は、第 1 の入力端子と第 2 の入力端子を含み、

前記第 1 の入力端子への入力と前記第 2 の入力端子への入力が、前記第 1 のインバータ回路にアナログ入力される請求項 9 から 11 のいずれか一項記載の論理回路。

【請求項 13】前記第 1 のインバータ回路において、

前記第 1 の入力端子は、前記第 1 の単電子スピントランジスタの第 1 のゲートおよび前記第 2 の単電子スピントランジスタの第 1 のゲートに接続され、

前記第 2 の入力端子は、前記第 1 の単電子スピントランジスタの第 2 のゲートおよび前記第 2 の単電子スピントランジスタの第 2 のゲートに接続された請求項 12 記載の論理回路。

【請求項 14】前記第 1 のインバータ回路において、

前記第 1 の入力端子からの入力の前記第 1 の単電子スピントランジスタと、前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けは概同じであり、

前記第 2 の入力端子からの入力の前記第 1 の単電子スピントランジスタと、前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けは概同じである請求項 11 または 12 記載の論理回路。

【請求項 15】前記第 1 のインバータ回路において、

前記第 1 の単電子スピントランジスタの第 1 のゲート容量と、前記第 2 の単電子スピントランジスタの第 1 のゲート容量の容量値が概同じであり、

前記第 1 の単電子スピントランジスタの第 2 のゲート容量と、前記第 2 の単電子スピントランジスタの第 2 のゲート容量の容量値が概同じである請求項 13 記載の論理回路。

【請求項 16】前記第 1 のインバータ回路において、

前記第 1 の入力端子からの入力の前記第 1 の単電子スピントランジスタおよび前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けと、前記第 2 の入力端子からの入力の前記第 1 の単電子スピントランジスタおよび前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けが、概同じである請求項 14 記載の論理回路。

【請求項 17】前記第 1 のインバータ回路において、

前記第 1 の単電子スピントランジスタの前記第 1 のゲート容量および前記第 2 の単電子スピントランジスタの前記第 1 のゲート容量と、前記第 1 の単電子スピントランジスタの前記第 2 のゲート容量および前記第 2 の単電子スピントランジスタの前記第 2 のゲート容量の容量値は概同じである請求項 15 記載の論理回路。

【請求項 18】前記第 1 のインバータ回路において、

前記第 1 の入力端子からの入力の前記第 1 の単電子スピントランジスタおよび前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けと、前記第 2 の入力端子からの入力の前記第 1 の単電子スピントランジスタおよび前記第 2 の単電子スピントランジスタへのアナログ入力の重み付けが異なる請求項 16 記載の論理回路。

【請求項 19】前記第 1 のインバータ回路において、

前記第 1 の単電子スピントランジスタの前記第 1 のゲート容量および前記第 2 の単電子スピントランジスタの前記第 1 のゲート容量と、前記第 1 の単電子スピントランジスタの前記第 2 のゲート容量および前記第 2 の単電子スピントランジスタの前記第 2 のゲート容量の容量値が異なる請求項 17 記載の論理回路。

【請求項 20】前記第 1 のインバータ回路が、

前記第 1 の単電子スピントランジスタの磁化配置が反平行配置かつ前記第 2 の単電子トランジスタの磁化配置が平行配置の場合、および前記第 1 の単電子スピントランジスタの磁化配置が平行配置かつ前記第 2 の単電子スピントランジスタの磁化配置が反平行配置の場合

合とで、

それぞれ、2入力NOR回路および2入力NAND回路の機能を有する請求項12から19記載の論理回路。

【請求項21】前記第1のインバータ回路の前記出力端子に、第2のインバータ回路の入力端子が接続された2入力OR回路と2入力AND回路の機能を有する請求項12から20記載の論理回路。

【請求項22】前記第2のインバータは、単電子トランジスタを用いたインバータ回路である請求項21記載の論理回路。

【請求項23】前記第1のインバータ回路と、

ソースに前記第1のインバータ回路の前記出力端子が接続され、ドレインに第3の電源端子が接続された第3の単電子スピントランジスタと、

ドレインに前記第1のインバータ回路の前記出力端子が接続され、ソースに第4の電源端子が接続された第4の単電子スピントランジスタを具備し、

前記第3の単電子スピントランジスタおよび前記第4の単電子スピントランジスタが前記単電子スピントランジスタである請求項12から20のいずれか一項記載の論理回路。

【請求項24】前記第1のインバータ回路から“0”が出力した場合、前記第3の単電子スピントランジスタはオンしかつ前記第4の単電子スピントランジスタはオフし、

前記第1のインバータ回路から“1”が出力した場合、前記第3の単電子スピントランジスタはオフしかつ前記第4の単電子スピントランジスタはオンする請求項23項記載の論理回路。

【請求項25】入力端子が、前記第1のインバータ回路の前記第1の入力端子および前記第2の入力端子に接続され、出力端子が前記第3の単電子スピントランジスタのゲートに接続され、論理しきい値が0.5より大きい第3のインバータ回路と、

入力端子が前記第1のインバータ回路の前記第1の入力端子および前記第2の入力端子に接続され、出力端子が前記第4の単電子スピントランジスタのゲートに接続され、論理しきい値が0.5より小さい第4のインバータ回路とを更に具備する請求項23または24記載の論理回路。

【請求項26】前記第1の入力端子および前記第2の入力端子から前記第3のインバータ回路へのアナログ入力の重み付け、

および、前記第1の入力端子および前記第2の入力端子から前記第4のインバータ回路へのアナログ入力の重み付けは、

いずれも前記第1の入力端子および前記第2の入力端子から前記第1のインバータ回路へのアナログ入力の重み付けと概同じである請求項25記載の論理回路。

【請求項27】前記第3のインバータ回路および、前記第4のインバータ回路は、単電子トランジスタを用いたインバータ回路である請求項25または26記載の論理回路。

【請求項28】入力端子が、前記第1のインバータ回路の出力端子に接続された第5のインバータ回路を更に具備する前記23から27のいずれか一項記載の論理回路。

【請求項29】前記第5のインバータ回路は、単電子トランジスタを用いたインバータ回路である請求項28記載の論理回路。

【請求項30】前記第1の単電子スピントランジスタ、前記第2の単電子スピントランジスタ、前記第3の単電子スピントランジスタおよび前記第4の単電子スピントランジスタの磁化配置を平行配置と反平行配置に変更することにより、全2入力対称関数を実現できる回路を有する請求項23から29記載の論理回路。

【請求項31】基板と、

該基板上に設けられたソースと、

該ソース上に設けられ、前記ソースとの間にトンネル接合を有する島と、

該島上に設けられ、前記島との間にトンネル接合を有するドレインと、

前記島の横部に設けられ、前記島との間の空間により、前記島と容量結合しているゲートと、を具備し、

前記ソース、前記ドレインおよび前記島の少なくとも1つが磁化方向の変更可能な強磁

性体を含む単電子スピントランジスタ。

【請求項 3 2】基板と、

該基板上に設けられドレインと、

該ドレイン上に設けられ、前記ドレインとの間にトンネル接合を有する島と、

該島上に設けられ、前記島との間にトンネル接合を有するソースと、

前記島の横部に設けられ、前記島との間の空間により、前記島と容量結合しているゲートと、を具備し、

前記ソース、前記ドレインおよび前記島の少なくとも 1 つが磁化方向の変更可能な強磁性体を含む単電子スピントランジスタ。

【請求項 3 3】前記ソースおよび前記ドレインが、同じ方向に磁化した強磁性体を含み、

前記島が、前記磁化方向を変更可能な強磁性体を含む請求項 3 1 または 3 2 記載の単電子スピントランジスタ。

【請求項 3 4】前記島の磁化方向の変更は、前記ソースまたは前記ドレインから前記島にキャリアを注入することにより磁化反転を行う請求項 3 3 記載の単電子スピントランジスタ。

【請求項 3 5】前記ソースおよび前記ドレインのいずれか一方は、他方より膜厚が厚い請求項 3 4 記載の単電子スピントランジスタ。

【請求項 3 6】前記ソースおよび前記ドレインのいずれか一方は、他方よりスピン偏極率が高い請求項 3 4 記載の単電子スピントランジスタ。

【請求項 3 7】前記島はキャリア誘起強磁性半導体膜である請求項 3 3 記載の単電子スピントランジスタ。

【請求項 3 8】前記ゲートは前記島の両側に設けられ、

前記島の磁化方向の変更は、前記ゲート間に電圧を印加し、前記ソースまたは前記ドレインから前記島にキャリアを注入することにより行う請求項 3 5 記載の単電子スピントランジスタ。

【請求項 3 9】前記ゲート間に印加される電圧は、前記島のキャリア密度が減少するような電圧である請求項 3 8 記載の単電子スピントランジスタ。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/301744
A. CLASSIFICATION OF SUBJECT MATTER H03K19/18 (2006.01), H01L29/82 (2006.01), H03K19/173 (2006.01), H03K19/20 (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03K19/18 (2006.01), H01L29/82 (2006.01), H03K19/173 (2006.01), H03K19/20 (2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-281548 A (Japan Science and Technology Agency), 07 October, 2004 (07.10.04), Par. Nos. [0003] to [0005]; Fig. 10 (Family: none)	1-2 3-39
Y	Marc Pirmann, Jan von Delft, Gerd Schon, Asymmetric tunable tunneling magnetoresistance in single-electron transistors, Journal of Magnetism and Magnetic Materials 219, 2000, pages 104 to 108, "Introduction", Fig. 1	1-2
A	JP 11-168205 A (Nippon Telegraph And Telephone Corp.), 22 June, 1999 (22.06.99), Par. No. [0030]; Fig. 10 (Family: none)	1-39
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 February, 2006 (20.02.06)		Date of mailing of the international search report 28 February, 2006 (28.02.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 0 6 / 3 0 1 7 4 4									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K19/18(2006.01), H01L29/82(2006.01), H03K19/173(2006.01), H03K19/20(2006.01)											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K19/18(2006.01), H01L29/82(2006.01), H03K19/173(2006.01), H03K19/20(2006.01)											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2006年										
日本国実用新案登録公報	1996-2006年										
日本国登録実用新案公報	1994-2006年										
国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
Y A	J P 2 0 0 4 - 2 8 1 5 4 8 A (独立行政法人 科学技術振興機構) 2004.10.07, 第0003-0005段落, 図10 (ファミリーなし)	1-2 3-39									
Y	Marc Pirmann, Jan von Delft, Gerd Schon, Asymmetric tunable tunneling magnetoresistance in single-electron transistors, Journal of Magnetism and Magnetic Materials 219, 2000, p.104-108, "Introduction" 欄, Fig. 1	1-2									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日に後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 20.02.2006		国際調査報告の発送日 28.02.2006									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 清水 稔 電話番号 03-3581-1101 内線 3596	5 X 8 5 2 5								

国際調査報告		国際出願番号 PCT/JP2006/301744
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-168205 A (日本電信電話株式会社) 1999.06.22, 第0030段落, 図10 (ファミリーなし)	1-39

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ファム ナム ハイ

東京都文京区本郷6 - 5 - 1 香川荘7号室

Fターム(参考) 5F092 AA04 AA12 AB10 AC24 BD03 BD14 EA07

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。