

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-290226  
(P2009-290226A)

(43) 公開日 平成21年12月10日(2009.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/82 (2006.01)	HO 1 L 29/82 Z	4 M 1 1 9
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 7	5 F 0 9 2
HO 1 L 27/105 (2006.01)		

審査請求 有 請求項の数 27 O L (全 23 頁)

(21) 出願番号	特願2009-184749 (P2009-184749)	(71) 出願人	503360115
(22) 出願日	平成21年8月7日(2009.8.7)		独立行政法人科学技術振興機構
(62) 分割の表示	特願2005-502982 (P2005-502982) の分割	(74) 代理人	100087480
原出願日	平成16年1月23日(2004.1.23)		弁理士 片山 修平
(31) 優先権主張番号	特願2003-62453 (P2003-62453)	(74) 代理人	100137615
(32) 優先日	平成15年3月7日(2003.3.7)		弁理士 横山 照夫
(33) 優先権主張国	日本国(JP)	(72) 発明者	菅原 聡
(31) 優先権主張番号	特願2003-164398 (P2003-164398)		神奈川県横浜市中区本牧原2-1-603
(32) 優先日	平成15年6月9日(2003.6.9)	(72) 発明者	田中 雅明
(33) 優先権主張国	日本国(JP)		埼玉県さいたま市緑区井沼方647-6-201
		Fターム(参考)	4M119 AA11 BB13 CC02 EE22 EE27 5F092 AA12 AB06 AC24 BD03 BD04 BD05 BD06 BD14 BD15

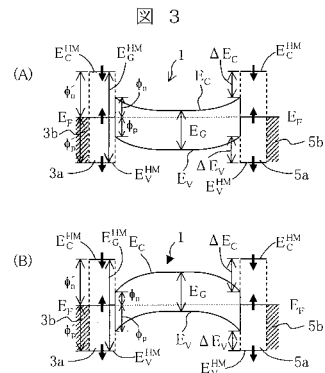
(54) 【発明の名称】 スピン依存伝達特性を有する電界効果トランジスタ及びそれを用いた不揮発性メモリ

(57) 【要約】

【課題】ソース及びドレインに強磁性体によるショットキー接合を用いた金属-絶縁体-半導体電界効果トランジスタ(MISFET)を提供すること。

【解決手段】強磁性体であって、一方のスピンの対しては金属的なバンド構造(以下、「金属的スピンバンド」と称する。)を、他方のスピンに対しては半導体的又は絶縁体的なバンド構造(以下、「半導体的スピンバンド」と称する。)をとるハーフメタルからなり、スピン偏極した伝導キャリアを注入する強磁性ソースと、該強磁性ソースから注入されたスピン偏極した前記伝導キャリアを受けるハーフメタルからなる強磁性ドレインと、前記強磁性ソースと前記強磁性ドレインとの間に設けられ、前記強磁性ソース及び前記強磁性ドレインのそれぞれと接合した半導体層と、前記半導体層に対して形成されるゲート電極とを有することを特徴とするトランジスタ。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

強磁性体であって、一方のスピンに対しては金属的なバンド構造（以下、「金属的スピンバンド」と称する。）を、他方のスピンに対しては半導体的又は絶縁体的なバンド構造（以下、「半導体的スピンバンド」と称する。）をとるハーフメタルからなり、スピン偏極した伝導キャリアを注入する強磁性ソースと、

該強磁性ソースから注入されたスピン偏極した前記伝導キャリアを受けるハーフメタルからなる強磁性ドレインと、

前記強磁性ソースと前記強磁性ドレインとの間に設けられ、前記強磁性ソース及び前記強磁性ドレインのそれぞれと接合した半導体層と、

前記半導体層に対して形成されるゲート電極とを有することを特徴とするトランジスタ。

10

**【請求項 2】**

前記強磁性ソース及び前記強磁性ドレインは、前記ハーフメタルにおける金属的スピンバンドが前記半導体層との界面においてショットキー障壁を有するショットキー接合を形成することを特徴とする請求項 1 に記載のトランジスタ。

**【請求項 3】**

前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態が平行磁化である場合に、前記強磁性ソースの前記金属的スピンバンドから前記半導体層へ注入された伝導キャリアが前記強磁性ドレインの前記金属的スピンバンドを伝導することができ、

20

前記強磁性ソースと前記強磁性ドレインとの相対的な磁化状態が反平行磁化である場合に、前記強磁性ソースの前記金属的スピンバンドから前記半導体層へ注入された前記伝導キャリアが前記強磁性ドレインにおける前記半導体的スピンバンドによるエネルギー障壁によって伝導が抑制されることを特徴とする請求項 1 または 2 に記載のトランジスタ。

**【請求項 4】**

前記強磁性ドレインと前記強磁性ソースとの間にバイアスが印加され、かつ前記ゲート電極と前記強磁性ソースとの間に、前記半導体層が n チャンネルの場合にはしきい値電圧以下前記半導体層が p チャンネルの場合にはしきい値電圧以上の電圧が印加された場合、前記一方のスピンに対しては前記ショットキー障壁によって前記伝導キャリアの前記半導体層への注入が抑制され、前記他方のスピンに対しては前記半導体的スピンバンドの障壁によって前記伝導キャリアの前記半導体層への注入が抑制され、

30

前記強磁性ドレインと前記強磁性ソースとの間にバイアスが印加され、かつ前記ゲート電極と前記強磁性ソースとの間に、前記半導体層が n チャンネルの場合にはしきい値電圧より大きく前記半導体層が p チャンネルの場合にはしきい値電圧より小さい電圧が印加された場合、前記一方のスピンに対しては前記伝導キャリアが前記ショットキー障壁をトンネルおよび熱放出の少なくとも一方により前記半導体層に注入され、前記他方のスピンに対しては前記半導体的スピンバンドの障壁によって前記半導体層への注入が抑制されることを特徴とする請求項 1 から 3 のいずれか 1 項に記載のトランジスタ。

**【請求項 5】**

前記伝導キャリアの伝導型が前記半導体層と同じ場合（以下、「蓄積チャンネル型」と称する。）において、前記伝導キャリアが電子の場合では前記金属的スピンバンドによる前記ショットキー障壁は伝導バンド側に生じ、前記伝導キャリアが正孔の場合では前記金属的スピンバンドによる前記ショットキー障壁は価電子バンド側に生じることを特徴とする請求項 1 から 4 のいずれか 1 項に記載のトランジスタ

40

**【請求項 6】**

前記伝導キャリアの伝導型が前記半導体層と異なる場合（以下、「反転チャンネル型」と称する。）における、前記半導体層に反転層が形成されていない場合において、前記伝導キャリアが電子の場合では前記ショットキー障壁は価電子バンド側に生じ、前記伝導キャリアが正孔の場合では前記ショットキー障壁は伝導バンド側に生じることを特徴とする請求項 1 から 4 のいずれか 1 項に記載のトランジスタ。

50

## 【請求項 7】

前記強磁性ソース及び前記強磁性ドレインと前記半導体層との接合において、前記ハーフメタルの半導体的スピンバンドのバンドギャップは前記半導体層のバンドギャップより大きいことを特徴とする請求項 1 から 4 のいずれか 1 項に記載のトランジスタ。

## 【請求項 8】

前記強磁性ソース及び前記強磁性ドレインと前記半導体層との接合において、前記ハーフメタルにおける半導体的スピンバンドは前記半導体層に対してエネルギー障壁を形成し、前記伝導キャリアが電子の場合には、少なくとも伝導バンド側にエネルギー障壁を生じ、前記伝導キャリアが正孔の場合には、少なくとも価電子バンド側にエネルギー障壁を生じさせることを特徴とする請求項 1 から 4 のいずれか 1 項に記載のトランジスタ。

10

## 【請求項 9】

さらに、前記強磁性ソース及び前記強磁性ドレインに対して、それぞれ非磁性金属または非磁性伝導体からなるコンタクト（以下、「非磁性コンタクト」と称する。）が形成されていることを特徴とする請求項 1 から 8 のいずれか 1 項に記載のトランジスタ。

## 【請求項 10】

前記非磁性コンタクトは、前記金属的スピンバンドに対して金属間の接合またはオーミック接合を形成し、前記半導体的スピンバンドに対して半導体的スピンバンドがエネルギー障壁となる金属と半導体間又は金属と絶縁体間の接合構造を形成することを特徴とする請求項 9 に記載のトランジスタ。

## 【請求項 11】

前記ゲート電極と前記強磁性ソースと間に電圧を印加しない状態において、前記金属的スピンバンドの前記伝導キャリアは、前記金属的スピンバンドによるショットキー障壁によって、前記半導体層へトンネルおよび熱放出による注入が抑制されることを特徴とする請求項 5 に記載のトランジスタ。

20

## 【請求項 12】

前記ゲート電極に対して電圧を印加することにより、前記強磁性ソースにおける前記金属的スピンバンドの伝導キャリアは、前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることにより半導体層に注入されることを特徴とする請求項 5 又は 11 に記載のトランジスタ。

## 【請求項 13】

前記ゲート電極に対して電圧を印加しない状態において、前記金属的スピンバンドの前記伝導キャリアは、前記ショットキー障壁によって前記半導体層への熱放出による注入が抑制されるが、前記強磁性ソースにおける前記金属的スピンバンドの伝導キャリアは、前記ショットキー障壁をトンネルすることにより前記半導体層へ注入されることを特徴とする請求項 5 に記載のトランジスタ。

30

## 【請求項 14】

ゲート電極に対して印加する電圧により、前記強磁性ソースにおける金属的スピンバンドの伝導キャリアが前記強磁性ソースと前記半導体層との界面における前記ショットキー障壁をトンネルすることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求項 5 は 13 に記載のトランジスタ。

40

## 【請求項 15】

前記強磁性ソースに対して形成された前記非磁性コンタクトから前記強磁性ソースにおける前記半導体的スピンバンドと平行なスピンを有する伝導キャリアは、前記半導体的スピンバンドによる前記非磁性コンタクトに対する前記エネルギー障壁によって前記半導体層へのトンネル及び熱放出による注入が抑制されていることを特徴とする請求項 5 に記載のトランジスタ。

## 【請求項 16】

前記ゲート電極と前記強磁性ソースとの間に電圧を印加しない状態において、前記金属的スピンバンドの前記伝導キャリアは、前記ショットキー障壁によって、前記半導体層へのトンネル及び熱放出による注入が抑制されていることを特徴とする請求項 6 に記載のト

50

ランジスタ。

【請求項 17】

前記ゲート電極に対して電圧を印加することにより前記半導体層に反転層が形成された場合に、前記強磁性ソースにおける前記金属的スピンバンドの伝導キャリアが前記強磁性ソースから前記半導体層に熱放出又はトンネルの少なくとも一方によって注入されることを特徴とする請求項 6 又は 16 に記載のトランジスタ。

【請求項 18】

前記ゲート電極に対して電圧を印加しない状態においても、前記半導体層に反転層が形成されており、前記強磁性ソースにおける前記金属的スピンバンドの前記伝導キャリアが熱放出又はトンネルの少なくとも一方により前記半導体層中に注入されることを特徴とする請求項 6 に記載のトランジスタ。

10

【請求項 19】

前記ゲート電極に対して印加する電圧により、前記強磁性ソースにおける前記金属的スピンバンドの伝導キャリアが前記強磁性ソースから前記半導体層に熱放出又はトンネルの少なくとも一方によって注入されることに基づき、前記強磁性ソースと前記強磁性ドレインとの間に生じる電流を制御できることを特徴とする請求項 6 又は 18 に記載のトランジスタ。

【請求項 20】

前記強磁性ソースに対して形成された前記非磁性コンタクトから前記強磁性ソースにおける前記半導体的スピンバンドと平行なスピンを有する伝導キャリアは、前記半導体的スピンバンドによる前記非磁性コンタクトに対する前記エネルギー障壁によって、前記半導体層へトンネル及び熱放出による注入が抑制されることを特徴とする請求項 6 に記載のトランジスタ。

20

【請求項 21】

前記強磁性ソースの前記金属的スピンバンドから前記半導体層へ注入された一方のスピンを持つ伝導キャリアと、前記強磁性ソースに対して形成された前記非磁性コンタクトから前記強磁性ソースの前記半導体的スピンバンドを介して前記半導体層へ注入されたもう一方のスピンを持つ伝導キャリアとの存在比で決まる伝導キャリアのスピン偏極率を、前記強磁性ソースにおける前記半導体的スピンバンドのエネルギーギャップまたは前記非磁性コンタクトから見た前記強磁性ソースの半導体的スピンバンドによる障壁高さまたは前記強磁性ソースの膜厚で制御できることを特徴とする請求項 1 から 20 のいずれか 1 項に記載のトランジスタ。

30

【請求項 22】

前記強磁性ソースと前記強磁性ドレインとが平行磁化を持つ場合に、ゲート電極に対して印加する電圧によって前記強磁性ソースと前記強磁性ドレインとの間に定められたある電流を生じさせるゲート電圧として定義されるしきい値を有することを特徴とする請求項 1 から 21 のいずれか 1 項に記載のトランジスタ。

【請求項 23】

同一バイアス下において、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の向きにより伝達コンダクタンスを制御できることを特徴とする請求項 1 から 22 のいずれか 1 項に記載のトランジスタ。

40

【請求項 24】

前記強磁性ソース及び前記強磁性ドレインは、前記半導体層に成長又は堆積により形成されることを特徴とする請求項 1 から 23 のいずれか 1 項に記載のトランジスタ。

【請求項 25】

前記半導体層におけるキャリアの伝導方向の長さ又は前記強磁性ソースと強磁性ドレインとの間の間隔として定義されるチャンネル長として前記半導体層をキャリアがバリスティックに伝導できる長さを有するか、又は、前記チャンネル長がキャリアのエネルギー緩和に対する平均自由行程以下であることを特徴とする請求項 1 から 24 のいずれか 1 項に記載のトランジスタ。

50

## 【請求項 26】

前記ハーフメタルと前記半導体層との界面に、前記半導体層との間にショットキー接合を形成する金属層又は前記ハーフメタルとの間にショットキー接合を形成する半導体層、あるいは、金属/半導体ショットキー接合層を有することを特徴とする請求項 1 から 25 のいずれか 1 項に記載のトランジスタ。

## 【請求項 27】

請求項 1 から 26 までのいずれか 1 項に記載の 1 つのトランジスタを用いて、前記強磁性ソースに対する前記強磁性ドレインの相対的な磁化の方向によって情報を記憶し、前記強磁性ソースと前記強磁性ドレインとの相対的な磁化の方向に依存するトランジスタの伝達コンダクタンスに基づいて前記トランジスタ内に記憶された情報を検出することを特徴とする記憶素子。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、新規なトランジスタに関し、より詳細には、スピン依存伝達特性を有する電界効果トランジスタ及びそれを用いた不揮発性メモリに関する。

## 【背景技術】

## 【0002】

20

近年の高度情報化社会の発展は目覚しく、特に最近では“モバイル機器”を媒介として急速に民間に広がってきている。“モバイル機器”という大きな需要は今後の半導体産業の要になりうると認識されているが、この対応には半導体集積回路の高速化・低消費電力化・大容量化といった従来通りの高性能化に加え、情報の不揮発といった新たな要求に応じる必要が生じる。このような要求に対して、不揮発高密度記録として優れた強磁性体ストレージ技術と半導体集積エレクトロニクス技術とを融合させた新しいメモリデバイスが注目を集めている。このデバイスは磁気ランダムアクセスメモリ (magnetoresistive random access memory; 以下、「MRAM」と称する。) と呼ばれ、薄い絶縁性のトンネル障壁を強磁性電極で挟み込んだ構造を持つ強磁性トンネル接合 (magnetic tunnel junction; 以下「MTJ」と称する) をその記憶素子として用いる (例えば、K. Inomata, “Present and future of magnetic RAM technology”, IEICE Trans. Electron. Vol. E84-C, pp740-746, 2001. 参照)。

30

## 【0003】

MTJでは強磁性電極間の相対的な磁化の方向によってトンネル抵抗が異なる。これをトンネル磁気抵抗 (tunneling magnetoresistance; 以下「TMR」と称する) 効果と呼ぶ。TMRを用いれば、強磁性体の磁化状態を電気的に検出することが可能となる。従って、MTJの存在によって強磁性体による情報の不揮発ストレージ技術を半導体集積エレクトロニクスに理想的に取り込むことが可能となる。

40

## 【0004】

以下、図10を参照して従来技術の一例について説明する。図10に示すように、MRAMのメモリセル100では、1ビットのメモリセルを、1つのMTJ101と1つの金属-酸化物-半導体電界効果トランジスタ (以下「MOSFET」と称する。) 103とにより構成する方法が主に用いられる。MTJ101は、第1の強磁性電極105と、第2の強磁性電極107と、両者の間に設けられた絶縁体により形成されたトンネル障壁 (絶縁体) 108とからなるトンネル接合である。

## 【0005】

MOSFET103のソース(S)を接地(GND)し、ドレイン(D)をMTJ101の一方の強磁性電極107にプラグPLなどを用いて接続する。MTJ101の他方の

50

強磁性電極 105 はビット線 BL に接続し、書き換え用ワード線 111 は、MTJ 101 の直上または直下で MTJ 101 及び他の配線と、絶縁膜 115 により電氣的に絶縁した状態でビット線 BL と交差するように配置する。読み出し用ワード線 WL は MOSFET 103 のゲート電極 G に接続する。

【0006】

強磁性体では、磁化の方向を不揮発に保持することができるので、MTJ では強磁性電極間の相対的な磁化状態を平行磁化または反平行磁化にすることによって、2 値の情報を不揮発に記憶することができる。また、MTJ では TMR 効果によって 2 つの強磁性電極間における相対的な磁化状態でトンネル抵抗が異なる。よって、平行磁化、反平行磁化といった磁化状態に対応したトンネル抵抗を用いれば MTJ 内の磁化状態を電氣的に検出することができる。

10

【0007】

情報の書き換えは、MTJ 101 における 2 つの強磁性電極 105、107 の保持力を変えておくか、一方の強磁性電極の磁化方向を固定しておき、保持力の小さな強磁性電極または磁化方向の固定されていない強磁性電極を磁化反転させることによって行う。以下、磁化反転を行う強磁性電極をフリー層、磁化反転を行わない強磁性電極をピン層と呼ぶ。具体的には、選択セル上で交差するビット線 BL と書き換え用ワード線 111 とのそれぞれに電流を流し、それぞれの電流によって誘起される磁界の合成磁界によって選択されたメモリセル 100 内の MTJ 101 の磁化状態を平行磁化または反平行磁化に変化させる。この際、選択したセルと同一のビット線 BL または書き換え用ワード線 111 を有する非選択セルが磁化反転しないように、一方の配線のみからの磁界では非選択セルの MTJ 101 が磁化反転をしないようにそれぞれの配線に流す電流値を設定しておく。情報の読出しは、選択セルに接続された読み出し用のワード線 WL に電圧を印加して MOSFET 103 を導通させてから、ビット線 BL を介して読み出し用の駆動電流を MTJ 101 に流す。MTJ 101 では、TMR 効果によって平行磁化または反平行磁化の磁化状態に依存してトンネル抵抗が異なるため、読出し用の駆動電流による MTJ 101 における電圧降下（以下、「出力電圧」と呼ぶ）を検出すれば磁化状態を判定することができる（K. Inomata, "Present and future of magnetic RAM technology", IEICE Trans. Electron. Vol. E 84 - C, pp 740 - 746, 2001. 参照）。

20

30

【先行技術文献】

【特許文献】

【0008】

【特許文献 1】特開 2001 - 203332 号公報

【発明の概要】

【0009】

MTJ は、トンネル障壁を介して相対する強磁性電極の磁化状態が平行磁化であるか反平行磁化であるかに対応して 2 値の抵抗値をとる。この 2 値の情報のいずれの情報が記憶されているかを駆動電流で高感度に検出するためには、MTJ 自身のインピーダンス（接合抵抗）を調節して出力電圧の大きさを最適化する必要がある。

40

【0010】

さらに、情報の記憶内容を正確に読み出すために、平行磁化と反平行磁化との 2 つの磁化状態間における出力信号の比を大きくする必要がある。このためには、TMR 比と呼ばれる MTJ が平行磁化を持つ場合と反平行磁化を持つ場合とのそれぞれにおける TMR の変化率を大きくする必要がある。TMR 比は、強磁性電極のスピン分極率 P に依存するが、TMR 比を大きくするためには、P の値が大きな強磁性体を強磁性電極に用いることが必要である。

【0011】

また、MTJ における TMR 比は、MTJ に印加するバイアス電圧に強く依存し、バイアス電圧とともに急激に減少する。高感度にまたは高速に情報の読出しを行うために大き

50

な駆動電流をMTJに流すと、MTJにおける電圧降下が大きくなり、TMR比が減少する。そこで、MTJにおける大きな電圧降下が生じてもTMR比が減少しないように、TMR比の耐バイアスが必要になる。

【0012】

MRAMは、構造が簡単で、またMTJはナノスケールのサイズまで微細化できることから、高密度集積化に適したメモリである。数ギガビット以上の高集積度を実現しようとすると、MOSFETのチャネル長は $0.1\mu\text{m}$ 程度以下となることが予想されるが、このような微細なトランジスタに合わせて微細なMTJを集積化しようとしても、コンタクト、多層配線がセル面積を占有するようになり、両者を超高密度に集積することが難しくなる。従って、より単純な構造を有するメモリセルが望まれる。

10

【0013】

本発明は、ソース及びドレインに強磁性体によるショットキー接合を用いた金属-絶縁体-半導体電界効果トランジスタ(MISFET)を提供することを目的とする。加えて、このトランジスタ単体で1ビットのメモリセルを構成することにより大容量・不揮発性記憶装置を提供することを目的とする。

【図面の簡単な説明】

【0014】

【図1】図1は、本発明の第1の実施の形態によるMISFETの概略構成を示す断面図である。

【図2】図2(A)は、強磁性ソースと強磁性ドレインに強磁性金属を用いた図1の構造における蓄積nチャンネル型MISFETの強磁性ソース/半導体層/強磁性ドレインのエネルギーバンド図である。図2(B)は、反転nチャンネル型MISFETにおける強磁性ソース/半導体層/強磁性ドレインのエネルギーバンド図である。

20

【図3】図3は、本発明の第2の実施の形態によるMISFETの構造を示す図であり、図3(A)は、強磁性ソースと強磁性ドレインにハーフメタルを用いた図1の構造における蓄積nチャンネル型MISFETの強磁性ソース/半導体層/強磁性ドレインのエネルギーバンド図である。図3(B)は、反転型nチャンネルMISFETにおける強磁性ソース/半導体層/強磁性ドレインのエネルギーバンド図である。

【図4】図4は、図2(A)のエネルギーバンド構造を有するMISFETの動作原理を示す図であり、図4(A)は平衡状態におけるエネルギーバンド図であり、図4(B)は、強磁性ソースと強磁性ドレインが平行磁化の場合において $V_{DS}$ を印加した場合のエネルギーバンド図であり、図4(C)は、図4(B)の状態からさらに $V_{GS}$ を印加した場合のエネルギーバンド図であり、図4(D)は、図4(C)と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

30

【図5】図5は、図2(B)のエネルギーバンド構造を有するMISFETの動作原理を示す図であり、図5(A)は平衡状態におけるエネルギーバンド図であり、図5(B)は、強磁性ソースと強磁性ドレインが平行磁化の場合において $V_{DS}$ を印加した場合のエネルギーバンド図であり、図5(C)は、図5(B)の状態からさらに $V_{GS}$ を印加した場合のエネルギーバンド図であり、図5(D)は、図5(C)と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

40

【図6】図6は、図3(A)のエネルギーバンド構造を有するMISFETの動作原理を示す図であり、図6(A)は平衡状態におけるエネルギーバンド図であり、図6(B)は、強磁性ソースと強磁性ドレインが平行磁化の場合において $V_{DS}$ を印加した場合のエネルギーバンド図であり、図6(C)は、図6(B)の状態からさらに $V_{GS}$ を印加した場合のエネルギーバンド図であり、図6(D)は、図6(C)と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

【図7】図7は、図3(B)のエネルギーバンド構造を有するMISFETの動作原理を示す図であり、図7(A)は平衡状態におけるエネルギーバンド図であり、図7(B)は、強磁性ソースと強磁性ドレインが平行磁化の場合において $V_{DS}$ を印加した場合のエネルギーバンド図であり、図7(C)は、図7(B)の状態からさらに $V_{GS}$ を印加した場

50

合のエネルギーバンド図であり、図7(D)は、図7(C)と同じバイアス下において強磁性ソースと強磁性ドレインが反平行磁化の場合のエネルギーバンド図である。

【図8】図8は、本実施の形態によるMISFETのソース接地のドレイン電流 - 電圧特性の概念図である。

【図9】図9(a)は、本実施の形態によるMISFETを用いたメモリ回路の一構成例を示す図である。図9(b)は、図9(a)に示すメモリ回路のビット線端に出力端子 $V_o$ と、この出力端子 $V_o$ から分岐して負荷 $R_L$ を介し電源電圧 $V_{DD}$ に接続したメモリ回路である。図9(c)は、図9(b)に示したメモリセルの静特性と動作点を示す図である。

【図10】図10は、一般的なMRAMに用いられるメモリセルの構造を示す断面図である。

【図11】図11は、本発明の各実施の形態によるメモリセル構造の一例であり、強磁性ソースを共通にした構成例を示す図である。

【図12】図12は、本発明の第3の実施の形態によるMISFETの構造例を示すエネルギーバンド図である。

【図13】図13は、本発明の第4及び第5の実施の形態によるMISFETの構造例を示すエネルギーバンド図であり、図13(A)は、ソース/ドレインにn型強磁性半導体を用い、ソース/ドレイン間に真性半導体を用いたMISFETの構造例を、図13(B)は、ソース/ドレインにn型強磁性半導体を用い、ソース/ドレイン間にp型半導体を用いたMISFETの構造例を示す図である。

【発明を実施するための形態】

【0015】

本発明に係る金属 - 絶縁体 - 半導体電界効果トランジスタ(以下、「MISFET」と称する。)は、強磁性体からなるソースに対するドレイン(以下、それぞれ、「強磁性ソース」、「強磁性ドレイン」と称する。)の相対的な磁化の方向として情報を記憶し、この相対的な磁化方向に依存する伝達特性を利用して記憶された情報を読み出す。従って、本発明に係るMISFETを用いると、トランジスタ単体で1ビットの不揮発性メモリセルを構成できることから、高速・大容量の不揮発性メモリを実現することが可能となる。

【0016】

まず、本発明の第1の実施の形態によるMISFETについて図面を参照しつつ説明を行う。

【0017】

図1は、本発明の第1の実施の形態によるMISFETの断面構造を示す図である。図1に示すように、本実施の形態によるMISFETは、一般的なMISFET(例えばSiMOSFETなど)と同様のゲート電極7と、ゲート絶縁膜11と、非磁性の半導体層1からなるMIS構造と、非磁性の半導体層1との間でショットキー接合を形成する強磁性体からなるソース(強磁性ソース)3とドレイン(強磁性ドレイン)5とを有している。強磁性ソースおよび強磁性ドレインには、Fe、Ni、Co、パーマロイ、CoFe合金( $Co_{1-x}Fe_x$ )、CoFeB合金( $Co_{1-x-y}Fe_xB_y$ )などの強磁性金属や、 $Co_2MnSi$ などのホイスラーアロイ(Heusler alloy)、 $CrO_2$ 、 $Fe_3O_4$ (Magnetite)、せん垂鉛鉱型のCrAs、CrSb、MnAsなどのハーフメタルを用いることができる。また、強磁性金属的なバンド構造を有する強磁性半導体やハーフメタルとなるバンド構造を有する強磁性半導体を用いることもできる。強磁性ソース3と強磁性ドレイン5は、強磁性体を非磁性の半導体層1上にエピタキシャル成長又は堆積により形成する。或いは、熱拡散またはイオン注入などの方法により非磁性の半導体層1中に磁性原子を導入することによって形成しても良い。また、図中の強磁性ソースと強磁性ドレイン上に示した矢印は磁化方向を示す。尚、ゲート絶縁膜としては、 $SiO_2$ 、 $Al_2O_3$ や、高誘電率材料である $HfO_2$ などを用いることができる。

【0018】

本実施の形態によるMISFETでは、非磁性の半導体層(または半導体基板)1と同

10

20

30

40

50



じ伝導型のキャリアを伝導キャリアとすることが可能であり、或いは、非磁性の半導体層1と反対の伝導型のキャリアを誘起して伝導キャリアとすることもできる。ここでは、便宜上、前者を蓄積チャンネル型と称し、後者を反転チャンネル型と称する。nチャンネルのMISFETを構成する場合には、蓄積チャンネル型ではn型半導体を用いる。同様に、pチャンネルのMISFETの場合には、蓄積チャンネル型ではp型半導体を用いる。以後、nチャンネルの蓄積チャンネル型を蓄積nチャンネル型と称し、nチャンネルの反転チャンネル型を反転nチャンネル型と称する。pチャンネルに対しても、nチャンネルの場合と同様に蓄積pチャンネル型、反転pチャンネル型と呼ぶ。

【0019】

また、実際のチャンネルの有無に関わらず、ゲート絶縁膜/半導体界面の直下の半導体領域をチャンネル領域と呼ぶ。以下、強磁性ソースと強磁性ドレインとに強磁性金属を用いた場合と、ハーフメタルを用いた場合とのそれぞれにおける蓄積nチャンネル型と反転nチャンネル型トランジスタのエネルギーバンド構造について説明する。尚、以下において詳細な説明は省略するが、同様にして蓄積pチャンネル型と反転pチャンネル型のMISFETを構成することができるが、以下ではエンハンスメント型及びデプレッション型のMISFETを構成することができるが、以下ではエンハンスメント型について述べる。また本来“スピン”といった用語はスピン角運動量に関連して用いる用語であるが、以下ではアップスピンを有する電子を単にアップスピンなどと呼ぶようにキャリアの意味でも用いる。

【0020】

図2(A)及び図2(B)は、強磁性体として強磁性金属を用いた場合のエネルギーバンド図であり、図3(A)及び図3(B)は、強磁性体として、ハーフメタルを用いた場合のエネルギーバンド図である。

【0021】

図2(A)は、強磁性ソース及び強磁性ドレインに強磁性金属を用いた場合の、蓄積nチャンネル型MISFETのチャンネル領域近傍におけるエネルギーバンド構造を示す図である。強磁性ソース3と強磁性ドレイン5は、非磁性のn型半導体層1と強磁性金属(3, 5)とをショットキー接合することによって形成する。図2(A)における強磁性ソース3およびドレイン5上に示した実線とn型半導体層1上に示した点線は、フェルミエネルギー $E_F$ を表す。 $E_G$ は半導体のバンドギャップを表す。

【0022】

$E_C$ と $E_V$ は、それぞれ半導体層1の伝導バンドの底と価電子バンドの頂上を表す。 $E_F$ 、 $E_C$ 、 $E_V$ 、 $E_G$ は、以下の図でも同様の意味で用いる。 $\phi_n$ は強磁性金属とn型半導体とのショットキー接合の障壁高さである。すなわち、フェルミエネルギー $E_F$ と接合界面におけるn型半導体層1の伝導体底 $E_C$ とのエネルギー差を表す。また、強磁性ソース3と強磁性ドレイン5のフェルミエネルギー上に示した矢印は多数スピンの向きを表し、上向きであればアップスピン、下向きであればダウンスピンを表す。また、少数スピンの表示は省略している。以下、強磁性金属を用いる場合には同様にして多数スピンの向きをバンド図上に表示する。

【0023】

図2(B)は、強磁性ソースと強磁性ドレインとに強磁性金属を用いた場合の、反転nチャンネル型MISFETのチャンネル領域近傍におけるバンド構造を示す図である。強磁性金属からなる強磁性ソース3及び強磁性ドレイン5とp型半導体層1とが、ショットキー接合を形成している。 $\phi_p$ は強磁性金属とp型半導体層1とのショットキー接合の障壁高さであり、フェルミエネルギー $E_F$ と接合界面におけるp型半導体層の価電子バンド頂上 $E_V$ とのエネルギー差である。 $\phi_n$ は、フェルミエネルギー $E_F$ と接合界面におけるp型半導体層の伝導バンド底 $E_C$ とのエネルギー差を表す。

【0024】

次に、本発明の第2の実施の形態によるMISFETについて図面を参照しつつ説明を行う。

10

20

30

40

50

## 【 0 0 2 5 】

図 3 ( A ) は、本実施の形態による M I S F E T であって、強磁性ソースと強磁性ドレインとにハーフメタルを用いた場合における蓄積 n チャネル型 M I S F E T のチャネル領域近傍におけるバンド構造を示す図である。ハーフメタルは、一方のスピンの対しては金属的なバンド構造（以下、「金属的スピンバンド」と称する。）をとるが、もう一方（他方）のスピンの対して半導体（絶縁体）的となるバンド構造（以下、「半導体的スピンバンド」と称する。）を有する。すなわち、ハーフメタルでは、一方のスピンの対しては途中まで占有されたバンドを有し、他方のスピンの対しては完全に満たされたバンド（価電子バンド）がバンドギャップによって空のバンド（伝導バンド）と分離している。従って、フェルミエネルギー  $E_F$  は、一方のスピンの金属的スピンバンドを横切るが、他方のスピンの対してはバンドギャップ中を横切り、キャリアの伝導は、金属的スピンバンドに属する一方のスピンのみが担うことになる。

10

## 【 0 0 2 6 】

図 3 ( A ) において、強磁性ソース 3 a および強磁性ドレイン 5 a 上中央に示した実線はハーフメタルにおけるフェルミエネルギー  $E_F$  である。すなわち、 $E_F$  は、金属的スピンバンドのフェルミ面となる。また、 $E_F$  の上下に示した実線  $E_C^{HM}$ 、 $E_V^{HM}$  は、それぞれ、半導体的スピンバンドにおける伝導バンドの底および価電子バンドの頂上を表す。 $E_G^{HM}$  は、ハーフメタル ( 3 a · 5 a ) の半導体的スピンバンドのバンドギャップを表す。ハーフメタル ( 3 a · 5 a ) を用いて蓄積 n チャネル型の M I S F E T を形成する場合には、ハーフメタル ( 3 a · 5 a ) における金属的スピンバンドと n 型半導体層 1 とが、障壁高さ  $\phi_n$  のショットキー接合を形成する必要がある。また、この接合によって、ハーフメタル ( 3 a · 5 a ) における半導体的スピンバンドにおける伝導バンドの底は、n 型半導体層 1 の伝導バンドの底よりも高いエネルギーを有し、界面において、エネルギー不連続  $E_C$  を形成するようにすることが好ましい。

20

## 【 0 0 2 7 】

エネルギー不連続  $E_V$  は、ハーフメタル ( 3 a · 5 a ) における半導体的スピンバンドの価電子バンド頂上のエネルギーと接合界面における n 型半導体層 1 における価電子バンド頂上のエネルギーとのエネルギー差である。以下でも、同様にハーフメタルを強磁性ソース 3 a と強磁性ドレイン 5 a とに用いた場合に、半導体的スピンバンドにおける伝導バンドおよび価電子バンドの半導体層 1 との接合界面におけるエネルギー不連続量を、それぞれ  $E_C$  と  $E_V$  とする。

30

## 【 0 0 2 8 】

また、図中には、ハーフメタルからなる強磁性ソース 3 a と強磁性ドレイン 5 a に接合された非磁性コンタクト 3 b · 5 b のフェルミエネルギーも示してある。従って、図 1 の強磁性ソース 3 は、ハーフメタルを用いた場合では、強磁性ソース 3 a と非磁性コンタクト 3 b からなる。強磁性ドレインについても同様である。また、以下で強磁性金属又はハーフメタルの指定なく強磁性ソース 3 又は強磁性ドレイン 5 と記述する場合は強磁性ソース 3 a と強磁性ドレイン 5 a を含むものとする。 $\phi_n'$  は、この非磁性コンタクト 3 b · 5 b のフェルミエネルギー  $E_F$  とハーフメタル ( 3 a · 5 a ) における半導体的スピンバンドにおける伝導バンド  $E_C^{HM}$  とのエネルギー差である。

40

## 【 0 0 2 9 】

図 3 ( B ) に、強磁性ソースと強磁性ドレインとにハーフメタルを用いた場合の反転 n チャネル型 M I S F E T のチャネル領域近傍におけるバンド構造を示す。

## 【 0 0 3 0 】

強磁性ソース 3 a と強磁性ドレイン 5 a とは、p 型半導体層 1 とハーフメタルの金属的スピンバンドとをショットキー接合することによって形成する必要がある。 $\phi_p$  は、ハーフメタル ( 3 a · 5 a ) における金属的スピンバンドと p 型半導体層 1 とのショットキー接合の障壁高さである。 $\phi_n$  は、ハーフメタル ( 3 a · 5 a ) におけるフェルミエネルギー  $E_F$  と接合界面における p 型半導体層 1 の伝導体底  $E_C$  とのエネルギー差を表す。また、ハーフメタル ( 3 a · 5 a ) の半導体的スピンバンドにおける伝導バンドの底は、p 型

50

半導体層 1 の伝導体の底に比べてエネルギーが高く、界面において、 $E_c$  のエネルギー不連続を生じていることが好ましい。

【0031】

また  $n'$  及び  $p'$  は、それぞれ、フェルミエネルギーとハーフメタル ( $3a \cdot 5a$ ) における半導体的スピンバンドの伝導バンドの底  $E_{cH^M}$  及び価電子バンドの頂上  $E_{vH^M}$  との差である。

【0032】

以下に、上述した本実施の形態による各 MISFET の動作原理について図面を参照して説明を行う。本実施の形態による MISFET において、強磁性ソースはチャンネルにスピンを注入するスピンインジェクタとして機能し、また、強磁性ドレインはチャンネルに注入された伝導キャリアのスピン向きを電気信号として検出するスピンアナライザとして機能する。本実施の形態による MISFET では、上述のように強磁性ソースと強磁性ドレインとに、強磁性金属を用いることもできるし、ハーフメタルを用いることも可能である。さらに、ソースとドレインの一方が強磁性金属、他方がハーフメタルでも良い。

【0033】

以下、強磁性ソースに対する強磁性ドレインの相対的な磁化の方向が同方向である場合を平行磁化とし、これらの相対的な磁化方向が互いに反方向の場合を反平行磁化とする。また、MISFET のチャンネル長は、スピンの緩和距離より十分短いものとし、また、ゲート電圧による Rashba 効果を見捨てる。

【0034】

図 4 (A) から図 4 (D) までを参照して強磁性ソースと強磁性ドレインとに強磁性金属を用いた蓄積 n チャンネル型 MISFET の動作原理を説明する。図 4 (A) は平衡状態におけるエネルギーバンド図であり、図 2 (A) に対応する図である。

【0035】

図 4 (A) の平衡状態から、強磁性ソース 3 とゲート電極 7 との間にバイアス  $V_{GS}$  を  $V_{GS} = 0$  として、強磁性ソース 3 と強磁性ドレイン 5 との間にバイアス  $V_{DS}$  を印加すると、 $V_{DS}$  を強磁性ソース 3 のショットキー接合と強磁性ドレイン 5 のショットキー接合とで分圧し、図 4 (B) に示すようなポテンシャルとなる。強磁性ドレイン 5 のショットキー接合は順バイアスされており、チャンネル中央部の伝導帯の底から見たドレイン側ショットキー接合の障壁高さは減少 (または消失) するが、強磁性ソース 3 のショットキー接合は、逆バイアスされており、チャンネル中央部の伝導帯の底から見たソース側ショットキー接合では障壁高さが増加する。このとき、 $V_{DS}$  は、強磁性ソース 3 のフェルミエネルギー  $E_F$  がソース側ショットキー障壁のバンド端を横切るように印加するが、トンネル効果による電流はほとんど生じない程度の大きさのバイアスである。すなわち、ソース側ショットキー接合界面から強磁性ソース 3 のフェルミエネルギーとこのショットキー障壁のバンド端とが交差するまでの距離  $d$  は、強磁性ソース 3 からチャンネルにキャリアのトンネル効果が生じない程度に十分厚い。ソース側のショットキー接合は逆バイアスされているため、強磁性ソース 3 から高さ  $n$  の障壁を熱的に乗り越えるキャリアによるショットキー接合の逆方向飽和電流程度の電流が生じるが、 $n$  を適切に選定することによりこの電流成分を十分に抑制し、小さくすることが可能である。従って、 $V_{GS} = 0$  では MISFET は遮断状態となる。

【0036】

次に、ゲート電極 7 (図 1) に 3 バイアス  $V_{GS} (> 0)$  を印加すると、ゲート電極 7 から強磁性ソース 3 に向かう電気力線によって、ソース側ショットキー障壁近傍の電界が強められ、図 4 (C) に示すようにショットキー障壁の障壁幅が減少する (図中の  $d'$ )。従って、強磁性ソース 3 の伝導電子は、このポテンシャル障壁をトンネル効果によって透過してゲート絶縁膜 11 直下のチャンネル領域に注入される。この際、強磁性ソース 3 からは多数スピンと少数スピンの注入されるが、多数スピンのキャリア密度が少数スピンよりも大きいため注入電子はスピン偏極する。注入電子のスピン偏極率は強磁性ソース 3 のフェルミエネルギー近傍におけるスピン分極率に依存し、このスピン分極率が大きいほど

10

20

30

40

50

注入電子のスピンの偏極率は大きい。

【0037】

以下、スピン偏極した電子をスピン偏極電子と呼ぶ。スピン偏極電子の多数スピンおよび少数スピンは、それぞれ強磁性ソース3の多数スピンおよび少数スピンと平行である。チャンネルに注入されたスピン偏極電子は、 $V_{GS}$ によってゲート絶縁膜/半導体界面に引き付けられながら、 $V_{DS}$ によって強磁性ドレイン5のショットキー障壁界面まで輸送される。強磁性ソース3と強磁性ドレイン5とが平行磁化を持つ場合には、スピン偏極電子の多数スピンと少数スピンは、それぞれ強磁性ドレイン5の多数スピンと少数スピンとに平行である。従って、強磁性ドレイン5に注入されたスピン偏極電子は、スピン依存散乱をほとんど受けることなく強磁性ドレイン5を伝導して強磁性ドレインに流れ込む電流となる（以下、この電流を「ドレイン電流」と称する。）。特に、強磁性ソース3と強磁性ドレイン5とが平行磁化の場合に、ある定められたドレイン電流の生じる $V_{GS}$ をしきい値 $V_T$ とする。

10

【0038】

一方、強磁性ソース3と強磁性ドレイン5とが反平行磁化を持つ場合には、チャンネルに注入されたスピン偏極電子のうち多数スピンは、強磁性ドレイン5の多数スピンと反平行である（図4（D））。よって、チャンネルのスピン偏極電子は、強磁性ドレイン5においてスピン依存散乱による電気抵抗を生じる。従って、MISFETが同一バイアス下にあっても、反平行磁化の場合ではこのスピン依存散乱によって平行磁化の場合に比べてドレイン電流が減少する。すなわち、強磁性ソース3と強磁性ドレイン5との間の相対的な磁化状態が平行磁化を持つ場合の伝達（相互）コンダクタンスに比べて、反平行磁化を持つ場合の伝達コンダクタンスは小さくなる。また、チャンネル長がキャリアのエネルギー緩和に対する平均自由行程以下であれば、チャンネル内をキャリアがパリスティックに伝導するため、トンネル磁気抵抗効果と類似の磁気抵抗効果が期待できる。この場合では平行磁化と反平行磁化における伝達コンダクタンスの変化はより大きくなる。

20

【0039】

図5（A）から図5（D）までは、強磁性金属をソース3とドレイン5に用いた反転nチャンネル型のMISFETの動作原理を示す図である。平衡状態から（図5（A））、 $V_{GS} = 0$ の状態では $V_{DS} (> 0)$ を印加すると、図5（B）に示すように強磁性ソース3が順バイアスされ、強磁性ドレイン5が逆バイアスされる。チャンネル領域がp型であるため、強磁性ドレイン5から正孔が注入されれば電流が生じるが、強磁性ドレイン5の逆バイアスされたショットキー接合によって正孔はほとんど注入されない。熱的に $p$ を乗り越えた正孔によるショットキー接合の逆方向飽和電流程度の小さな電流が生じるが、 $p$ を適切に選べば、この電流を十分に小さくできる。従って、 $V_{GS} = 0$ の場合ではMISFETは遮断状態となる。

30

【0040】

ゲート電極7（図1）にデバイス構造から決まるあるしきい値 $V_T$ 以上の $V_{GS} (> V_T)$ を印加すると、ゲート絶縁膜/半導体界面に電子が誘起され反転層が形成される（従って、反転チャンネル型と蓄積チャンネル型ではしきい値 $V_T$ の定義が異なるが、便宜上、いずれの場合でも、しきい値を $V_T$ と記載する）。このとき、チャンネル領域における強磁性ソース3および強磁性ドレイン5のそれぞれの接合界面では、反転層の電子に対して障壁高さ $n$ の障壁が形成されるが、 $V_{DS}$ によって強磁性ドレイン5の接合および強磁性ソース3の接合は図5（C）のようにバイアスされる。

40

【0041】

上述のように、十分に大きな $p$ を選んでおけば、 $n (= E_G - p)$ は小さく、強磁性ソース3から熱放出によってスピン偏極電子がチャンネルに注入される。また、強磁性ソース3からキャリアを熱放出できるほど $n$ が小さくなくない場合でも、蓄積チャンネル型と同様に強磁性ソース3側のショットキー障壁をトンネルして強磁性ソース3からチャンネルにスピン偏極電子を注入することも可能である。

【0042】

50

チャンネルに注入されたスピン偏極電子は、 $V_{DS}$ によって強磁性ドレイン5側のショットキー障壁界面まで輸送される。強磁性ソース3と強磁性ドレイン5とが平行磁化を持つ場合は、スピン偏極電子の多数スピンと少数スピンとは、それぞれ強磁性ドレイン5の多数スピンと少数スピンとに対して平行である。従って、平行磁化の場合では、蓄積チャンネル型の場合と同様に、強磁性ドレイン5に注入されたスピン偏極電子はスピン依存散乱をほとんど受けることなく強磁性ドレイン5を伝導してドレイン電流となる。

【0043】

一方、図5(D)に示すように、強磁性ソース3と強磁性ドレイン5とが反平行磁化を持つ場合は、チャンネルに注入されたスピン偏極電子の多数スピンは強磁性ドレイン5の多数スピンと反平行である。従って、スピン偏極電子は強磁性ドレイン5でスピン依存散乱による電気抵抗を生じる。よって、反転チャンネル型でも、強磁性ソース3と強磁性ドレイン5との間の相対的な磁化状態に基づきMISFETの伝達コンダクタンスが変化する。すなわち、同一バイアス下であっても、強磁性ソース3と強磁性ドレイン5とが反平行磁化の場合には平行磁化の場合に比べてドレイン電流は小さくなる。また、蓄積チャンネル型の場合と同様に、チャンネル長がキャリアのエネルギー緩和に対する平均自由行程以下であれば、トンネル磁気抵抗効果と類似の磁気抵抗効果が期待できるため、平行磁化と反平行磁化における伝達コンダクタンスの変化はより大きくなる。

【0044】

次に、強磁性体としてハーフメタルを用いた場合について説明する。図6(A)から図6(D)までを参照して、ハーフメタルを強磁性ソースと強磁性ドレインに用いた場合の蓄積nチャンネル型MISFETの動作原理を説明する。図6(A)は平衡状態におけるエネルギーバンド図であり、図3(A)に対応する図である。

【0045】

図6(B)は、 $V_{GS} = 0$ の状態では、 $V_{DS} (> 0)$ を印加した場合のポテンシャル形状を示す図である。以下では、図6(B)に示すように、強磁性ソース3aの金属的スピンバンドに属するスピンをアップスピンとし、半導体的スピンバンドに属するスピンをダウンスピンとする。金属的スピンバンドに属するアップスピンに対しては、半導体層1との接合界面において、障壁高さ $\phi_n$ のショットキー接合が形成されるため、 $V_{DS}$ はソース側ショットキー接合とドレイン側ショットキー接合とによって分圧される。従って、強磁性ドレイン5aのショットキー接合は順バイアスされ、強磁性ソース3aのショットキー接合は逆バイアスされる。このとき、 $V_{DS}$ は、強磁性ソース3aのフェルミエネルギー $E_F$ がソース側ショットキー障壁のバンド端を横切るように印加するが、ショットキー接合の障壁幅 $d$ は強磁性ソース3aの金属的スピンバンドからアップスピンのトンネルしない程度に厚くしておく。すなわち、 $V_{GS} = 0$ の状態では、強磁性ソース3aの金属的スピンバンドのアップスピンはチャンネル領域へのトンネル注入が抑制されている。また、ショットキー接合の障壁高さ $\phi_n$ を熱的に乗り越えることによって生じるショットキー接合の逆方向飽和電流としてアップスピンのトンネル注入がチャンネル領域に注入できるが、 $\phi_n$ の値を適切に選ぶことによりこの電流値を十分に小さくできる。

【0046】

一方、ダウンスピンを有する強磁性ソース3aの半導体的スピンバンドのバンドギャップにより、強磁性ソース3aの半導体的スピンバンドと非磁性コンタクト3bとの間に障壁高さ $\phi_n'$ のエネルギー障壁が形成される。強磁性ソース3aの半導体的スピンバンドには伝導キャリアが存在しないことから、ダウンスピンが半導体層1に注入されるためには、非磁性コンタクト3bからダウンスピンが強磁性ソース3aの半導体的スピンバンドをトンネルするか、熱的に障壁を乗り越えなければならない。強磁性ソース3aの膜厚を十分に厚くし、かつ、非磁性金属電極3bから見たエネルギー障壁の障壁高さ $\phi_n'$ を十分な高さを選べば、ダウンスピンがチャンネル領域に注入される確率は極めて低くできる。キャリアの注入は生じない。従って、 $V_{GS} = 0$ の状態では、アップスピン及びダウンスピンによる電流はほとんど生じず、MISFETは遮断状態となる。

【0047】

10

20

30

40

50

次に、図6(C)に示すように、ゲート電極7(図1)にバイアス $V_{GS} (> 0)$ を印加すると、ゲート電極7(図1)から強磁性ソース3aに向かう電気力線によって、ソース側ショットキー障壁近傍の電界が強められ、強磁性ソースにおける金属的スピンバンドに対するショットキー障壁の障壁幅が減少する(図6(C)中の $d'$ 参照)。従って、強磁性ソース3aの金属的スピンバンドからアップスピンはこのショットキー障壁をトンネルしてゲート絶縁膜直下の半導体層1のチャンネル領域に注入される。この際、ダウンスピンに対しては強磁性ソース3aの半導体的スピンバンドによる障壁高さ $E_n'$ のエネルギー障壁によって非磁性コンタクト3bからダウンスピンはほとんど注入されない。従って、ハーフメタルにより形成される強磁性ソース3aは、選択的にアップスピンのみを注入する。

10

## 【0048】

チャンネルに注入されたアップスピンは、 $V_{DS}$ によって強磁性ドレイン5a側のショットキー障壁界面まで輸送される。強磁性ソース3aと強磁性ドレイン5aとが平行磁化を持つ場合では、注入されたアップスピンは強磁性ドレイン5aの金属的スピンバンドのスピンと平行である。従って、強磁性ドレイン5aに注入されたアップスピンは、スピン依存散乱をほとんど受けることなく強磁性ドレイン5aを伝導して、ドレイン電流となる。特に、強磁性ソース3aと強磁性ドレイン5aとが平行磁化を持つ場合に定められたあるドレイン電流の生じる $V_{GS}$ を $V_T$ と定義する。

## 【0049】

一方、図6(D)に示すように、強磁性ソース3aと強磁性ドレイン5aとが反平行磁化を持つ場合には、チャンネルに注入されたアップスピンは強磁性ドレイン5aの金属的スピンバンドのスピンと反平行となり、半導体的スピンバンドのスピンと平行となる。従って、チャンネルに注入されたアップスピンは、強磁性ドレイン5aを障壁高さ $E_c$ のエネルギー障壁として感じる。このチャンネルのアップスピンのトンネルできないように、または、熱的にこの障壁を乗り越えることができないように、強磁性ドレイン5aの膜厚と $E_c$ とを選んでおけば、非磁性ソース電極3bから注入されたアップスピンは強磁性ドレイン5aをほとんど伝導することができない。よって、ドレイン電流はほとんど生じない。従って、強磁性ドレイン5aにおけるハーフメタルは金属的スピンバンドのスピンと平行なスピンのみを通過させ、反平行のスピンを通過させない。

20

## 【0050】

ハーフメタルからなる強磁性ソース3aからは、極めてスピン偏極率の高いスピン偏極電子をチャンネルに注入することができ、また、ハーフメタルにより形成された強磁性ドレイン5aのスピン選択率は極めて大きいため、強磁性ソース3aと強磁性ドレイン5a間の相対的な磁化状態が反平行磁化の場合には平行磁化の場合に比べてドレイン電流は非常に小さくなる。従って、ハーフメタルを用いた場合では、通常の強磁性金属を用いた場合に比べて強磁性ソース3aと強磁性ドレイン5aとの相対的な磁化状態が平行磁化である場合と反平行磁化である場合のそれぞれにおけるドレイン電流の比を極めて大きくすることができる。

30

## 【0051】

次に、ハーフメタルを強磁性ソースと強磁性ドレインとに用いた反転nチャンネル型MISFETの動作原理について図7(A)から図7(D)までを参照して説明する。以下でも、ハーフメタルにより形成された強磁性ソース3aの金属的スピンバンドに属するスピンをアップスピンとし、半導体的スピンバンドに属するスピンをダウンスピンとする。図7(A)は、平衡状態におけるエネルギーバンド図であり、図3(B)に対応する。 $V_{GS} = 0$ の状態では $V_{DS}$ を印加した場合、半導体層1がp型半導体であるため、ドレイン側から正孔が注入されればMISFETに電流が生じるが、強磁性ドレイン5aにおけるハーフメタルの金属的スピンバンドによるショットキー接合が逆バイアスされ、正孔の注入が抑制されている。但し、ショットキー接合の逆方向飽和電流程度の電流は生じるが、 $\phi_p$ を適切に選定することによってこの電流を十分に小さくできる。

40

## 【0052】

50

また、強磁性ドレイン 5 a の半導体的スピンバンドによるエネルギー障壁  $E_p$  ' によってドレイン側非磁性コンタクト 5 b から、正孔の注入は抑制されている。従って、図 7 ( B ) に示す場合には M I S F E T は遮断状態となる。

【 0 0 5 3 】

ゲート電極にしきい値  $V_T$  以上の  $V_{GS}$  を印加すると、ゲート絶縁膜 / 半導体界面に電子が誘起され反転層が形成される ( 従って、反転チャンネル型と蓄積チャンネル型では  $V_T$  の定義が異なる ) 。この際、図 7 ( C ) に示すように反転層と強磁性ソース 3 a および強磁性ドレイン 5 a のそれぞれの接合界面では、ハーフメタルの金属的スピンバンドによる障壁高さ  $E_n$  の障壁が形成される。

【 0 0 5 4 】

$V_{DS}$  の印加によって強磁性ドレイン 5 a および強磁性ソース 3 a の接合は図 7 ( C ) に示すようにバイアスされる。十分大きな  $E_p$  を選んでおけば、 $E_n (= E_G - E_p)$  は小さく、強磁性ソース 3 a の金属的スピンバンドから熱放出によってアップスピンがチャンネルに注入される。また、強磁性ソース 3 a からアップスピンを熱電子注入できるほど  $E_n$  が小さくない場合でも、蓄積チャンネル型と同様にトンネル注入によって強磁性ソース 3 a の金属的スピンバンドからチャンネルへアップスピンを注入することも可能である。一方、強磁性ソース 3 a の半導体スピンバンドによってダウンスピンは、ほとんど注入されない。

【 0 0 5 5 】

チャンネルに注入されたアップスピンは、 $V_{DS}$  によってドレイン側の接合界面まで輸送される。強磁性ソース 3 a と強磁性ドレイン 5 a とが平行磁化を持つ場合は、チャンネルに注入されたアップスピンは強磁性ドレイン 5 a における金属的スピンバンドのスピンの平行である。従って、アップスピンは強磁性ドレイン 5 a の金属的スピンバンドを伝導してドレイン電流となる。

【 0 0 5 6 】

図 7 ( D ) に示すように、強磁性ソース 3 a と強磁性ドレイン 5 a とが反平行磁化を持つ場合には、チャンネルに注入されたアップスピンは強磁性ドレイン 5 a の金属的スピンバンドのスピンの反平行であり、強磁性ドレイン 5 a の半導体的スピンバンドと平行である。従って、チャンネルに注入されたアップスピンは強磁性ドレイン 5 a を障壁高さ  $E_c$  のエネルギー障壁として感じる。チャンネルのアップスピンがトンネルできないように、または、熱的に障壁高さ  $E_c$  のエネルギー障壁を乗り越えることができないように、強磁性ドレイン 5 a の膜厚と  $E_c$  とを選定しておけば、ドレイン電流成分はほとんど生じない。

【 0 0 5 7 】

従って、強磁性ドレイン 5 a におけるハーフメタルは金属的スピンバンドのスピンの平行なスピンのみを通過させることから、強磁性ソース 3 a と強磁性ドレイン 5 a との間の相対的な磁化状態により伝達コンダクタンスを制御することができる。すなわち、強磁性ソース 3 a と強磁性ドレイン 5 a とが反平行磁化を持つ場合には平行磁化の場合に比べてドレイン電流は小さくなる。

【 0 0 5 8 】

上述の強磁性金属またはハーフメタルによる強磁性ソース ( 3 又は 3 a ) および強磁性ドレイン ( 5 又は 5 a ) を有する M I S F E T において、半導体層 1 をアンドープの半導体又は真性半導体に置き換えることもできる。この場合に生じる強磁性金属と半導体との接合で生じる障壁構造はショットキー障壁と異なるが、この障壁構造によっても同様の M I S F E T の動作を期待できる。この M I S F E T では、チャンネル領域を真性半導体で構成しているため、チャンネル領域における不純物散乱の影響がなく、伝導キャリアに関して大きな移動度を期待することができる。特に、ナノスケールの短チャンネルの M I S F E T では、高速化に有効なキャリアのパリステック伝導も期待できる。また、この M I S F E T では、極微細化した低しきい値の M I S F E T を高密度に集積化した場合においても、しきい値のパラッキは本質的に生じないという利点がある。さらに、真性半導体から

10

20

30

40

50

なるチャネルは、SOI構造にも適する。従って、真性半導体をチャネル領域に用いることにより、本発明のMISFET及びこれを用いた不揮発性メモリ（後述）の性能を一層向上させることができる。

【0059】

次に、本発明の第3の実施の形態によるMISFETについて図面を参照しつつ説明を行う。本実施の形態によるMISFETにおいては、強磁性ソースと強磁性ドレインとは、所望の障壁高さとなる薄い金属層と半導体層とのショットキー接合を形成し、この金属層の上に強磁性金属やハーフメタルを形成している。図12は、本実施の形態によるMISFETの構造例を示すエネルギーバンド図である。図12に示すように、本実施の形態によるMISFETは、強磁性金属23及び25をソースとドレインにそれぞれ用い、半導体層21と強磁性金属23及び25とのそれぞれの界面に障壁高さを制御するための薄い金属層23a、25aを導入した構造を有している。所望のバリア高さ $\phi_n$ を得られる金属23a、25aと半導体層21とのショットキー接合をまず形成し、この金属層23a、25aの上にそれぞれ強磁性金属層23、25を形成する。この金属層23a、25aの具体的材料としては、Siを半導体層21とした場合に、ErSi<sub>x</sub>、PtSi<sub>x</sub>などのシリサイドを用いることが考えられる。

10

【0060】

尚、上記強磁性金属層23、25のそれぞれを、第2の実施の形態において説明したハーフメタルに置き換えた構造、すなわち、ハーフメタルによる強磁性ソースと強磁性ドレインとを有するMISFETを用いても、図12の構造と同様にショットキー障壁高さを制御することが可能である。この構造に関しても、本発明の範疇に入るものである。或いは、強磁性金属又はハーフメタルと、半導体層と、の界面に、強磁性金属又はハーフメタルとの間に所望のショットキー障壁高さの得られる別の半導体を挿入しても良い。或いは、ショットキー障壁高さの制御のために、強磁性金属又はハーフメタルと、半導体層と、の界面に金属/半導体ヘテロ構造を挿入しても良い。

20

【0061】

以上の手法を用いることにより、半導体層と強磁性金属またはハーフメタルとの間のショットキー高さを考慮せずに、強磁性ソースと強磁性ドレインとの材料を自由に選択できる。

【0062】

次に、本発明の第4の実施の形態によるMISFETについて図面を参照しつつ説明を行う。上記第1から3までの実施の形態においては、強磁性金属又はハーフメタルによるショットキー接合を用いて強磁性ソースと強磁性ドレインとを構成したMISFETについて説明したが、本実施の形態によるMISFETは、強磁性ソースと強磁性ドレインとに強磁性半導体を用いた構造を有している。このようにすることで、ショットキー接合を用いなくても、第1から3の実施の形態によるMISFETと同様の特性を得ることが期待できる。

30

【0063】

例えば、図13(A)に示すように、チャネル領域として真性半導体31を用い、真性半導体31上にゲート絶縁体41とゲート（電極）37とを積層した構成を有するMISFETにおいて、強磁性ソース33と強磁性ドレイン35とをn型の強磁性半導体とすれば、上記MISFET（例えば図2(A)）と同様の特性が期待できるnチャネルのMISFETを構成することができる。尚、pチャネルのMISFETを形成する場合には、強磁性ソースと強磁性ドレインとをp型の強磁性半導体とすれば良い。

40

【0064】

次に、本発明の第5の実施の形態によるMISFETについて図面を参照しつつ説明を行う。本実施の形態によるMISFETは、強磁性半導体と半導体とのpn接合を用いて強磁性ソースと強磁性ドレインとを構成する（この場合では、MISFETは反転チャネル型として動作する）。例えば、図13(B)に示すように、n型の強磁性半導体をソース53とドレイン55とに用い、チャネル領域を含む半導体層51をp型半導体とすれば

50



良い。この場合も、p型半導体層51上に、ゲート絶縁膜61と、ゲート(電極)57とを積層する。同様にp型の強磁性半導体をソースとドレインとに用いてチャンネル領域をn型半導体としても良い。

【0065】

本発明の第4又は第5の実施の形態において説明したように、強磁性半導体によって強磁性ソースと強磁性ドレインとを構成する場合でも、ドレインにおけるスピン依存散乱によって、ドレイン電流はソースとドレインとが平行磁化と反平行磁化の場合で異なる。また、チャンネル長がキャリアのエネルギー緩和に対する平均自由行程以下であれば、キャリアのパリステック伝導に基づき、トンネル磁気抵抗効果と類似のスピン依存伝導が得られ、このような場合には、平行磁化と反平行磁化とにおける伝達コンダクタンスの変化を大きくすることができる。

10

【0066】

第4及び第5の実施の形態によるMISFETに用いる強磁性半導体としては、Si、Ge、Si<sub>x</sub>Ge<sub>1-x</sub>、SiCなどの半導体にMnやCrなどの遷移金属元素や希土類元素を導入したものが考えられる。

【0067】

次に、上記各実施の形態によるMISFETの出力特性例について説明する。図8はV<sub>gs</sub>をパラメータとしたドレイン電流I<sub>D</sub>のV<sub>ds</sub>依存性を示す図である。本実施の形態によるMISFETでは、強磁性ソース3および強磁性ドレイン5に強磁性金属又はハーフメタルのいずれを用いた場合でも、また反転チャンネル型と蓄積チャンネル型のいずれの場合においても、ゲート電極7に対してデバイス構造から決まるあるしきい値V<sub>T</sub>以下の電圧を印加した場合はMISFETは遮断状態である。これは強磁性ソース3と強磁性ドレイン5の相対的な磁化状態によらない。

20

【0068】

ゲート電極7に対してしきい値以上の電圧V<sub>1</sub>(>V<sub>T</sub>)を印加すれば、トランジスタを導通状態にすることができる。このとき、強磁性ソース3に対する強磁性ドレイン5の相対的な磁化状態によって、強磁性ソース3と強磁性ドレイン5間に生じるドレイン電流I<sub>D</sub>の大きさが異なる。すなわち、同一バイアス下であっても平行磁化の場合ではドレイン電流I<sub>D</sub>が大きく(図中のI<sub>D</sub> )、反平行磁化の場合ではドレイン電流I<sub>D</sub>が小さい(図中のI<sub>D</sub> )。この特徴を換言すれば、MISFETの伝達(相互)コンダクタンスを強磁性ソース3と強磁性ドレイン5との間の磁化状態で制御することと等価である。したがって、本実施の形態のMISFETは、ゲート電極7に印加する電圧によりドレイン電流I<sub>D</sub>を制御できるとともに、強磁性ソース3に対する強磁性ドレイン5の相対的な磁化状態に依存する伝達コンダクタンスを合わせ持つ。

30

【0069】

強磁性体では、外部から保磁力以上の磁場が印加されない限り磁化の方向を保持することができる。このため、本実施の形態によるMISFETでは、強磁性ソースと強磁性ドレインとの相対的な磁化状態を平行磁化または反平行磁化にすることによって2値の情報を記憶することができる。

【0070】

また、上記MISFETは、上述のように、ドレイン電流の大きさ、または、伝達コンダクタンスの大きさに基づいて、強磁性ソースと強磁性ドレインとの間の相対的な磁化状態を電気的に検出することができる。従って、上記MISFETは、1つのMISFETにより1ビットの不揮発性メモリセルを構成することができる。

40

【0071】

図9(a)は、本実施の形態によるMISFETを用いたメモリ回路の一構成例を示す図である。図9(a)に示すメモリ回路では、MISFETを多数マトリクス状に配置し、ソース端子Sを接地してドレイン端子Dとゲート端子Gとをそれぞれ読み出し用ビット線BLと読み出し用ワード線WLとに接続している。また、書き換え用ワード線と書き換え用ビット線を、上記MISFET上で他の配線と電気的に絶縁した状態で交差するよう

50

に配置する。この書き換え用ワード線と書き換え用ビット線として、上記の読み出し用ビット線  $BL$  と読み出し用ワード線  $WL$  とを併用しても良い。図 9 ( a ) は、併用した場合のセル構成を示す図である。図 9 ( a ) の場合には、 $MISFET$  単体でメモリセルを構成できるとともに、配線に関しても非常に単純な構成にすることができる。

#### 【 0 0 7 2 】

従来の構成による  $MRAM$  のメモリセルは、1つの  $MTJ$  と1つの  $MISFET$  と4本の配線 ( 図 1 0 参照 ) の構成を有しており、 $MTJ$  および書き換え用ワード線の存在によってソースを隣り合ったセルで共用してセル面積を小さくするなどの工夫が困難であった。これに対して、本実施の形態によるメモリセルでは、図 9 ( a ) に示すように、1つの  $MISFET$  と3本の配線のための最も単純な構成でメモリセルを構成することができるため、微細化に適したレイアウトを容易に構成することができる。

10

#### 【 0 0 7 3 】

例えば、2つの本実施の形態による  $MISFET$  の強磁性ソースを1つの強磁性ソースで共通とした構造を形成することも可能である。図 1 1 は、共通ソース構成を有するメモリセルの断面構造例を示す図である。図 1 1 に示すメモリセル構造は、互いに隣接する第1  $MISFET$  と第2  $MISFET$  と、第1  $MISFET$  のゲート電極  $G_1$  と第2  $MISFET$  のゲート電極  $G_2$  とを共通接続するワード線  $WL$  と、第1  $MISFET$  の第1の強磁性ドレイン  $D_1$  と接続する第1ビット線  $BL_1$  と、第2の強磁性ドレイン  $D_2$  と接続する第2ビット線  $BL_2$  と、第1及び第2  $MISFET$  に共通の強磁性ソース  $S$  と、これを接地する配線とを有する。上記構造を用いると、ソースを共通とするために、さらに高密度化に適したセル構成となる。

20

#### 【 0 0 7 4 】

以下、図 9 ( a ) を用いて、メモリセルの動作を説明する。上述した書き換え / 読み出し用ビット線および書き換え / 読み出し用ワード線をそれぞれ共用する場合として、単に、それぞれビット線  $BL$ 、ワード線  $WL$  と呼ぶ。情報の書き換えは、本実施の形態による  $MISFET$  における強磁性ソース3または強磁性ドレイン5の保持力を変えておくか一方の磁化方向を固定しておき、強磁性ソース3に対する強磁性ドレイン5の相対的な磁化方向を平行磁化または反平行磁化にすることによって行うことができる。例えば、平行磁化または反平行磁化の磁化状態を “ 0 ” または “ 1 ” の2値の情報に対応させる。具体的には、選択したメモリセル上で交差するビット線  $BL$  とワード線  $WL$  とに電流を流し、それぞれの配線に流れる電流によって誘起される磁界の合成磁界によって選択されたメモリセルの保持力の小さな強磁性体または磁化方向の固定されていない強磁性体の磁化を反転させて情報を記憶する。この際、選択したセルと同一のビット線  $BL$  又はワード線  $WL$  に接続している非選択セルが磁化反転しないようにするため、一方の配線のみからの磁界では磁化反転を生じないようにそれぞれの配線に流す電流値を設定しておく。

30

#### 【 0 0 7 5 】

情報の読み出しは、選択セルに接続されたワード線  $WL$  に電圧を印加して本実施の形態による  $MISFET$  を導通させてから、ビット線  $BL$  にドレイン電圧を印加してドレイン電流  $I_D$  の大きさを検出する。本実施の形態による  $MISFET$  では、強磁性ソースと強磁性ドレインとの相対的な磁化状態が平行磁化の場合では伝達コンダクタンスが大きく、大きな  $I_D$  を生じるが、反平行磁化の場合では伝達コンダクタンスが小さく  $I_D$  も小さい。従って、 $I_D$  の大きさに基づき、強磁性ソースと強磁性ドレインとの相対的な磁化状態を検出することができる。また、プリチャージによって必要なバイアスを加えても検出を行っても良い。

40

#### 【 0 0 7 6 】

通常の  $MTJ$  において、平行磁化における電流は両強磁性電極における多数スピンの状態密度間のトンネルと少数スピンの状態密度間のトンネルによって生じ、反平行磁化の場合では少数スピンの状態密度から多数スピンの状態密度へのトンネルと多数スピンの状態密度から少数スピンの状態密度へのトンネルによって生じる。従って、平行磁化および反平行磁化の場合に流れる電流に少数スピンによる電流成分が含まれるため、平行磁化と反

50

平行磁化とのそれぞれの場合における電流の比は、容易には大きくできない。

【0077】

一方、本実施の形態によるハーフメタルを強磁性ソースと強磁性ドレインとに用いたMISFETでは、ハーフメタルと半導体層との接合によって強磁性ソースでは金属的スピンバンドに属する一方のスピンのみをチャンネルに注入することができ、さらに、強磁性ドレインでは金属的スピンバンドのスピンと平行なスピンのみをチャンネルから取り出しドレイン電流とすることができる（以下、このハーフメタルによる作用を「スピンフィルタ効果」と称する。）。

【0078】

従って、本実施の形態によるハーフメタルを強磁性ソースと強磁性ドレインに用いたMISFETでは、平行磁化と反平行磁化とのそれぞれの場合における電流の比（ドレイン電流比）は、MTJの場合における電流比に比べて大きくすることができる。よって、本実施の形態によるMISFETを用いれば、上記メモリ回路において容易に磁化状態を検出することができる。

【0079】

また、強磁性金属を用いて強磁性ソースと強磁性ドレインを構成する場合でも、ゲートバイアスによるソース側ショットキー障壁に発生する強い電界の効果によって、強磁性ソースから注入するキャリアのスピン分極率（スピン注入効率）を強磁性金属のスピン分極率以上に増大できる可能性がある。この効果を用いれば、平行磁化と反平行磁化のそれぞれの場合におけるドレイン電流の比をMTJにおける電流比に比べて大きくできる可能性

【0080】

また、MTJではTMR比がバイアス電圧とともに急激に減少するため、回路に必要なバイアス下ではTMR比が大きく減少してしまう問題もあった。これに対して、本実施の形態によるMISFETでは、強磁性金属によるスピン依存散乱またはハーフメタルによるスピンフィルタ効果を用いているためMTJのようなバイアス依存性は原理的に存在しない。従って、回路に必要なバイアス下で大きなドレイン電流比を実現できる。

【0081】

図9(b)は、図9(a)に示すメモリ回路のビット線端に出力端子 $V_o$ と、この出力端子 $V_o$ から分岐して負荷 $R_L$ を介し電源電圧 $V_{DD}$ に接続したメモリ回路である。図9(c)に、図9(b)に示したメモリセルの静特性と動作点を示す。ここでは、負荷として純抵抗を用いているが、トランジスタによる能動負荷を用いても良い。図9(c)に示すように、情報の読出し時にはMISFETのゲート電極にゲート電圧 $V_{GS}$ を印加し、ビット線 $B_L$ に負荷抵抗 $R_L$ を介して電源電圧 $V_{DD}$ を印加すれば、負荷抵抗 $R_L$ による動作点は、強磁性ソースと強磁性ドレインとの間の磁化状態に応じて図9(c)中の負荷直線上を動き、平行磁化と反平行磁化との場合の出力信号 $V_o$ はそれぞれ図中の $V_{o1}$ と $V_{o2}$ となる。それぞれの出力信号の絶対値および比（ $V_{o1} / V_{o2}$ ）は、 $R_L$ 、 $V_{DD}$ などの外部回路のパラメータにより最適化することができる。例えば、負荷直線の傾きを調整する（この場合には小さくする）ことにより、ドレイン電流比 $I_{D1} / I_{D2}$ が小さい場合でも大きな出力信号比を得ることができる。従って、本実施の形態による記憶回路では、所望の大きさの出力信号を得ることができるという利点を有する。

【0082】

以上、説明したように、本発明の実施の形態による強磁性ソースと強磁性ドレインとを備えたMISFETによれば、ドレイン電流をゲート電圧で制御できるトランジスタとして機能を備えるとともに、その伝達（相互）コンダクタンスを強磁性ソースと強磁性ドレインとの相対的な磁化の向きによって制御できるという特徴的な特性を併せ持つ。強磁性ソースと強磁性ドレイン間の相対的な磁化の向きはエネルギーを供給しなくても前の状態を保持することができるいわゆる不揮発性の性質を有する。従って、この相対的な磁化の向きによって2値の情報を不揮発性に記憶することができる。さらに、上述の伝達特性を用いれば、この相対的な磁化の向きを電気的に検出することができる。すなわち、上記M

ISFETは、1つのトランジスタのみで1ビットの不揮発性メモリセルを構成することができる。従って、本実施の形態によるMISFETを用いれば、不揮発性メモリセルの構成を単純にできるため、不揮発性記憶回路の速度及び集積度を向上させることができるという利点がある。

【0083】

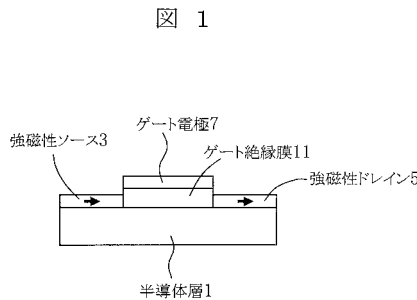
以上、本発明の実施の形態に沿って説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なのは当業者に自明であろう。例えば、本明細書内において説明したいずれのMISFETも、本明細書内で説明した記憶素子、記憶回路に適用できることは言うまでもない。

【産業上の利用可能性】

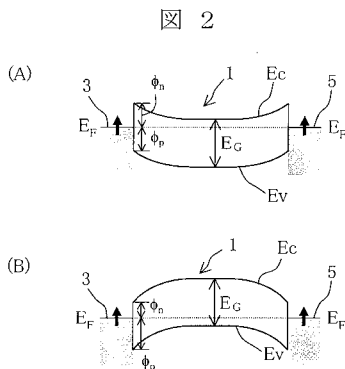
【0084】

強磁性金属又はハーフメタルを用いたショットキー接合による強磁性ソースと強磁性ドレインとを備えた本発明のMISFETによれば、強磁性ソースに対する強磁性ドレインとの相対的な磁化の向きによって2値の情報を記憶できるとともに、この相対的な磁化の向きを電気的に検出することができる。従って、上記MISFETを用いれば、1つのトランジスタのみで1ビットの不揮発性メモリセルを構成することができるため、高速かつ高集積密度の不揮発性記憶回路の実現が可能になる。

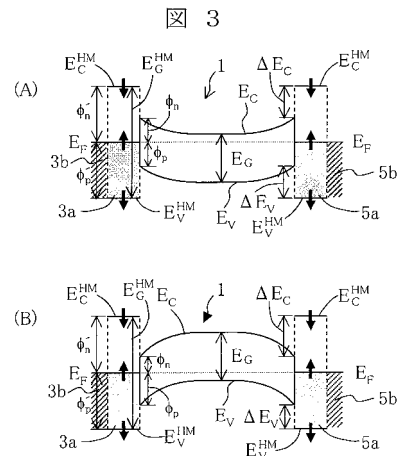
【図1】



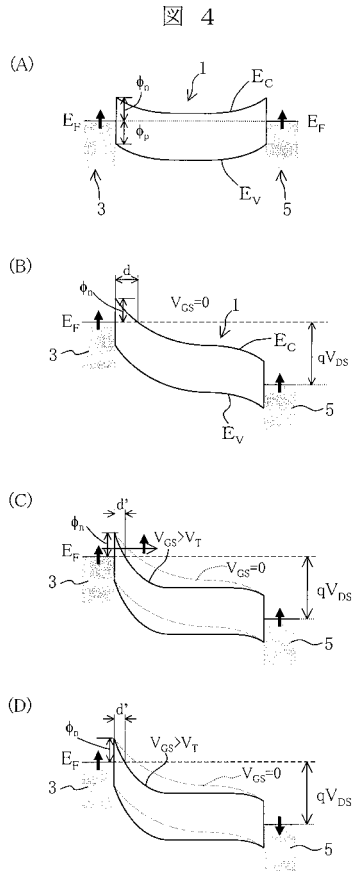
【図2】



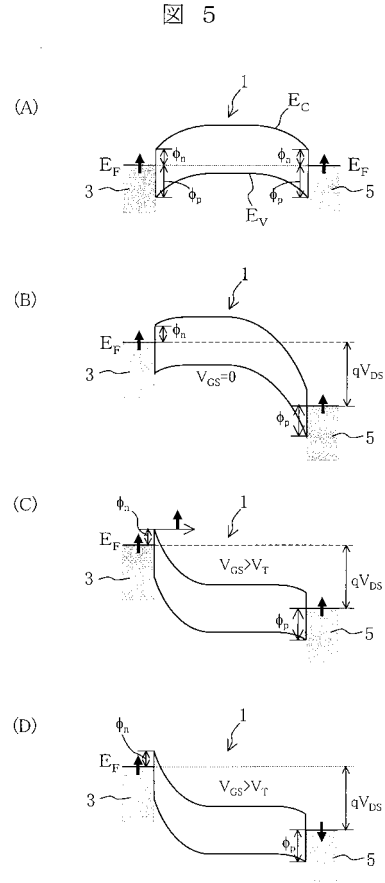
【図3】



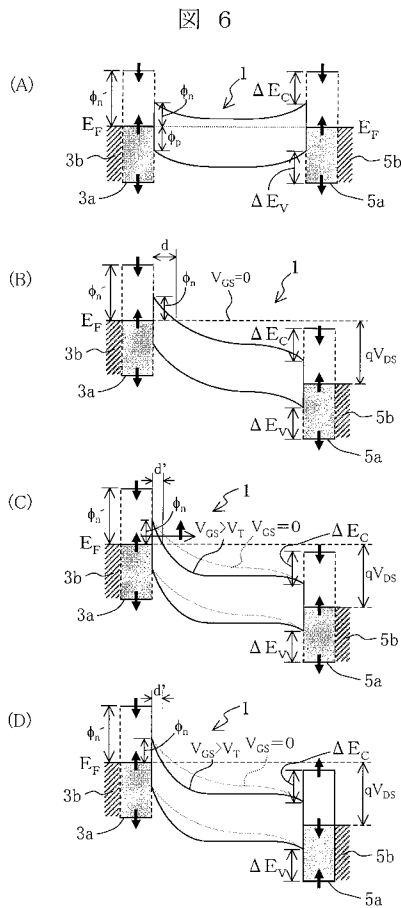
【 図 4 】



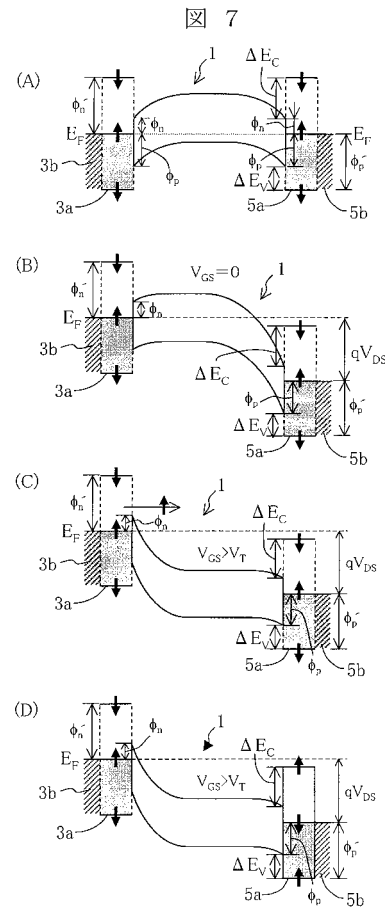
【 図 5 】



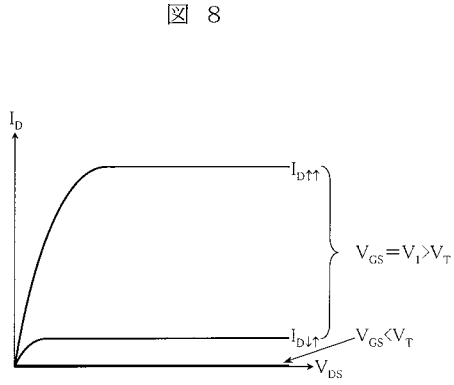
【 図 6 】



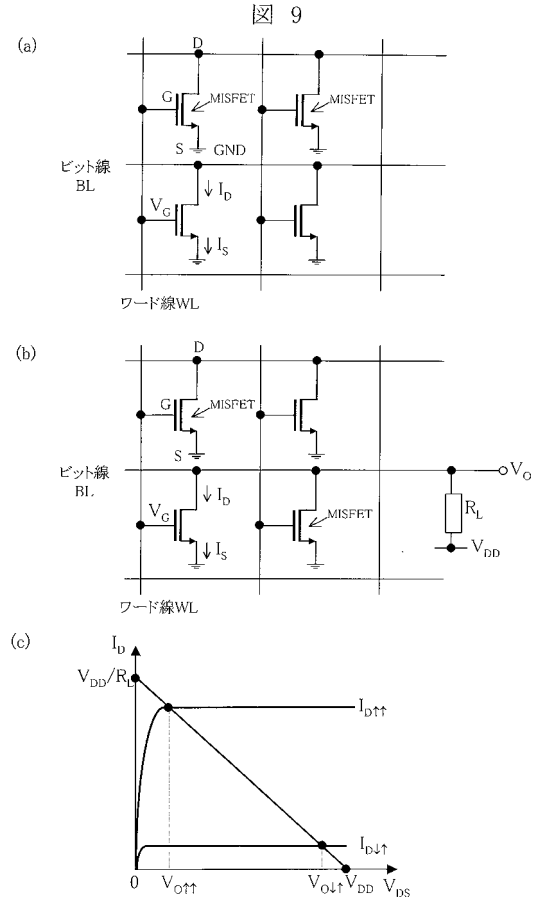
【 図 7 】



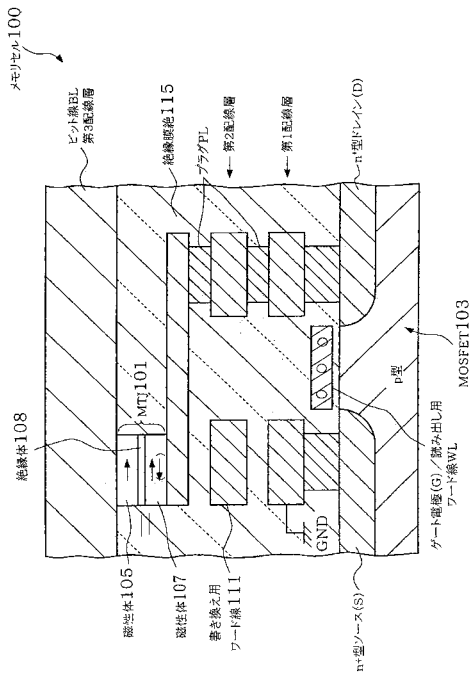
【 図 8 】



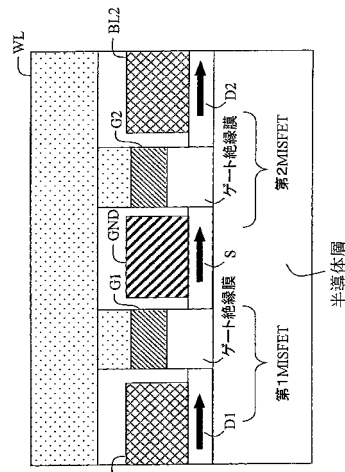
【 図 9 】



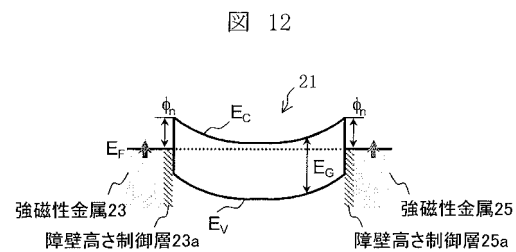
【 図 10 】



【 図 11 】



【 図 12 】



【 図 1 3 】

図 13

