

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3731046号
(P3731046)

(45) 発行日 平成18年1月5日(2006.1.5)

(24) 登録日 平成17年10月21日(2005.10.21)

(51) Int. Cl. F I
G 1 1 C 15/04 (2006.01)
 G 1 1 C 15/04 6 3 1 F
 G 1 1 C 15/04 6 3 1 W
 G 1 1 C 15/04 C

請求項の数 18 (全 22 頁)

(21) 出願番号	特願2002-8783 (P2002-8783)	(73) 特許権者	504136568
(22) 出願日	平成14年1月17日(2002.1.17)		国立大学法人広島大学
(65) 公開番号	特開2002-288985 (P2002-288985A)		広島県東広島市鏡山1丁目3番2号
(43) 公開日	平成14年10月4日(2002.10.4)	(74) 代理人	100058479
審査請求日	平成14年1月17日(2002.1.17)		弁理士 鈴江 武彦
(31) 優先権主張番号	特願2001-11760 (P2001-11760)	(74) 代理人	100091351
(32) 優先日	平成13年1月19日(2001.1.19)		弁理士 河野 哲
(33) 優先権主張国	日本国(JP)	(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体連想メモリ

(57) 【特許請求の範囲】

【請求項1】

R行、W列に配列された各kビット(R、W、kは自然数)のユニット蓄積器と、
 前記ユニット蓄積器にストアされた各kビットのユニットがW個配列されてなるW×kビットの入力データ及び参照データをワード長kビットのユニットごとに比較するR行、W列に配列されたユニット比較器と、

前記ユニット比較器からの各行の出力データに対してビットごとに重み付けするワード重み付け比較器と、

R行のロウデコーダと、

W×k列のカラムデコーダと、

を含むメモリアレイを具備し、

前記入力データによる前記参照データの検索がハミング距離を用いて行われ、

前記ユニット蓄積器はSRAM型メモリセルからなり、

前記ユニット比較器は、前記SRAM型メモリセルを構成するラッチ回路の相補型出力部にそれぞれ接続された2入力EXOR回路又は2入力EXNOR回路からなり、

前記ワード重み付け比較器は、前記2入力EXOR回路又は前記2入力EXNOR回路の出力部に接続された各1個のトランジスタ又は互いに直列接続された各2個のトランジスタからなり、

前記ワード重み付け比較器における出力データの重み付けは、前記ワード重み付け比較器を構成する前記各1個のトランジスタ又は前記互いに直列接続された各2個のトランジ

スタのいずれか1つのゲート幅とゲート長の比の値を前記重み付けに応じて選択することによりなされることを特徴とする半導体連想メモリ。

【請求項2】

前記メモリアレイにおける前記ユニットは、バイナリコードデータから構成され、前記ユニットのビット数 k は、 $k = 1$ であることを特徴とする請求項1記載の半導体連想メモリ。

【請求項3】

R行、W列に配列された各 k ビット (R 、 W 、 k は自然数) のユニット蓄積器と、
前記ユニット蓄積器にストアされた各 k ビットのユニットが W 個配列されてなる $W \times k$ ビットの入力データ及び参照データをワード長 k ビットのユニットごとに比較する R 行、
W列に配列されたユニット比較器と、

前記ユニット比較器からの各行の出力データに対してビットごとに重み付けするワード重み付け比較器と、

R行のロウデコーダと、

$W \times k$ 列のカラムデコーダと、

を含むメモリアレイを具備し、

前記入力データによる前記参照データの検索がマンハッタン距離を用いて行われ、

前記ユニット蓄積器は、 $k (> 1)$ ビットの相補型入力部及び相補型出力部を備え、

前記ユニット比較器は、前記相補型出力部の出力信号を前記相補型入力部の入力信号から減算して減算結果の絶対値を計算する機能を備え、

前記ワード重み付け比較器は、前記ユニット比較器の出力部に接続された各1個のトランジスタ又は互いに直列接続された各2個のトランジスタからなり、

前記ワード重み付け比較器における出力データの重み付けは、前記ワード重み付け比較器を構成する前記各1個のトランジスタ又は前記互いに直列接続された各2個のトランジスタのいずれか1つのゲート幅とゲート長の比の値を前記重み付けに応じて選択することによりなされることを特徴とする半導体連想メモリ。

【請求項4】

前記メモリアレイにおける前記ユニットは、バイナリコードデータから構成され、前記ユニットのビット数 k は、 $k > 1$ であることを特徴とする請求項3記載の半導体連想メモリ。

【請求項5】

前記半導体連想メモリは、前記メモリアレイの各行に接続されたウィンナ・ラインアップ増幅器を備え、前記ウィンナ・ラインアップ増幅器は、

ウィンナノルーズ距離増幅ユニットと、

前記ウィンナノルーズ距離増幅ユニットに含まれるフィードバック信号生成部と、

前記フィードバック信号生成部から出力されたフィードバック信号を用いて前記ワード重み付け比較器の比較信号を前記ウィンナノルーズ距離増幅ユニットの増幅度が最大になるように制御する比較信号制御ユニットと、

フィードバック信号をコード化することにより、ウィンナの一致の質を出力するフィードバック信号コード化部と、

を具備することを特徴とする請求項1乃至4のいずれか1つに記載の半導体連想メモリ。

【請求項6】

R行、W列に配列された各 k ビット (R 、 W 、 k は自然数) のユニット蓄積器と、

前記ユニット蓄積器にストアされた各 k ビットのユニットが W 個配列されてなる $W \times k$ ビットの入力データ及び参照データをワード長 k ビットのユニットごとに比較する R 行、
W列に配列されたユニット比較器と、

前記ユニット比較器からの各行の出力データに対してビットごとに重み付けするワード重み付け比較器と、

R行のロウデコーダと、

$W \times k$ 列のカラムデコーダと、

10

20

30

40

50

を含むメモリアレイを具備し、

前記半導体連想メモリは、前記メモリアレイの各行に接続されたウィンナ・ラインアップ増幅器を備え、前記ウィンナ・ラインアップ増幅器は、

ウィンナノルーズ距離増幅ユニットと、

前記ウィンナノルーズ距離増幅ユニットに含まれるフィードバック信号生成部と、

前記フィードバック信号生成部から出力されたフィードバック信号を用いて前記ワード重み付け比較器の比較信号を前記ウィンナノルーズ距離増幅ユニットの増幅度が最大になるように制御する比較信号制御ユニットと、

フィードバック信号をコード化することにより、ウィンナの一致の質を出力するフィードバック信号コード化部と、

を具備することを特徴とする半導体連想メモリ。

10

【請求項 7】

前記ウィンナノルーズ距離増幅ユニットは、前記メモリアレイの各行に設けられた、プッシュプル増幅回路及び非反転／反転イネーブル信号を受ける 2 個のトランジスタ及び補償容量からなり、

前記フィードバック信号生成部は、前記プッシュプル増幅回路の出力をゲートに受ける前記メモリアレイの各行に設けられたソースフォロワ型プルダウントランジスタ、及び前記各プルダウントランジスタと直列に接続された前記メモリアレイの全ての行に共通のプルアップトランジスタからなり、

前記比較信号制御ユニットは、前記メモリアレイの各行に設けられた、前記ワード重み付け比較器からの出力信号電流を制御するパストランジスタ及び前記出力信号電流を中間電位に変換するソースフォロワ型プルアップトランジスタからなり、

20

前記ソースフォロワ型プルアップトランジスタのゲートには前記フィードバック信号が入力され、前記パストランジスタのゲートには前記イネーブル信号が入力されることを特徴とする請求項 6 記載の半導体連想メモリ。

【請求項 8】

前記ウィンナノルーズ距離増幅ユニットは、前記メモリアレイの各行に設けられたカレントミラー型増幅回路と補償容量からなり、

前記フィードバック信号生成部は、高速動作する Min / Max 型回路からなり、

前記比較信号制御ユニットは、前記ワード重み付け比較器からの出力信号電流を中間電位に変換するソースフォロワ型プルアップトランジスタと、前記フィードバック信号の電圧レベルをシフトして前記シフトされたフィードバック信号を前記ワード重み付け比較器の各 1 個のトランジスタのソースにそれぞれ入力するレベルシフトからなることを特徴とする請求項 6 記載の半導体連想メモリ。

30

【請求項 9】

前記半導体連想メモリは、前記メモリアレイの各行ごとに接続されたウィンナ・テイクオール回路をさらに備え、前記ウィンナ・テイクオール回路は、

所要の際にのみ構成されるレベルシフトと、

前記ウィンナノルーズ距離増幅ユニットのウィンナノルーズ距離出力信号をさらに増幅するための n 段 (n は 1 以上の整数) のウィンナ・テイクオール増幅回路と、

40

前記ウィンナ・テイクオール増幅回路の n 段目の出力部に接続された最終決定回路と、を具備することを特徴とする請求項 6 乃至 8 のいずれか 1 つに記載の半導体連想メモリ。

【請求項 10】

前記半導体連想メモリは、前記メモリアレイの各行に接続されたウィンナ・テイクオール回路をさらに備え、

前記ウィンナ・テイクオール回路は、レベルシフトと 1 段のウィンナ・テイクオール増幅回路からなり、

前記レベルシフトは、前記 1 段のウィンナ・テイクオール増幅回路の増幅度が最大になるように前記ウィンナ・ルーズ距離増幅ユニットの出力信号電圧のレベルをシフトし、

前記 1 段のウィンナ・テイクオール増幅回路は、前記シフトされた出力信号電圧を前記

50

増幅回路の電流変化に変換するトランジスタと、前記増幅回路の電流変化をさらに前記 1 段のウィンナ・テイクオール増幅回路の出力信号電圧に変換するトランジスタとを含み、

前記 1 段のウィンナ・テイクオール増幅回路は、その出力部に設けられた、前記 1 段のウィンナ・テイクオール増幅回路の出力信号電圧に適合するようにスイッチングしきい値電圧が設定されたインバータからなる最終決定回路を具備することを特徴とする請求項 6 乃至 8 のいずれか 1 つに記載の半導体連想メモリ。

【請求項 1 1】

前記半導体連想メモリは、前記メモリアレイの各行に接続されたウィンナ・テイクオール回路をさらに備え、

前記ウィンナ・テイクオール回路は、レベルシフト、及び n 段 (n は 2 以上の整数) のウィンナ・テイクオール増幅回路を含み、 10

前記レベルシフトは、1 段目のウィンナ・テイクオール増幅回路の増幅度が最大になるように前記ウィンナ・ルーザ距離増幅ユニットの出力信号電圧のレベルをシフトし、

前記 1 段目のウィンナ・テイクオール増幅回路は、前記シフトされた出力信号電圧を前記増幅回路の電流変化に変換するトランジスタ、及び前記増幅回路の電流変化をさらに前記 1 段目のウィンナ・テイクオール増幅回路の出力信号電圧に変換するトランジスタからなり、

i 段目 (i は 1 以上、 n 以下の整数) のウィンナ・テイクオール増幅回路は、前記 i 段目のウィンナ・テイクオール増幅回路の出力信号電圧を前記増幅回路の電流変化に変換するトランジスタ、及び前記増幅回路の電流変化をさらに前記 i 段目のウィンナ・テイクオール増幅回路の出力信号電圧に変換するトランジスタを含み、 20

n 段目のウィンナ・テイクオール増幅回路は、その出力部に設けられた、前記 n 段目のウィンナ・テイクオール増幅回路の出力信号電圧に適合するようにスイッチングのしきい値電圧が設定されたインバータからなる最終決定回路を具備することを特徴とする請求項 6 乃至 8 のいずれか 1 つに記載の半導体連想メモリ。

【請求項 1 2】

R 行、 W 列に配列された各 k ビット (R 、 W 、 k は自然数) のユニット蓄積器、及び前記ユニット蓄積器にストアされた各 k ビットのユニットが W 個配列されてなる $W \times k$ ビットの入力データと参照データとをワード長 k ビットを単位として比較する R 行、 W 列に配列されたユニット比較器、及び前記ユニット比較器から各行の出力データに対してビットごとに重み付けするワード重み付け比較器、及び R 行のロウデコーダ、及び $W \times k$ 列のカラムデコーダからなるメモリアレイと、 30

ウィンナ/ルーザ距離増幅ユニット、及び前記ウィンナ/ルーザ距離増幅ユニットに含まれるフィードバック信号生成部、及び前記フィードバック信号生成部から出力されたフィードバック信号を用いて前記ワード重み付け比較器の比較信号を前記ウィンナ/ルーザ距離増幅ユニットの増幅度が最大になるように制御する比較信号制御ユニット、及びフィードバック信号をコーディングすることによりウィンナの一致の質を出力するフィードバック信号符号化部からなる前記メモリアレイの各行に接続されたウィンナ・ラインアップ増幅器と、

所要の際にのみ構成されるレベルシフト、及び前記ウィンナ/ルーザ距離増幅ユニットのウィンナ/ルーザ距離出力信号を増幅するための n 段 (n は正の整数) のウィンナ・テイクオール増幅回路、及び前記ウィンナ・テイクオール増幅回路の n 段目の出力部に接続された最終決定回路を具備する前記メモリアレイの各行に接続されたウィンナ・テイクオール回路と、 40

からなり、
前記フィードバック信号は、前記ワード重み付け比較器を構成する各 1 個のトランジスタのソース、又は前記ワード重み付け比較器を構成する互いに直列接続された各 2 個のトランジスタのいずれか 1 つのゲートに入力されることを特徴とする半導体連想メモリ。

【請求項 1 3】

前記ワード重み付け比較器を構成する各 1 個のトランジスタ、又は前記ワード重み付け 50

比較器を構成する互いに直列接続された各 2 個のトランジスタの導電型が反転され、

前記ウィンナノルザ距離増幅ユニット及び前記フィードバック信号生成部をそれぞれ構成するトランジスタの導電型を反転し、前記ウィンナノルザ距離増幅ユニット及び前記フィードバック信号生成部のイネーブル信号の極性を反転し、前記ウィンナ・テイクオール回路を構成するトランジスタの導電型を反転し、かつ、前記ウィンナノルザ距離増幅ユニット及び前記フィードバック信号生成部及び前記ウィンナ・テイクオール回路の電源端子と接地端子がそれぞれ入れ替えられることを特徴とする請求項 1 2 記載の半導体連想メモリ。

【請求項 1 4】

前記ウィンナ・ラインアップ増幅器、及び前記ウィンナ・テイクオール回路を構成するトランジスタ数は、前記メモリ領域の行数 R に比例することを特徴とする請求項 1 2 記載の半導体連想メモリ。

10

【請求項 1 5】

R 行、W 列に配列された各 k ビット (R、W、k は自然数) のユニット蓄積器と、

前記ユニット蓄積器にストアされた各 k ビットのユニットが W 個配列されてなる W × k ビットの入力データ及び参照データをワード長 k ビットのユニットごとに比較する R 行、W 列に配列されたユニット比較器と、

前記ユニット比較器からの各行の出力データに対してビットごとに重み付けしてアナログ信号を出力するワード重み付け比較器と、

R 行のロウデコーダと、

W × k 列のカラムデコーダと、

を含むメモリアレイからなることを特徴とする半導体連想メモリ。

20

【請求項 1 6】

前記メモリアレイにおける前記ユニットは、バイナリコードデータから構成され、前記ユニットのビット数 k は、前記入力データによる参照データの検索にハミング距離を用いる場合には k = 1 であり、マンハッタン距離を用いる場合には k > 1 であることを特徴とする請求項 1 5 記載の半導体連想メモリ。

【請求項 1 7】

前記入力データによる前記参照データの検索がハミング距離を用いて行われ、

前記ユニット蓄積器は S R A M 型メモリセルからなり、

前記ユニット比較器は、前記 S R A M 型メモリセルを構成するラッチ回路の相補型出力部にそれぞれ接続された 2 入力 E X O R 回路又は 2 入力 E X N O R 回路からなり、

前記ワード重み付け比較器は、前記 2 入力 E X O R 回路又は前記 2 入力 E X N O R 回路の出力部に接続された各 1 個のトランジスタ又は互いに直列接続された各 2 個のトランジスタからなることを特徴とする請求項 1 5 記載の半導体連想メモリ。

30

【請求項 1 8】

前記入力データによる前記参照データの検索がマンハッタン距離を用いて行われ、

前記ユニット蓄積器は、k (> 1) ビットの相補型入力部及び相補型出力部を備え、

前記ユニット比較器は、前記相補型出力部の出力信号を前記相補型入力部の入力信号から減算して減算結果の絶対値を計算する機能を備え、

前記ワード重み付け比較器は、前記ユニット比較器の出力部に接続された各 1 個のトランジスタ又は互いに直列接続された各 2 個のトランジスタからなることを特徴とする請求項 1 5 記載の半導体連想メモリ。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は連想メモリに係り、特に最小距離検索機能が優れた高速・並列の小面積連想メモリであって、人工知能システム、データバンクシステム、及び移動ネットワーク端末等に使用されるものである。

【0002】

50

【従来の技術】

従来、連想メモリは、ビット長 k のユニット W 個で構成される入力データと、同様にビット長 k のユニット W 個で構成される R 個の参照データとの間で、「最も類似したデータ」を検索することにより動作する。このように、連想メモリは、記憶されている参照データと外部より入力される検索データ（マッチデータ）とを比較して最も類似したデータを明らかにするために比較ビットを発生する機能を備えている。

【0003】

ここで、「最も類似したデータ」とは、距離と呼ばれる尺度が最小になるものと定義されている。このような距離の尺度として、従来「ハミング距離」(“Hamming distance”)と「マンハッタン距離」(“Manhattan distance”)が最もよく知られている。「ハミング距離」はデータ列や音声認識又は白黒の2値画像等に用いられ、「マンハッタン距離」はカラー画像又はグレースケールの画像等に用いられる。

10

【0004】

入力データ又は参照データにおけるユニットのビット長が1ビット ($k = 1$) であれば、ハミング距離が適用される。すなわち、ハミング距離は比較される2個のデータ間における互いに異なるビットの数として定義される。

【0005】

一方、入力データ又は参照データが、例えば $X_{in} = \{x_1, x_2, x_3, \dots, x_W\}$ と $Y_{ref} = \{y_1, y_2, y_3, \dots, y_W\}$ 等のコード化された数からなるユニットで構成される場合には、マンハッタン距離が適用される。このとき、2個のデータ間のマンハッタン距離は次式のように定義される。

20

【0006】

【数1】

$$D_{Manh} \equiv \sum_{i=1}^W |x_i - y_i| \quad \text{----- (1)}$$

【0007】

従来、「最も類似したデータ」（以下ウィンナと呼ぶ）を検索するため、基本的には次のような方法が用いられてきた。すなわち、

30

(a) アナログニューラルネットワークを用いるもの (H. P. Graf and L. D. Jackel, “Analog Electronic Neural Network Circuits”, IEEE Circuits and Device Mag., 5 pp. 44, 1989)、

(b) 複数のSRAM及び分割されたデジタル方式の検索回路を用いるもの (A. Nakada et al., “A Fully Parallel Vector-Quantization Processor for Real-Time Motion Picture Compression”, IEEE Journ. Solid-State Circuits, vol. 34, pp. 822-830, 1999; T. Nozawa et al., “A Parallel Vector Quantization Processor Eliminating Redundant Calculations for Real-time Motion Picture Compression”, ISSCC Digest of Tech. Papers, pp. 234-235, 2000)、

(c) ソースフォロアを構成するMOSトランジスタを用いたアナログ・ウィンナ・テイクオール回路 (Analog Winner Take-All circuit; WTA circuit) を用いるもの (S. M. S. Jalaliddine and L. G. Johnson, “Associative IC Memories with Relational Search and Nearest-Match Capabilities”, IEEE Journ. Solid-State Circuits, vol. 27, pp. 892-900, 1992)、

40

等が知られている。

【0008】

しかし、これらの方法には次のような問題がある。すなわち、検索回路の回路規模が R^2 のオーダー ($O(R^2)$) 又は $R * W$ のオーダー ($O(R * W)$) で増加するので、チップ内における占有面積が増加すること (上記 (a) 項、(b) 項の引用文献参照)、さらに検索に要する時間が長くなること (約 $1 \mu s e c$)、また、小さい W までしか検索できないこと (上

50

記(c)項の引用文献参照)等の問題が指摘されてきた。

【0009】

このように、従来、連想メモリを用いた人工知能システムは、面積効率の高いハードウェアを実現することが不可能に近い状況であったため、複雑なソフトウェアを用いて高性能なコンピュータ上に構築されるのが一般的であった。

【0010】

また、ビデオ信号によるコミュニケーションが可能な移動端末はいまだに存在しない。その理由は、例えばMPEG等の画像データ圧縮法を用いれば、送受信端末として膨大なハードウェアを要するからである。これに対して連想メモリではコードブックに基づくデータ圧縮法を用いることができる(A. Nakada et al., "A Fully Parallel Vector-Quantization Processor for Real-Time Motion Picture Compression", IEEE Journ. Solid-State Circuits, vol. 34, pp. 822-830, 1999)。

10

【0011】

この方法では、先ず一連のデータが所定のビット数のブロックに分割され、次に、連想メモリの機能を用いて、コードブックの中で最も類似したベストマッチブロックが決定され、最終的にはただ1つのブロックの識別名が受信側に伝達される。このようにして伝達されたデータは、コードブックから再構成される。従って、受信側は極めて簡単な構造で実現することができる。

【0012】

この技術は、特にビデオ映像信号の伝達に適合しており、ベクトル量子化と呼ばれている。本発明の連想メモリは、コンパクトな複数のチップ又は1チップのみで移動通信端末でのビデオ映像の帯域圧縮や人工知能システム、データバンクシステム等の分野で先行使用されるものである。

20

【0013】

【発明が解決しようとする課題】

上記したように、従来のウィンナの検索方法には、入力データのユニット数 W や、参照データの数 R が大きくなれば検索回路の回路規模がいちじるしく増加し、このためチップの所要面積がいちじるしく増加し、検索に要する時間が R^2 に比例して長くなるという問題があった。

【0014】

本発明は上記の問題点を解決すべくなされたもので R^2 に比例する回路数の増加を回避し、この増加を R に比例するように抑制してチップ面積の小さい検索回路を備えた高速・並列検索が可能な連想メモリを提供し、携帯機器を含む移動通信やビデオ映像の帯域圧縮、人工知能等の分野に適用することを目的とする。

30

【0015】

【課題を解決するための手段】

本発明の最小距離の検索機能に優れた高速・並列の連想メモリは、入力データのユニット数 W や、参照データの数 R が大きくなっても回路のいちじるしい増加が抑制され、チップ面積が小さく高速検索が可能なCMOS回路により形成された連想メモリを提供することを特徴とする。

40

【0016】

具体的には本発明の連想メモリは、 R 行、 W 列に配列された各 k ビット(R 、 W 、 k は自然数)のユニット蓄積器と、前記ユニット蓄積器にストアされた各 k ビットのユニットが W 個配列されてなる $W \times k$ ビットの入力データ及び参照データをワード長 k ビットのユニットごとに比較する R 行、 W 列に配列されたユニット比較器と、前記ユニット比較器からの各行の出力データに対してビットごとに重み付けするワード重み付け比較器と、 R 行のロウデコーダと、 $W \times k$ 列のカラムデコーダとを含むメモリアレイからなることを特徴とする。

【0017】

好ましくはメモリアレイにおけるユニットは、バイナリコードデータから構成され、ユニ

50

ットのビット数 k は、入力データにマッチする参照データの検索にハミング距離を用いる場合には $k = 1$ であり、マンハッタン距離を用いる場合には $k > 1$ であることを特徴とする。

【0018】

また、好ましくは入力データによる参照データの検索がハミング距離を用いて行われる場合において、ユニット蓄積器はSRAM型メモリセルからなり、ユニット比較器は、SRAM型メモリセルを構成するラッチ回路の相補型出力部にそれぞれ接続された2入力EXOR回路又は2入力ENOR回路からなり、ワード重み付け比較器は、2入力EXOR回路又は2入力ENOR回路の出力部に接続された各1個のトランジスタ又は互いに直列接続された各2個のトランジスタからなることを特徴とする。

10

【0019】

また、好ましくは入力データによる参照データの検索がマンハッタン距離を用いて行われる場合において、ユニット蓄積器は、 $k (> 1)$ ビットの相補型入力部及び相補型出力部を備え、ユニット比較器は、相補型出力部の出力信号を相補型入力部の入力信号から減算して減算結果の絶対値を計算する機能を備え、ワード重み付け比較器は、ユニット比較器の出力部に接続された各1個のトランジスタ又は互いに直列接続された各2個のトランジスタからなることを特徴とする。

【0020】

また、好ましくはワード重み付け比較器における出力データの重み付けは、ワード重み付け比較器を構成する各1個のトランジスタ又は互いに直列接続された各2個のトランジスタのいずれか1つのゲート幅とゲート長の比の値を重み付けに応じて選択することによりなされることを特徴とする。

20

【0021】

また、好ましくは本発明の半導体連想メモリは、メモリアレイの各行に接続されたウィンナ・ラインアップ増幅器を備え、ウィンナ・ラインアップ増幅器は、ウィンナノルーズ距離増幅ユニットと、ウィンナノルーズ距離増幅ユニットに含まれるフィードバック信号生成部と、フィードバック信号生成部から出力されたフィードバック信号を用いてW行の各ワード重み付け比較器の比較信号をウィンナノルーズ距離増幅ユニットの増幅度が最大になるように制御する比較信号制御ユニットと、フィードバック信号をコード化することにより、ウィンナの一致の質を出力するフィードバック信号コード化部とをさらに具備することを特徴とする。

30

【0022】

また、好ましくはウィンナノルーズ距離増幅ユニットは、フィードバック信号生成部と同様に、メモリアレイの各行に設けられたプッシュプル増幅回路及び非反転/反転イネーブル信号を受ける2個のトランジスタ及び補償容量からなり、フィードバック信号生成部は、プッシュプル増幅回路の出力をゲートに受けるメモリアレイの各行に設けられたソースフォロワ型プルダウントランジスタ、及び各プルダウントランジスタと直列に接続されたメモリアレイの全ての行に共通のプルアップトランジスタからなり、さらに好ましくは比較信号制御ユニットは、メモリアレイの各行に設けられた、ワード重み付け比較器からの出力信号電流を制御するパストランジスタ及び出力信号電流を中間電位に変換するソースフォロワ型プルアップトランジスタからなり、ソースフォロワ型プルアップトランジスタのゲートにはフィードバック信号が入力され、パストランジスタのゲートにはイネーブル信号が入力されることを特徴とする。

40

【0023】

また、好ましくはウィンナノルーズ距離増幅ユニットは高速動作するMin/Max型回路を含むフィードバック信号生成部と同様にメモリアレイの各行に設けられたカレントミラー型増幅回路と補償容量からなり、さらに好ましくは比較信号制御ユニットは、ワード重み付け比較器からの出力信号電流を中間電位に変換するソースフォロワ型プルアップトランジスタと、フィードバック信号の電圧レベルをシフトしてシフトされたフィードバック信号をワード重み付け比較器の各1個のトランジスタのソースにそれぞれ入力するレベ

50

ルシフトからなることを特徴とする。

【0024】

また、好ましくは本発明の半導体連想メモリは、メモリアレイの各行ごとに接続されたウインナ・テイクオール回路をさらに備え、ウインナ・テイクオール回路は、所要の際のみ構成されるレベルシフトと、ウインナ/ルーザ距離増幅ユニットのウインナ/ルーザ距離出力信号をさらに増幅するための n 段(n は1以上の整数)のウインナ・テイクオール増幅回路と、ウインナ・テイクオール増幅回路の n 段目の出力部に接続された最終決定回路とを具備することを特徴とする。

【0025】

また、好ましくは本発明の半導体連想メモリは、メモリアレイの各行に接続されたウインナ・テイクオール回路をさらに備え、ウインナ・テイクオール回路は、レベルシフトと1段のウインナ・テイクオール増幅回路からなり、レベルシフトは、1段のウインナ・テイクオール増幅回路の増幅度が最大になるようにウインナ・ルーザ距離増幅ユニットの出力信号電圧のレベルをシフトし、1段のウインナ・テイクオール増幅回路は、レベルシフトの出力信号電圧を増幅回路の電流変化に変換するトランジスタと、増幅回路の電流変化をさらに1段のウインナ・テイクオール増幅回路の出力信号電圧に変換するトランジスタとを含み、1段のウインナ・テイクオール増幅回路は、その出力部に設けられた、1段のウインナ・テイクオール増幅回路の出力信号電圧に適合するようにスイッチングしきい値電圧が設定されたインバータからなる最終決定回路を具備することを特徴とする。

【0026】

また、好ましくは本発明の半導体連想メモリは、前記メモリアレイの各行に接続されたウインナ・テイクオール回路をさらに備え、ウインナ・テイクオール回路は、レベルシフト、及び n 段(n は2以上の整数)のウインナ・テイクオール増幅回路を含み、レベルシフトは、1段目のウインナ・テイクオール増幅回路の増幅度が最大になるように前記ウインナ・ルーザ距離増幅ユニットの出力信号電圧のレベルをシフトし、1段目のウインナ・テイクオール増幅回路は、レベルシフトの出力信号電圧を増幅回路の電流変化に変換するトランジスタ、及び増幅回路の電流変化をさらに1段目のウインナ・テイクオール増幅回路の出力信号電圧に変換するトランジスタからなり、 i 段目(i は1以上、 n 以下の整数)のウインナ・テイクオール増幅回路は、 i 段目のウインナ・テイクオール増幅回路の出力信号電圧を i 段目のウインナ・テイクオール増幅回路の増幅回路の電流変化に変換するトランジスタ、及び i 段目のウインナ・テイクオール増幅回路の増幅回路の電流変化をさらに i 段目のウインナ・テイクオール増幅回路の出力信号電圧に変換するトランジスタを含み、 n 段目のウインナ・テイクオール増幅回路は、その出力部に設けられた n 段目のウインナ・テイクオール増幅回路の出力信号電圧に適合するようにスイッチングのしきい値電圧が設定されたインバータからなる最終決定回路を具備することを特徴とする。

【0027】

また、好ましくはフィードバック信号は、ワード重み付け比較器を構成する各1個のトランジスタのソース、又はワード重み付け比較器を構成する互いに直列接続された各2個のトランジスタのいずれか1つのゲートに入力されることを特徴とする。

【0028】

また、好ましくはワード重み付け比較器を構成する各1個のトランジスタ、又はワード重み付け比較器を構成する互いに直列接続された各2個のトランジスタの導電型が反転される場合において、ウインナ/ルーザ距離増幅ユニット及びフィードバック信号生成部をそれぞれ構成するトランジスタの導電型を反転し、ウインナ/ルーザ距離増幅ユニット及びフィードバック信号生成部のイネーブル信号の極性を反転し、ウインナ・テイクオール回路を構成するトランジスタの導電型を反転し、かつ、ウインナ/ルーザ距離増幅ユニット及びフィードバック信号生成部及びウインナ・テイクオール回路の電源端子と接地端子がそれぞれ入れ替えられることを特徴とする。

【0029】

また、好ましくはウインナ・ラインアップ増幅器、及びウインナ・テイクオール回路を構

10

20

30

40

50

成するトランジスタ数は、メモリ領域の行数 R に比例することを特徴とする。

【 0 0 3 0 】

【 発明の実施の形態 】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

< 第 1 の実施形態 >

図 1 は、本発明の第 1 の実施形態に係る連想メモリのブロック構成を示す図である。

【 0 0 3 1 】

図 1 に示す連想メモリにおいてメモリアレイ 1 は集積化されたユニット比較器 $U C_{i,j}$ ($i = 1 \sim R, j = 1 \sim W$) を備える R 行、 W 列データのユニット蓄積器 $U S_{i,j}$ ($i = 1 \sim R, j = 1 \sim W$) と、ワード重み付け比較器 $W W C_i$ ($i = 1 \sim R$) から構成される。各ユニットは、それぞれ k ビットで構成される。

10

【 0 0 3 2 】

メモリ領域 1 の左辺には R 行のロウデコーダが接続され、メモリ領域 1 の上辺には、各 k ビットのユニット W 個からなる入力データの入力部が配置される。また、メモリ領域 1 の下辺には $W \times k$ 列のカラムデコーダが接続され、各ユニット蓄積器ごとに読み出し / 書き込みが行われる。

【 0 0 3 3 】

ハミング距離が使われる典型的な場合には、 $k = 1$ となる。また、マンハッタン距離が使われる典型的な場合には、 $k > 1$ であり、ユニットはコード化されたバイナリデータを表している。ウィンナの選択は、 $O(R)$ の 2 個の機能ブロックにより実行される。

20

【 0 0 3 4 】

その 1 は、ウィンナ・ラインアップ増幅器 (winner line-up amplifier; $W L A$) 2 であり、ウィンナとルーザ (以下入力データに類似しない参照データをルーザ (loser) と呼ぶ) の距離の差を最初の増幅段階で最も大きく増幅するために比較信号 C_i ($i = 1 \sim R$) のレベルを制御する。

【 0 0 3 5 】

その 2 は、ウィンナ・テイクオール回路 (winner take-all circuit; $W T A$) 3 であり、 $W L A$ 2 の出力信号 $L A_i$ ($i = 1 \sim R$) を入力して一致信号 M_i ($i = 1 \sim R$) を出力する。一致信号 M_i では、ウィンナ行の信号は “ 1 ” であり、その他全ての行の信号は “ 0 ” である。なお、 $W L A$ 2 の入力部には、 $W W C_i$ の比較信号 C_i ($i = 1 \sim R$) が

30

【 0 0 3 6 】

以下の実施形態で説明するように、図 1 に示す連想メモリの高速・並列の最小距離検索機能を実現するため、次の 2 つの事項に留意して設計が進められた。

【 0 0 3 7 】

その 1 は、図 1 に示す機能ブロックにおいて、入力データと参照データとを比較し、 $W W C_i$ の比較信号 C_i として大小の電流を高速に出力する。このため、アナログ原理を用いた高速な $W W C_i$ を実現する。

【 0 0 3 8 】

これを構成するトランジスタは、例えば入力データと参照データとの間の不一致ビットに対応してオンするようにし、良い一致と悪い一致の相違を電流の大きさに素早く対応させる。

40

【 0 0 3 9 】

その 2 は、ウィンナ・ラインアップ増幅器 $W L A$ の優れた増幅原理を実現する。この回路を用いて検索可能な全ての場合に対し、ウィンナ / ルーザ間の距離の増幅度が全ての可能な場合に対して最大となるように、フィードバック信号を用いてウィンナ行の $W W C_i$ の出力レベルを制御する。

【 0 0 4 0 】

< 第 2 の実施形態 >

次に、図 2 (a)、図 2 (b) を用いて、第 2 の実施形態について説明する。第 2 の実施

50

形態では、ハミング距離を求めるためのメモリ領域の具体的な回路構成について説明する。

【0041】

ハミング距離を求めるために、 n チャネルMOS電界効果トランジスタ（以下 n MOSと呼ぶ）及び p チャネルMOS電界効果トランジスタ（以下 p MOSと呼ぶ）を用いて、SRAMセルからなる1ビットのユニット蓄積器 US （以下 $US_{i,j}$ の総称を US とする）に、1ビットのユニット比較器 UC 及びワード重み付け比較器 WWC （以下 $UC_{i,j}$ 、 WWC_i の総称を UC 、 WWC とする）を集積化した回路が、それぞれ図2（a）、図2（b）に示されている。

【0042】

図2（a）、図2（b）において、 US は n MOS $Q1$ 、 $Q2$ 及びインバータ $I1$ 、 $I2$ からなるラッチ回路から構成される、入力データ SW （以下 SW_j の総称を SW とする）及び反転入力データ $/SW$ は、それぞれ US のカラム線及び相補カラム線に入力される。参照データは US にストアされている。 US の n MOS $Q1$ 、 $Q2$ は、カラム線が新たな参照データの US への書き込み、又は参照データの US からの読み出しに用いられるような、異なる動作モードの時にのみワード線 WL （以下 WL_i の総称を WL とする）で選択される。

【0043】

図2（a）において、 UC と WWC の機能は、3個の n MOS $Q3$ 、 $Q4$ 、 $Q5$ のみで実現することができる。そのうち、 UC を構成する2個の n MOS $Q3$ 、 $Q4$ は、入力データ SW 及び $/SW$ と US にストアされた参照データとを比較し、一致又は不一致のビットを決定するための $EXOR$ 機能を実現するのに用いられ、 WWC の n MOS $Q5$ は、 $EXOR$ の出力を比較信号 C （以下 C_i の総称を C とする）に寄与させるために用いられる。

【0044】

入力データと参照データが一致すれば、“0”（ VSS ）に相当する値が入力データ SW 及び反転入力データ $/SW$ から n MOS $Q3$ 、 $Q4$ を用いて選択され、 $Q5$ のゲートに接続されて WWC の n MOS $Q5$ はオフ状態になる。入力データと参照データが不一致であれば、“1”（ VDD ）に相当する値が入力データ SW 及び反転入力データ $/SW$ から n MOS $Q3$ 、 $Q4$ を用いて選択され、 $Q5$ のゲートに接続されて WWC の n MOS $Q5$ はオン状態になる。

【0045】

従って、ウィンナ行（不一致ビットの合計が最も小さい行）では、比較信号 C の信号電流が最小となるので、ハミング距離は、各 UC にそれぞれ接続される WWC の n MOS $Q5$ のゲート幅及びゲート長を全て等しくする（重み付けを等しくする）ことで求められる。このとき、 WWC の出力ビットごとに n MOS $Q5$ のゲート幅とゲート長の比を変化すれば、任意の重み付けでウィンナの検索が可能になり、任意の尺度の距離に対応できることはいうまでもない。

【0046】

図2（b）には、 UC 及び WWC を p MOS $Q6$ 、 $Q7$ 、 $Q8$ を用いて構成する例が示されている。この場合にも、入力データと参照データが不一致であれば WWC の p MOS $Q8$ はオン状態になり、入力データと参照データが一致すれば p MOS $Q8$ はオフ状態になる。

【0047】

< 第3の実施形態 >

次に、図3を用いて第3の実施形態について説明する。

【0048】

第3の実施形態では、マンハッタン距離を求めるためのメモリ領域の回路構成について説明する。

【0049】

図3には、コード化されたバイナリデータ（ $k > 1$ ）を各ユニット蓄積器 US に付与する

10

20

30

40

50

ことでマンハッタン距離を求めるために、ユニット蓄積器US、ユニット比較器UC、及びワード重み付け比較器WWCを集積化した回路が示されている。図3に示すように、マンハッタン距離を求めるためのUS及びUCは、それぞれkビットの2個のユニットをストアする回路と、ストアされた参照ユニットから入力ユニットを減算し計算結果の絶対値を出力する回路を用いてそれぞれ構成される。

【0050】

kビットユニットのWWC部は、例えばそれぞれk個のpMOS（例えば、Q1,1~Q1,k）で構成される。なお、これらのpMOSのゲート長とゲート幅の割合は、図3に示すように、データを構成するビットの重み（例えば2進数の桁）に対応して選択される。

【0051】

例えば、kビットの第1グループバイナリコードデータについて、USにストアされたkビットの参照データからkビットの入力データSW、/SWを減算した後、最上位ビットに“1”が出力されると、これに対応するpMOS Q1,kがオン状態となり、そのゲート長/ゲート幅の比が $2^{k-1}W_0/L_0$ （ W_0 は最下位ビットのゲート幅、 L_0 は最下位ビットのゲート長）に設定されるので、電源電圧VDDから大きな信号電流が流れる。このようにして、最上位ビットから最下位ビットまで、ビットの順位に応じて重み付けされた比較信号Cに寄与する電流を得ることができる。

【0052】

<第4の実施形態>

次に、図4を用いて、第4の実施形態について説明する。

【0053】

第4の実施形態では、本発明の主要部分をなす連想メモリのウィンナ・ラインアップ増幅器WLA2のブロック構成について説明する。

【0054】

図4に示すWLA2は、ワード重み付け比較器WWC_iで生成された比較信号C_i（ $i = 1 \sim R$ ）の電流の大きさを電圧信号に変換する機能を備える比較信号制御ユニット（SR）21と、フィードバック信号Fの生成部、及びウィンナ/ルーザ・距離増幅ユニット22と、入力データと参照データの一致の質（ウィンナの距離）を任意にコード化する機能を備える比較器からなるフィードバック信号コード化部23から構成される。

【0055】

ここで発生したフィードバック信号Fは、SR21、フィードバック信号コード化部23、及び適当であればワード重み付け比較器WWC_iにフィードバックされ、連想メモリの検索能力を高める効果がある。なお、EnはWLA2のイネーブル信号、LA_i（ $i = 1 \sim R$ ）はウィンナ/ルーザ・距離増幅ユニットの増幅された出力信号である。

【0056】

<第5の実施形態>

次に、図5を用いて第5の実施の形態について説明する。

第5の実施の形態では、ウィンナ・ラインアップ増幅器WLA2の簡単な回路構成例について述べる。図5に示す回路規模O（R）のWLA2は、それぞれ1行当り7個程度のトランジスタで構成される。この場合WWCへのフィードバックはメモリ領域の面積を最小にするため使用していない。

【0057】

図5に示すWLA2の回路構成では、2個のnMOS Q21、Q22を用いて各C_i（ $i = 1 \sim R$ ）の比較信号制御ユニット21を構成している。nMOS Q21は、WLA2をイネーブル信号Enで活性化/不活性化させたり、WWCの電流を制御するパストラジスタであり、nMOS Q22は、WWCの電流の大きさを中間電位VI（図5の例では同じ行のVI₁）に変換するソースフォロワー構成のプルアップトランジスタである。なお、nMOS Q22のゲートには、フィードバック信号生成部22bをなすnMOS Q25のソースフォロワー出力（フィードバック信号F）が入力される。

【0058】

10

20

30

40

50

ウィンナ/ルーザ・距離増幅ユニット22aは、イネーブル信号Enを受けるnMOS Q23、nMOS Q24と、インバータI3からなるプッシュプル増幅器(PPA)と、各行の補償容量Cを備える。WLA2が不活性の場合、低レベルのEnがnMOS Q23をオフとし、インバータI4を介して高レベルとなった高レベルのEnがnMOS Q24をオン状態にする。その結果、PPAの入力が0V(接地電位)になる。

【0059】

もし、イネーブル信号Enを高レベルであればWLA2が活性化し、インバータI3によるプッシュプル増幅が行われる。補助キャパシタCはWLAの十分な動作マージンを確保する役割を果たしている。

【0060】

フィードバック信号Fは、WLA2の各行の出力をそれぞれゲートに受けるソースフォロワー構成のプルダウンpMOS Q25と、これらに直列に接続されたWLA2の全ての行に共通なプルアップpMOS Q26により生成される。実際の回路動作では、ウィンナの行に流れる電流の大きさが最小になるので、ウィンナの行の中間電位 $V_{I_{win}}$ は最も高くなり、インバータI3を介して出力されるPPAの出力電位 $L A_{win}$ は最も低くなる。

【0061】

従って、フィードバック信号Fの電圧はウィンナの行で次のように定められる。 $V_{th,p}$ をpMOS Q25のしきい値電圧として、

【数2】

$$F \doteq L A_{win} + V_{th,p} \quad \text{----- (2)}$$

【0062】

その結果、ウィンナの行のSRユニットに流れる電流の大きさが、ウィンナの行のWWCを流れる電流の大きさとバランスがとれた時、WLAはPPAの増幅が最大となる領域で動作する。このとき、ウィンナの行の中間電位は $V_{I_{win}}$ となり、ウィンナが安定して選択される状態になる。

【0063】

このようにWLA回路は、全ての可能な場合において、PPAによる距離増幅が最大となる領域に各信号を自動的に制御する機能を備えている。従って、WLA設計上の留意点は、トランジスタ・パラメータが製造プロセス上の最悪条件になった場合でも、大きな制御範囲でWLA回路が動作するように設計することである。

【0064】

次に図6を用いて、WLAの動作について、さらに具体的に説明する。

図6(a)、図6(b)、図6(c)は、PPAの電流/電圧増幅特性を示すものであり、さらにウィンナ行及びルーザ行からのPPAの入力(WLAの入力)とPPAの出力(WLAの出力)の相互関係を示している。

【0065】

図6(a)は、比較信号制御ユニットSRによる比較信号Cの制御不足の状態を示している。すなわち、ウィンナ行に対応する比較信号Cの電流が過大であり、従ってPPAの入力信号電圧が低下し、ウィンナ行及びウィンナ行より比較信号Cの電流が大きい最近接ルーザ行に対応するPPAの入力信号電圧が低下し、さらに比較信号Cの電流が大きい他のルーザ行に対応するPPAの入力信号電圧がさらに低くなり、PPAの出力が増幅特性上(I3のインバータ特性上)の高レベル側に外れた状態を示している。この場合には、ウィンナ行と最近接ルーザとのWLAによる識別が困難になる。

【0066】

図6(b)は、比較信号制御ユニットSRによる比較信号Cの制御過剰の状態を示している。このような場合には、上記の議論からウィンナ行より信号電流が大きい最近接ルーザ行に対応する出力電圧がPPAの増幅特性曲線上、低レベル側に集まり、さらに信号電流が大きい他のルーザ行に対応する出力電圧がこれに続くので、図6(a)と同様、ウィン

10

20

30

40

50

ナ行と最近接ルーザとのW L Aによる識別が困難になる。

【 0 0 6 7 】

これに対して図 6 (c) の状態では、図 5 に示すフィードバック回路が良好に動作して、ウィンナ行の動作点と最近接ルーザ行の動作点が、共に P P A の増幅特性曲線上の最大増幅を与える領域に自動的に制御される場合が示されている。このとき、ウィンナ/ルーザ間距離の最大増幅出力電圧が得られ、連想メモリにおいて、入力データによる参照データの検索が最良の状態で行われることになる。

【 0 0 6 8 】

もし、図 5 に示す第 5 の実施の形態と同様に、図 2 (b) 又は図 3 に示すように p M O S が W W C_i に用いられる場合には、FIG.5 に示す n M O S Q21乃至 Q24 を p M O S に、 p M O S Q25、Q26 を n M O S に置き換え、イネーブル信号 E n の極性を反転し、電源端子 V D D と接地端子を入れ替えねばならない。

【 0 0 6 9 】

< 第 6 の実施形態 >

次に、図 7、図 8 を用いて第 6 の実施形態について説明する。

第 6 の実施形態では、ウィンナ・ラインアップ増幅器 W L A からワード重み付け比較器 W W C へのフィードバック信号 F の入力方法と、フィードバック信号 F による W W C からの比較信号 C の出力制御について説明する。

【 0 0 7 0 】

図 7 に示す W W C_i は、例えば 1 ビットのユニット比較を行う U C_{i,j} の出力をゲートに受ける p M O S Q41 と、W L A からのフィードバック信号 F をゲートに受ける p M O S Q42 との直列接続回路で構成される。フィードバック信号 F が増加すれば p M O S Q42 がさらにオフ側に变化するので、プルアップトランジスタ (図 5 の Q22) を介して V D D に接続された W W C_i の比較信号電流 C_i が減少することで C_i を制御することができる。なお、図 7 に示す W W C_i は、比較信号電流 C_i の制御の利得は大きいですが、メモリ領域内において、1 ビット当り 1 個のトランジスタを追加する必要がある。

【 0 0 7 1 】

図 8 に示す W W C_i は、例えば 1 ビットのユニット比較を行う U C_{i,j} からの出力をゲートに受ける n M O S Q43 のみで構成される。W L A からのフィードバック信号 F は n M O S Q43 のソースに入力される。このようにしてフィードバック信号 F が増加すれば、n M O S Q43 のドレイン電流が減少することで W W C_i の比較信号電流 C_i を制御することができる。図 8 の W W C_i はトランジスタ数は少ないが、メモリ領域内において、1 ビット当り 1 本の配線を追加する必要がある。

【 0 0 7 2 】

W W C においてフィードバックを用いる利点は、特に大きな距離の場合、W W C から出力されるウィンナと最近接ルーザとの出力差の増幅が製造プロセスのばらつきによらずに改善されることである。

【 0 0 7 3 】

< 第 7 の実施形態 >

次に、図 9 を用いて、第 7 の実施形態について説明する。

第 7 の実施形態では、先に第 5 の実施形態で説明したウィンナ・ラインアップ増幅器 W L A の改良回路と、メモリ領域において重み付きワード比較を行う W W C へのフィードバック信号 F の転送を行う具体的方法について説明する。

【 0 0 7 4 】

図 9 に示す W L A 2 a は、図 5 の W L A 2 を改良した増幅回路の一例である。W L A 2 a では、ウィンナとルーザとの間の距離の増幅に、増幅度の高いカレントミラー回路が用いられ、高速動作する M i n / M a x 型回路 (例えば、R. G. Carvajal et al., " High-Speed High-Precision Min/Max Circuit in CMOS Technology " , Electronics Letters, vol. 36, pp. 697-699, 2000 参照) をフィードバック信号 F を生成する回路や、ウィンナとルーザとの距離をさらに大幅に増幅する回路に使用している。

10

20

30

40

50

【0075】

これらの回路を用いたWWC/WLA回路は、ウィンナとルーザとの距離の検索可能な範囲を1,000ビット乃至10,000ビットに拡大することができ、かつ比較信号制御ユニットSR 21aにおける消費電力を0.1mW以下にすることが可能である。

【0076】

第7の実施形態のWLA 2aは、図5のプッシュプル増幅器PPAの代わりに、より増幅度の高いnMOS及びpMOS Q64乃至Q69を用いた高速動作のカレントミラー増幅器を使用している。さらにフィードバック回路は、全ての行に共通なpMOS Q77と共に各行に設けられたnMOS及びpMOS Q70乃至Q76からなるMin/Max回路で構成される。フィードバック信号F2は、フィードバック信号F2の電圧レベルをほぼnMOS Q62のしきい値電圧だけシフトダウンさせ、本来VSSを供給するWWCの端子に入力される(図8参照)。

10

【0077】

フィードバック信号が変化すれば、WWCを構成するトランジスタのソース/ドレイン間電圧も変化するので、WWCの出力にはフィードバックの効果が2乗の効果として現れる、このため、図5に示すWLA 2と比較して、製造プロセスの変動によらず、特に入力データに対して大きな距離のウィンナとルーザの違いを増幅することができる。

【0078】

なお、第7の実施形態において、図9に示すWWCとして、図2(b)又は図3に示すようにpMOSを用いる場合には、図9に示すnMOSをpMOSに、pMOSをnMOSに置き換え、イネーブル信号Enの極性を反転し、電源端子VDDと接地端子を入れ替えねばならない。

20

【0079】

<第8の実施形態>

次に、図10を用いて第8の実施形態について説明する。

第8の実施形態では、ウィンナ・テイクオール回路WTA 3の構成について説明する。

【0080】

図10に示す回路規模O(R)のWTA 3は、それぞれ1行当り10個程度のトランジスタを用いて構成される。まずnMOS Q31、Q32からなるレベルダウンシフタを用いて、WTAの増幅度が大きい領域で動作するようにWLAの出力信号LAを制御する。このレベルダウンシフタは出力信号LAのレベルダウンが必要な場合にのみ設けられる。

30

【0081】

ここで、WTA段とよばれるこの回路の主要部は、Lazzaro等が提案している共通のソースフォロワQ35(第1段WTA)又はQ38(第2段WTA)を有するWTA回路である(J. Lazzaro et al., "Winner-Take-All network of O(N) complexity", in Advances in Neural Information Processing Systems, I. D. S. Touretzky Ed., San Mateo, CA: Morgan Kaufmann, 1989)。そして、決定回路により最終的にデジタルな検索結果が出力される。

【0082】

トランジスタQ33、Q34、Q35からなる第1段のWTA 32は、レベルダウンシフタ31の出力電圧を電流に変換するためpMOS Q34を用いている。WLA 2の出力電圧LAは、ウィンナ行において最も低くなるので、ウィンナ行におけるレベルダウンシフタの出力電流もまた最小になる。このため、ウィンナ行のトランジスタQ34を流れる電流は最大になる。この最大電流は、第1段のWTA 32の出力部の最大電圧に変換され、その他の全ての行の出力は実質的に抑制される。

40

【0083】

第2段のWTA 33も、第1段と同様に電圧/電流/電圧の変換を実行し、ウィンナとルーザとの距離をさらに増幅する。ウィンナの電圧は、この第2段のWTA 33の出力において最も低くなる。最終決定回路33aは、スイッチングしきい値電圧が第2段のWTA 33の出力電圧レベルに適合するように設定されたインバータI5で構成される。こ

50

の回路により、一致信号Mとしてウイナ行に“1”が出力され、その他のルーザ行には全て“0”が出力される。

【0084】

なお、第8の実施形態において、ウイナ・テイクオール回路が2段のWTAで構成される場合を例として説明したが、ウイナ・テイクオール回路は3段以上のWTAで構成することもできるし、1段のWTAで構成することも可能である。また、図2(b)、図3のように、WWCとしてpMOSを用いる場合には、図10のnMOSをpMOSに、pMOSをnMOSに置き換え、電源端子VDDと接地端子を入れ替えねばならない。

【0085】

<第9の実施形態>

次に、図11乃至図13を用いて、第9の実施形態について説明する。

【0086】

第9の実施形態では、CMOS技術を用いて製造された本発明の連想メモリチップとその性能について説明する。

最小線幅0.6 μ mのCMOS技術を用いて製造された32行から127ビットまでのウイナを検索可能な、最小ハミング距離検索用の連想メモリのチップを図11に示す。この連想メモリチップは、図5に示す第5の実施の形態に係るウイナ・ラインアップ増幅器WLA2、及び図10に示す第8の実施形態に係るウイナ・テイクオール回路WTA3を用いて設計された。

【0087】

チップ中央部に32行128列のメモリアレイが形成され、ハミング距離による検索を用いるため、メモリアレイにはビット(セル)ごとの蓄積セル(SC)、及びビット比較部(BC)、及び重み付けされないワード比較部(WC)から構成される。

【0088】

チップの上辺には、128ビットのワード検索部(Search Word)が配置され、チップの下辺には、カラムデコーダ及び読み出し/書き込み部(column decode and read/write)が配置される。チップの右辺には、WLA、WTA、及び出力を取り出すセレクタが配置される。ここで、WLA、WTA回路は、1.57mm²のチップサイズの小さい連想メモリの内、全体の14.3%とごく僅かな領域を占めるに過ぎない。

【0089】

次に、図12を用いて、図11の連想メモリチップのウイナ検索時間のシミュレーション結果について説明する。図12は、ウイナ/ルーザ間の距離がそれぞれ1ビット、2ビット、5ビット、10ビットの場合について、ウイナを検索するのに要する時間をウイナ/入力間距離の関数として示したものである。

【0090】

図12から、50ビット程度の中間の距離では、検索時間を50nsec以下にすることができるが、それ以上の距離では検索時間が増加し、ウイナの距離が最大の127ビットに達すれば、検索時間は160nsecになる。

【0091】

WLA回路を図9に示す第7の実施形態で説明したように改良すれば、不一致ビットが1000ビットのウイナにおいて、ウイナとルーザの距離が僅か1ビットでウイナ/入力間の距離が大であっても検索時間が100nsec以下になる可能性があることがシミュレーションの結果明らかにされた。

【0092】

このように、本発明の連想メモリアキテクチャは、大きな検索マージンを備えているので、「良い一致」、すなわち、ウイナ/入力間の距離が小さいか、又は、ウイナとルーザとの距離の差が大きい場合においても信頼性が高い。また、「悪い一致」、すなわち、ウイナ/入力間の距離が大きく、かつ、ウイナとルーザとの距離の差が小さい場合には、検索マージンが小さく信頼性も低下するが、なお実用レベルを維持することができる。

10

20

30

40

50

【 0 0 9 3 】

ウィンナ行と最近接ルーザ行間におけるW L Aにより制御されたW C出力の差を図 1 3に示す。ウィンナ/最近接ルーザ間の距離がそれぞれ1ビット、2ビット、5ビット、10ビットの場合について、ウィンナ/ルーザの比較信号差($C_{\text{W}} - C_{\text{L}}$)がウィンナ/入力間の距離の関数として示されている。図 1 3の結果から極めて「良い一致」の場合には比較信号差が数100 mVに達するが、極めて「悪い一致」の場合には比較信号差が2 mV乃至3 mVと、小さくなることがわかる。このように、比較信号差の大きさが一致の質を与える量となる。

【 0 0 9 4 】

本発明の連想メモリアーキテクチャは、フィードバック回路による自己整合的なW L Aの制御により、距離の情報を安定にコード化することができるので、製造プロセスの変動やノイズの変動に対する許容範囲が大きいという特徴がある。また、図 5 及び図 1 0で説明したW L A及び図 1 0で説明したW T Aの回路において、回路に用いるトランジスタ数(回路の集積度)が、メモリアレイの行数(参照データの数)Rに比例するという特徴がある。しかし、チップ内におけるトランジスタパラメータのばらつきが、一致信号の出力部では誤動作の原因となり、ウィンナを正確に検索できる範囲を制限する可能性が残されている。

10

【 0 0 9 5 】

なお本発明は上記の実施の形態に限定されることはない。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

20

【 0 0 9 6 】

【発明の効果】

従来人工知能システムは、面積効率の高いハードウェアを実現することが不可能であったため、高性能なコンピュータシステム上に複雑なソフトウェアを用いて構築されることが一般的であったが、上述したように本発明の連想メモリによれば、コンパクトな複数のチップ又は1チップのみでパターン認識や人工知能システム、データバンクシステム等を実現することが可能になる。

【図面の簡単な説明】

【図 1】第 1の実施形態に係る連想メモリのブロック構成図。

【図 2】第 2の実施形態に係るハミング距離を用いたユニット比較器及びワード重み付け比較器の回路構成を示す図であって、

30

(a)は、ワード重み付け比較器にn M O Sを用いた回路構成を示す図。

(b)は、ワード重み付け比較器にp M O Sを用いた回路構成を示す図。

【図 3】第 3の実施形態に係るマンハッタン距離を用いたユニット比較器及びワード重み付け比較器の回路構成を示す図。

【図 4】第 4の実施形態に係るウィンナ・ラインアップ回路のブロック構成図。

【図 5】第 5の実施形態に係る簡単なウィンナ・ラインアップ回路を示す図。

【図 6】ウィンナ・ラインアップ回路の原理を示す図であって、

(a)は、制御不足の場合を示す図。

(b)は、制御過剰の場合を示す図。

40

(c)は、最適制御の場合を示す図。

【図 7】ワード重み付け比較器の構成と、フィードバック方法を示す図。

【図 8】ワード重み付け比較器の他の構成とフィードバック方法を示す図。

【図 9】第 7の実施形態に係るワード重み付け比較器へのフィードバック回路を設けた、改良されたウィンナ・ラインアップ回路の構成を示す図。

【図 1 0】第 8の実施形態に係るウィンナ・テイクオール回路の構成を示す図。

【図 1 1】第 9の実施形態に係るC M O S連想メモリのチップを示す画像。

【図 1 2】ウィンナ/最近接ルーザ間距離をパラメータとして、ウィンナ検索時間をウィンナ/入力間距離の関数としてシミュレーションにより求めた図。

【図 1 3】ウィンナ/最近接ルーザ間距離をパラメータとして、比較信号差をウィンナ/

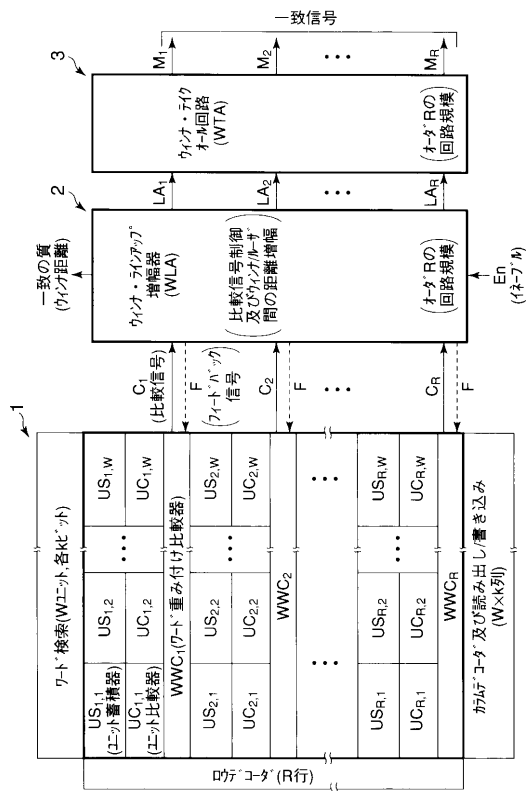
50

入力間距離の関数としてシミュレーションにより求めた図。

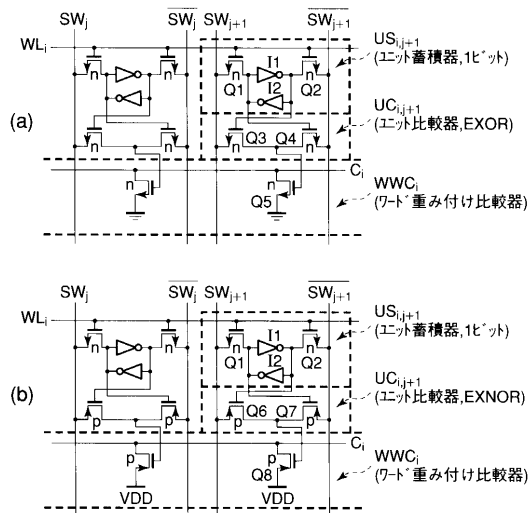
【符号の説明】

- 1 ... メモリアレイ
- 2 ... ウィンナ・ラインアップ増幅器 (WLA)
- 2 a ... 改良ウィンナ・ラインアップ増幅器
- 3 ... ウィンナ・テイクオール回路 (WTA)
- 2 1、2 1 a ... 比較信号制御ユニット (SR)
- 2 2 ... フィードバック信号生成部及びウィンナ/ルーザ距離増幅ユニット
- 2 2 a、2 2 c ... ウィンナ/ルーザ距離増幅ユニット
- 2 2 b、2 2 d ... フィードバック信号生成部
- 2 3 ... フィードバック信号コード化部
- 3 1 ... レベルシフタ
- 3 2 ... 第1段ウィンナ・テイクオール回路
- 3 3 ... 第2段ウィンナ・テイクオール回路
- 3 3 a ... 最終決定回路

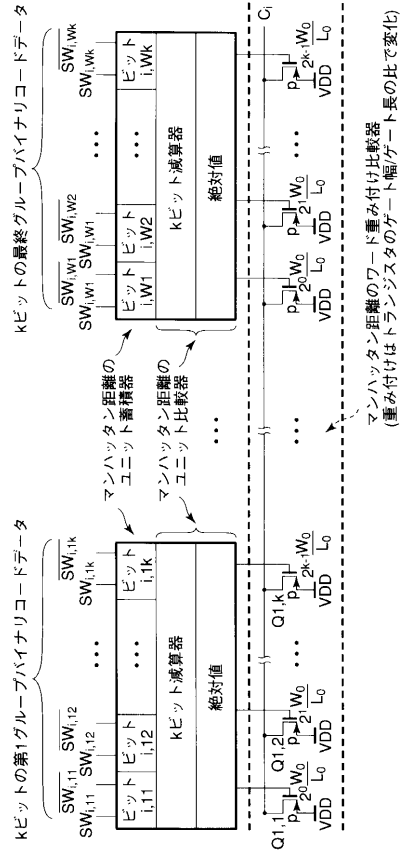
【図1】



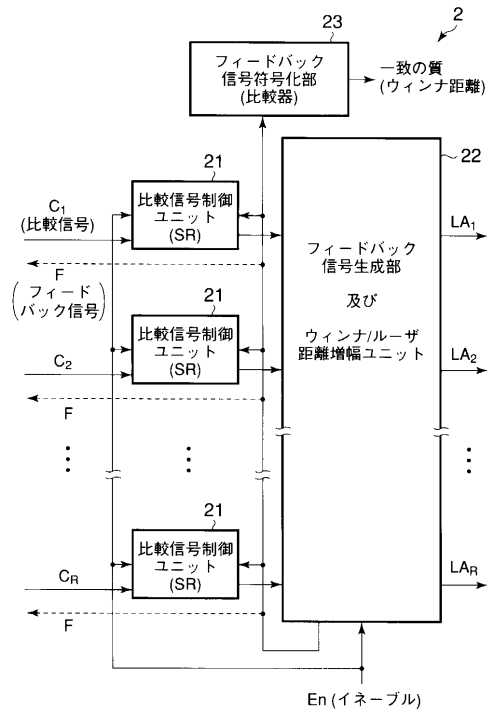
【図2】



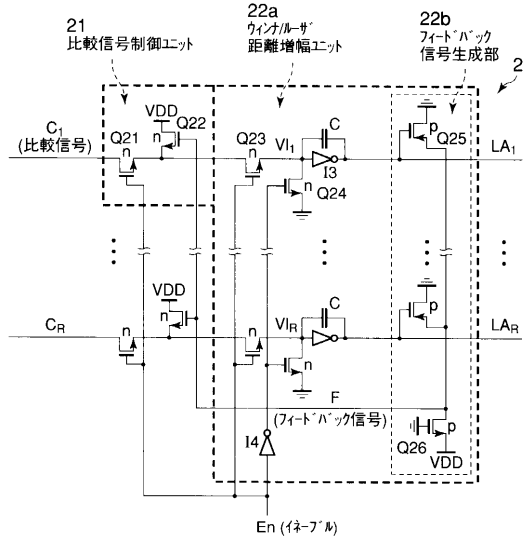
【図3】



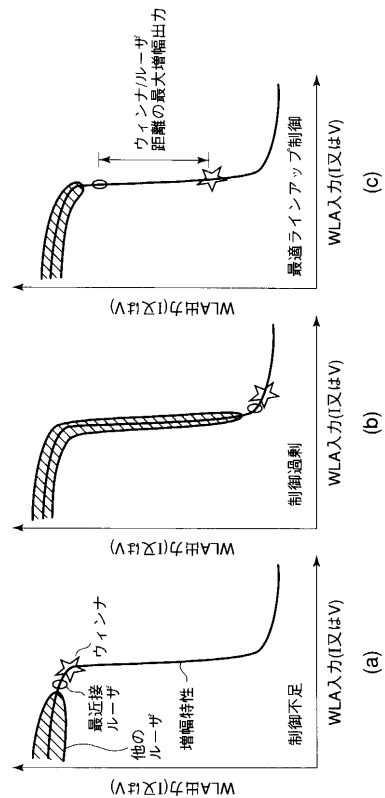
【図4】



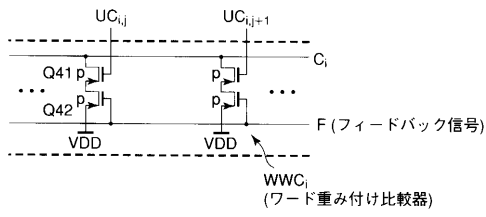
【図5】



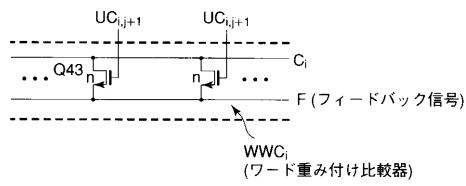
【図6】



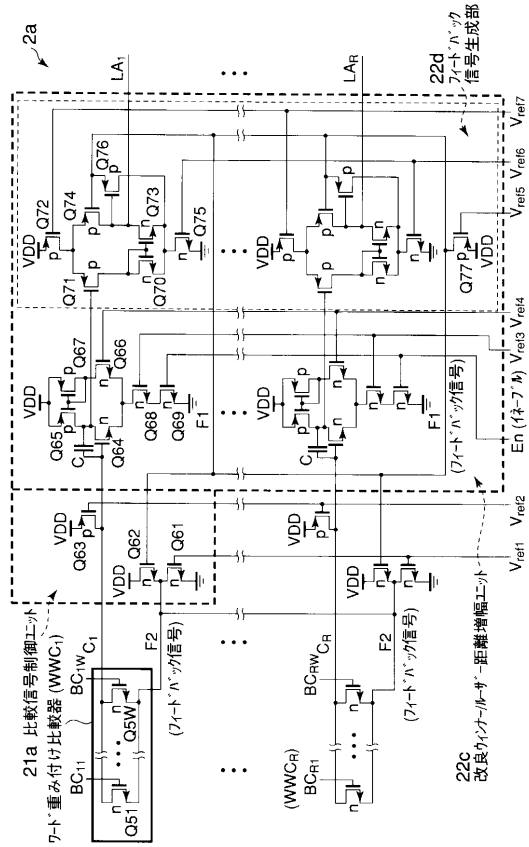
【 図 7 】



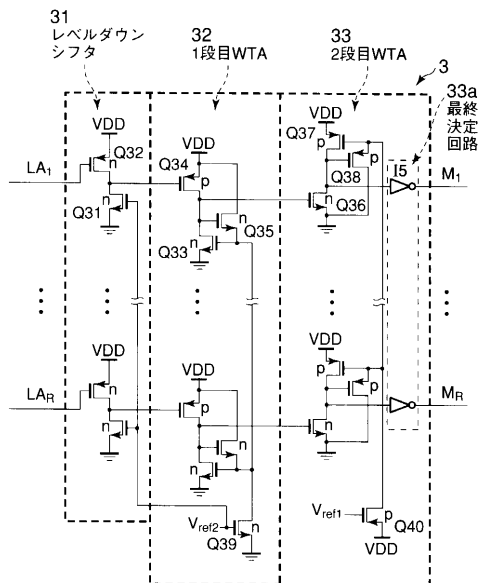
【 図 8 】



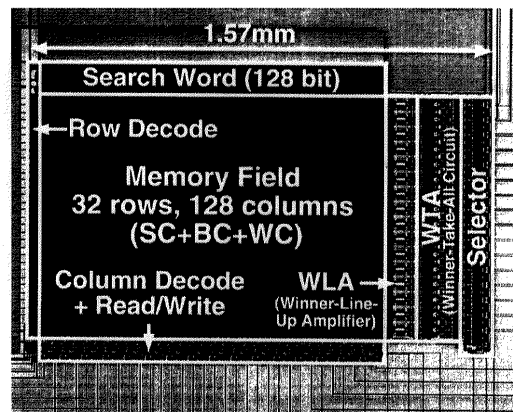
【 図 9 】



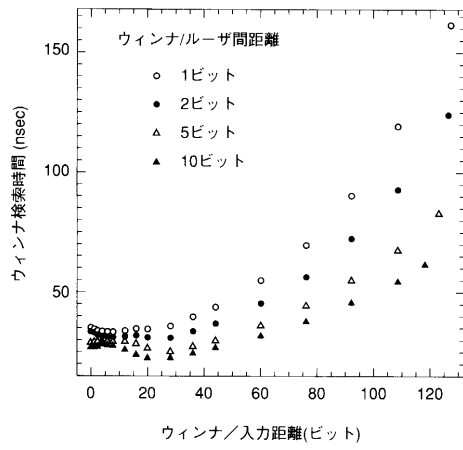
【 図 10 】



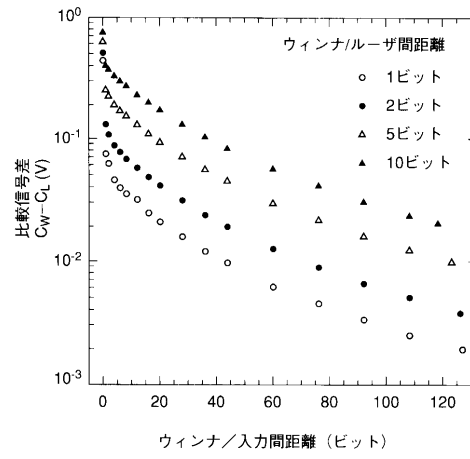
【 図 11 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 マタウシュ・ハンスユルゲン
広島県東広島市西条町大沢 8 4 9 - 2
- (72)発明者 行天 隆幸
兵庫県神戸市西区宮下 2 - 6 - 1 5

審査官 小松 正

- (56)参考文献 特表平 1 0 - 5 0 3 3 1 7 (J P , A)
特開平 0 7 - 2 7 1 8 1 6 (J P , A)

- (58)調査した分野(Int.Cl. , DB名)
G11C 15/04