

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-319932

(P2004-319932A)

(43) 公開日 平成16年11月11日(2004.11.11)

(51) Int. Cl.⁷

H01L 29/66

F I

H01L 29/66

テーマコード (参考)

S

審査請求 有 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2003-115352 (P2003-115352)
 (22) 出願日 平成15年4月21日 (2003. 4. 21)

(71) 出願人 596157861
 電気通信大学長
 東京都調布市調布ヶ丘1丁目5番地1
 (74) 代理人 100072051
 弁理士 杉村 興作
 (72) 発明者 水柿 義直
 東京都調布市小島町1丁目1番地1 公務員宿舎RA302

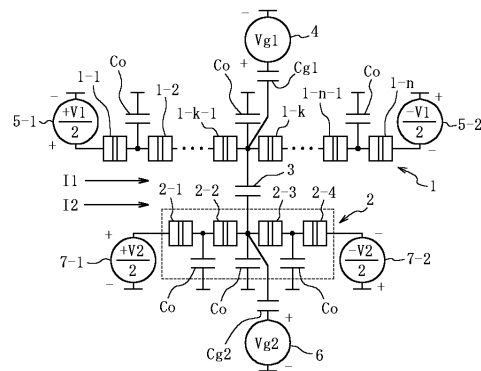
(54) 【発明の名称】 電流ミラー効果が生じる単電子デバイス

(57) 【要約】

【課題】容量結合する箇所を少なくするとともにミラー電流の向きを元の電流の向きと同一にすることができ、かつ、強い電流ミラー効果が生じる単電子デバイスを提供する。

【解決手段】微小トンネル1-k-1と微小トンネル1-kとの間の電極には、ゲート電圧源4からゲート電圧Vg1が印加され、1次元直列アレイ1の両端にバイアス電圧源5-1、5-2を配置し、バイアス電圧+V1/2、-V1/2をそれぞれ印加することによって、1次元直列アレイ1に電流I1を流す。また、微小トンネル2-2と微小トンネル2-3との間の電極には、ゲート電圧源6からゲート電圧Vg2が印加され、1次元直列アレイ2の両端にバイアス電圧源7-1、7-2を配置し、バイアス電圧+V2/2、-V2/2をそれぞれ印加することによって、1次元直列アレイ2に、電流I1にほぼ等しい電流I2を流す。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

クーロンブロッケイド現象が発現する n_1 個 (n_1 を 4 以上の自然数とする。) のトンネル接合を有する第 1 の 1 次元直列アレイと、
 クーロンブロッケイド現象が発現する n_2 個 (n_2 を 4 以上かつ n_1 以下の自然数とする。) のトンネル接合を有する第 2 の 1 次元直列アレイと、
 前記第 1 の 1 次元直列アレイの k_1 番目のトンネル接合と $k_1 + 1$ 番目のトンネル接合の間 (k_1 を、2 以上 $n_1 - 2$ 以下の自然数とする。) のポイントと、前記第 2 の 1 次元直列アレイの k_2 番目のトンネル接合と $k_2 + 1$ 番目のトンネル接合の間 (k_2 を、2 以上 $n_2 - 2$ 以下の自然数とする。) のポイントとの間を容量結合する手段とを具え、
 前記第 1 の 1 次元直列アレイと前記第 2 の 1 次元直列アレイの一方について、前記ポイントに対して、第 1 の容量を介して第 1 の電圧を印加するとともに、両端間に第 2 の電圧を印加することによって第 1 の電流を発生し、
 前記第 1 の 1 次元直列アレイと前記第 2 の 1 次元直列アレイの他方について、前記ポイントに対して、第 2 の容量を介して第 3 の電圧を印加するとともに、両端間に第 4 の電圧を印加することによって前記第 1 の電流にほぼ等しい第 2 の電流を発生するように構成したことを特徴とする、電流ミラー効果が生じる単電子デバイス。

10

【請求項 2】

前記第 1 の 1 次元直列アレイについて、前記ポイントに対して、前記第 1 の容量を介して前記第 1 の電圧を印加するとともに、両端間に前記第 2 の電圧を印加することによって前記第 1 の電流を発生し、
 前記第 2 の 1 次元直列アレイについて、前記ポイントに対して、前記第 2 の容量を介して前記第 3 の電圧を印加するとともに、両端間に前記第 4 の電圧を印加することによって前記第 1 の電流にほぼ等しい前記第 2 の電流を発生するように構成したことを特徴とする、請求項 1 記載の電流ミラー効果が生じる単電子デバイス。

20

【請求項 3】

前記第 1 の容量と前記第 1 の電圧との積を、キャリアの電荷の絶対値の半分としたことを特徴とする、請求項 1 又は 2 記載の電流ミラー効果が生じる単電子デバイス。

【請求項 4】

前記第 2 の容量と前記第 2 の電圧との積を、キャリアの電荷の絶対値の半分としたことを特徴とする、請求項 3 記載の電流ミラー効果が生じる単電子デバイス。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クーロンブロッケイド現象を利用することによって電流ミラー効果が生じる単電子デバイスに関する。なお、本明細書中、「単電子デバイス」とは、電子や正孔のようなキャリアが 1 個の単位で電荷制御されるデバイスを意味するものとする。

【0002】

【従来の技術】

このような電流ミラー効果が生じる単電子デバイスのうちの最初に提案されたもの(以後、「第 1 の従来の単電子デバイス」と称する。)は、クーロンブロッケイド現象が発現する比較的多数(例えば、20)の微小トンネル接合を有する 2 本の 1 次元直列アレイを具え、一方の 1 次元直列アレイにおける微小トンネル接合間の電極の各々を、他方の 1 次元直列アレイにおける微小トンネル接合間の 1 又は 2 個の電極に対して容量結合している(例えば、非特許文献 1, 2 参照)。

40

【0003】

第 1 の従来の単電子デバイスでは、一方の 1 次元直列アレイ中の電子(又は正孔)と他方の 1 次元直列アレイ中の正孔(又は電子)とが、クーロン力によって互いに引き付けられ、電子及び正孔が対となって 1 次元直列アレイ中を動く結果、一方の 1 次元直列アレイを流れる電流は、他方の 1 次元直列アレイを流れる電流と向きが逆で大きさ(絶対値)が等

50

しくなり、これによって電流ミラー効果の実現される。

【0004】

したがって、第1の従来単電子デバイスにおいては、1個のキャリア（電子又は正孔）の単位で電荷制御された電流ミラー効果の実現されるが、1次元直列アレイの長い範囲に亘って容量結合を行う必要があるとともに、一方の1次元直列アレイを流れる電流の向きが他方の1次元直列アレイを流れる電流の向きと逆になる、すなわち、ミラー電流の向きが元の電流の向きと逆になる、という不都合がある。

【0005】

また、このような第1の従来単電子デバイスの不都合を解消する、電流ミラー効果が生じる単電子デバイス（以後、「第2の従来単電子デバイス」と称する。）も提案されており（例えば、非特許文献3参照）、かかる第2の従来単電子デバイスは、クーロンブロッケイド現象が発現する比較的多数（例えば、20）の微小トンネル接合を有する第1の1次元直列アレイと、クーロンブロッケイド現象が生じる4個の微小トンネル接合を有する第2の1次元直列アレイ（例えば、非特許文献4参照）とを具え、第1の1次元直列アレイにおける中央の微小トンネル接合間の電極（中央電極）と、第2の1次元直列アレイにおける中央の微小トンネル接合間の電極（中央電極）との間でのみ容量結合を行っている。

10

【0006】

【非特許文献1】

P. Delsing et al. "A Current Mirror Based on the Coulomb Blockade", in Extended Abstracts of the Sixth International Superconductive Electronics Conference, edited by H. Koch (Physikalische Technische Bundesanstalt, Berlin, 1997), vol. 1, pp. 98 - 100 (Fig. 1)

20

【非特許文献2】

H. Simada et al. "Current Mirror Effect and Correlated Cooper-Pair Transport in Coupled Arrays of Small Josephson Junctions", Phys. Rev. Lett. 85 (2000), pp. 3253 - 3256 (Fig. 1)

30

【非特許文献3】

Mizugaki et al. "Single-Electron Turnstile Locked to Charge Solitons in a One-Dimensional Array of Small Junctions", Jpn. J. Appl. Phys. Vol. 41 (2002), pp. 5630 - 5634 (Fig. 1)

【非特許文献4】

L. J. Geerligs et al. "Frequency-Locked Turnstile Device for Single Electrons", Phys. Rev. Lett. 64 (1990), pp. 2691 - 2694 (Fig. 1)

40

【0007】

【発明が解決しようとする課題】

第2の従来単電子デバイスでは、第1の従来単電子デバイス固有の不都合がなくなり、すなわち、第1の1次元直列アレイと第2の1次元直列アレイとの間の容量結合を1箇所のみで行えばよく、かつ、ミラー電流の向きが元の電流の向きと同一になるものの、第1の従来単電子デバイスに比べて電流ミラー効果が弱くなるという不都合がある。

【0008】

50

本発明の目的は、容量結合する箇所を少なくするとともにミラー電流の向きを元の電流の向きと同一にすることができ、かつ、強い電流ミラー効果が生じる単電子デバイスを提供することである。

【0009】

【課題を解決するための手段】

本発明による、電流ミラー効果が生じる単電子デバイスは、クーロンブロッケイド現象が発現する n_1 個(n_1 を4以上の自然数とする。)のトンネル接合を有する第1の1次元直列アレイと、クーロンブロッケイド現象が発現する n_2 個(n_2 を4以上かつ n_1 以下の自然数とする。)のトンネル接合を有する第2の1次元直列アレイと、前記第1の1次元直列アレイの k_1 番目のトンネル接合と $k_1 + 1$ 番目のトンネル接合の間(k_1 を、2以上 $n_1 - 2$ 以下の自然数とする。)のポイントと、前記第2の1次元直列アレイの k_2 番目のトンネル接合と $k_2 + 1$ 番目のトンネル接合の間(k_2 を、2以上 $n_2 - 2$ 以下の自然数とする。)のポイントとの間を容量結合する手段とを具え、前記第1の1次元直列アレイと前記第2の1次元直列アレイの一方について、前記ポイントに対して、第1の容量を介して第1の電圧を印加するとともに、両端間に第2の電圧を印加することによって第1の電流を発生し、前記第1の1次元直列アレイと前記第2の1次元直列アレイの他方について、前記ポイントに対して、第2の容量を介して第3の電圧を印加するとともに、両端間に第4の電圧を印加することによって前記第1の電流にほぼ等しい第2の電流を発生するように構成したことを特徴とする。

10

20

【0010】

本発明によれば、第1の1次元直列アレイと第2の1次元直列アレイの一方について、ポイントに対して、第1の容量を介して第1の電圧を印加するとともに、両端間に第2の電圧を印加することによって第1の電流を発生し、第1の1次元直列アレイと第2の1次元直列アレイの他方について、ポイントに対して、第2の容量を介して第3の電圧を印加するとともに、両端間に第4の電圧を印加することによって第1の電流にほぼ等しい第2の電流を発生する。

【0011】

このように第1の容量を介して第1の電圧を印加するとともに第2の容量を介して第2の電圧を印加することによって、ポイント(トンネル接合間の電極)におけるキャリア(電子又は正孔)の滞在時間を、第1及び第2の従来の単電子デバイスに比べて長くすることができるので、強い電流ミラー効果が得られる。

30

【0012】

また、第1の1次元直列アレイと第2の1次元直列アレイとの間の容量結合を1箇所のみで行えばよいため、容量結合する箇所を少なくすることができる。さらに、第2の電流すなわちミラー電流の向きを第3の電圧によって制御できるので、ミラー電流の向きを、第1の電流すなわち元の電流の向きと同一にすることができる。

【0013】

電流ミラー効果を更に強めるためには、第1の1次元直列アレイについて、ポイントに対して、第1の容量を介して第1の電圧を印加するとともに、両端間に第2の電圧を印加することによって第1の電流を発生し、第2の1次元直列アレイについて、ポイントに対して、第2の容量を介して第3の電圧を印加するとともに、両端間に第4の電圧を印加することによって第1の電流にほぼ等しい第2の電流を発生するのが好ましい。すなわち、トンネル接合の数が多い方の1次元アレイで元の電流を発生し、トンネル接合の数が少ない方の1次元アレイでコピー電流を発生するのが好ましい。

40

【0014】

ポイント(トンネル接合間の電極)におけるキャリア(電子又は正孔)の滞在時間を長くして強いミラー効果を得るために、好適には、前記第1の容量と前記第1の電圧との積を、キャリアの電荷の絶対値の半分とし、更に好適には、前記第2の容量と前記第2の電圧

50

との積も、キャリアの電荷の絶対値の半分とする。

【0015】

【発明の実施の形態】

本発明による、電流ミラー効果が生じる単電子デバイスの実施の形態を、図面を参照して詳細に説明する。

図1は、本発明による電流ミラー効果が生じる単電子デバイスの実施の形態の等価回路である。この単電子デバイスは、第1の1次元直列アレイ1と、第2の1次元直列アレイ2と、結合コンデンサ3とを具え、これら1次元直列アレイ1, 2及び結合コンデンサ3は、同一基板上に形成される。

【0016】

1次元直列アレイ1は、クーロンブロッケイド現象が発現する n 個(n を4以上の自然数とする。)の微小トンネル接合 $1-1, 1-2, \dots, 1-k-1, 1-k, \dots, 1-n-1, 1-n$ (k を n 未満の自然数とする。)を有し、これら微小トンネル接合間の図示しない電極の各々は、グラウンドに対して自己容量 C_0 を有する。1次元直列アレイ2は、クーロンブロッケイド現象が発現する4個の微小トンネル接合 $2-1, 2-2, 2-3, 2-4$ を有し、これら微小トンネル接合間の図示しない電極の各々は、グラウンドに対して自己容量 C_0 を有する。微小トンネル接合 $1-1, 1-2, \dots, 1-k-1, 1-k, \dots, 1-n-1, 1-n, 2-1, 2-2, 2-3, 2-4$, はいずれも、トンネル抵抗 R 及びトンネル容量 C を有する。

【0017】

結合コンデンサ3は、結合容量 C_c を有し、微小トンネル接合 $1-k-1$ と微小トンネル接合 $1-k$ との間の図示しない電極(第1の中央電極)と、微小トンネル $2-2$ と微小トンネル $2-3$ との間の図示しない電極(第2の中央電極)との間を容量的に結合する。

【0018】

図示しない第1の中央電極には、第1の容量としてのゲート容量 C_{g1} を介して図示しないゲート電極が設けられ、このゲート電極すなわち第1の中央電極には、ゲート電圧源4から第1の電圧としてのゲート電圧 V_{g1} が印加される。1次元直列アレイ1の両端にバイアス電圧源 $5-1, 5-2$ を配置し、第2の電圧としてのバイアス電圧 $+V_1/2, -V_1/2$ をそれぞれ印加することによって、1次元直列アレイ1に第1の電流としての電流 I_1 を流す。

【0019】

この際、微小トンネル接合 $1-1, 1-2, \dots, 1-k-1, 1-k, \dots, 1-n-1, 1-n$ においては、キャリア(電子又は正孔)が1個ずつトンネリングする単電子トンネリングが起こり、微小トンネル接合 $1-1, 1-2, \dots, 1-k-1, 1-k, \dots, 1-n-1, 1-n$ のいずれかでみた単位時間当たりの単電子トンネリング発生回数を f とすると、 $I_1 = ef$ 又は $I_1 = -ef$ の関係が得られる。ここで、 e は、キャリアの電荷の絶対値であり、符号は、トンネリングするキャリアの電荷符号と向きによって決定される。

【0020】

図示しない第2の中央電極には、第2の容量としてのゲート容量 C_{g2} を介して図示しないゲート電極が設けられ、このゲート電極すなわち第2の中央電極には、ゲート電圧源6から第3の電圧としてのゲート電圧 V_{g2} が印加される。1次元直列アレイ2の両端にバイアス電圧源 $7-1, 7-2$ を配置し、第4の電圧としてのバイアス電圧 $+V_2/2, -V_2/2$ をそれぞれ印加することによって、電流 I_1 にほぼ等しい第2の電流としての電流 I_2 を、1次元直列アレイ2に流す。

【0021】

この際、微小トンネル接合 $2-1, 2-2, 2-3, 2-4$ においては、キャリア(正孔又は電子)が1個ずつトンネリングする単電子トンネリングが起こる。1次元直列アレイ1のように4個の微小トンネル接合 $2-1, 2-2, 2-3, 2-4$ を有するものは、「単電子ターンスタイル」として知られており、図示しない第2の中央電極への電荷信号に

10

20

30

40

50

対して同期をとってキャリア（正孔又は電子）を1個ずつ伝播することができる。

【0022】

図2Aは、図1の破線箇所に対応する1次元直列アレイ2の上面図であり、図2Bは、その斜視図である。この場合、アルミニウムの斜め蒸着法で形成されたA1の上側電極11-1, 11-2, 11-3, 11-4、A1の下側電極12-1, 12-2, 12-3, 12-4、及びこれらの間の絶縁体薄膜(A1Ox)13-1, 13-2, 13-3, 13-4によって、微小トンネル接合(A1/A1Ox/A1)1-1, 1-2, 1-3, 1-4がそれぞれ形成される。なお、1次元アレイ1も、図2に示す構成と同様な構成を有する。

【0023】

図1に示すような電流ミラー効果が生じる単電子デバイスにおいて、ゲート電圧 V_{g1} を有限の値（すなわち、零でない値。典型的には、 $C_{g1}V_{g1} = e/2$ となる値。）に設定すると、先ず、1次元直列アレイ1の静電ポテンシャルが変化する。

【0024】

図3は、 $C_c = 0.0$ (fF), $C = 500$ (aF), $R = 100$ (k), $C_o = 50$ (aF) 及び $C_{g1} = 10$ (aF) として計算した電子及び正孔に対しての、1次元直列アレイ1のような接合数が20の1次元直列アレイの静電ポテンシャルを示す図である。

【0025】

図3において、点線は、 $V_1 = 862.2$ (μV) かつ $C_{g1}V_{g1} = 0$ の場合の結果を示す。この場合、1次元直列アレイの一方から他方に向かって滑らかにポテンシャルが減少する。これは、第2の従来単電子デバイスにおける状況を表す。

【0026】

一方、実線は、 $V_1 = 814.4$ (μV) かつ $C_{g1}V_{g1} = e/2$ の場合の結果を示す。この場合、第1の中央電極付近において、電子に対してはポテンシャルの谷が形成され、正孔に対してはポテンシャルの山が形成される。これは、1次元直列アレイに電流を流した際に、第1の中央電極に到達するキャリアに関して、正孔を排除して電子のみを選別できることを意味する。また、ポテンシャルの谷が形成されることから、電子が第1の中央電極に滞在する時間を長くすることができる。

【0027】

次に、第2の従来単電子デバイス ($C_{g1}V_{g1} = 0$) 及び本発明による電流ミラー効果が生じる単電子デバイス ($C_{g1}V_{g1} = e/2$) における電子及び正孔の伝搬の状況について、モンテカルロ法によって計算した結果を、図4に示す。

【0028】

図4の上側は、 $C_{g1}V_{g1} = 0$ の場合における第1の中央電極上の電荷の状態を示す。この場合、正負の電荷すなわち正孔と電子の両方のキャリアが第1の中央電極に到達し、かつ、第1の中央電極での滞在時間が短いパルス上の波形となっている。

【0029】

一方、図4の下側は、 $C_{g1}V_{g1} = e/2$ の場合における第1の中央電極上の電荷の状態を示す。この場合、負の電荷すなわち電子のみが第1の中央電極に到達し、かつ、第1の中央電極での滞在時間が、図4の上側のパルス波形に比べて大幅に長くなっていることがわかる。

【0030】

なお、1次元直列アレイ2のような接合数が4の1次元直列アレイについては、 $C_{g2}V_{g2} = e/2$ となる電圧 V_{g2} を印加することによって、単電子ターンスタイル動作点、すなわち、量子状態 $n = 0$ と $n = -1$ の中間点にバイアスされる。ここで、 n は、第2の中央電極上の正孔の個数を表す。

【0031】

これら有限な V_{g1} , V_{g2} を印加した際の効果を含んだ本発明による電流ミラー効果が生じる単電子デバイスの動作を模式的に示す図を、図5に示す。図5において、1次元直列アレイ2の量子状態図を上側に示し、結合コンデンサ3を介して1次元直列アレイ1か

10

20

30

40

50

ら印加される電荷信号の状態図を下側に示す。

【0032】

第2の従来単電子デバイスに対応する $C_{g1}V_{g1} = C_{g2}V_{g2} = 0$ の場合、電荷信号は、量子状態図の $n = 0$ を中心として、動作点が $n = -1$ と $n = 1$ の領域に入るようにパルス的に入力される。すなわち、電荷信号の極性に依じたキャリア（電子又は正孔）が、電荷信号に同期をとりながら、1次元直列アレイ2を伝播する。この場合、電流ミラー効果が得られるものの、 $n = -1$ と $n = 1$ の領域に動作点を移すためには、結合コンデンサ3の結合容量 C_c を比較的大きくする必要があり、また、高速パルスとなる入力信号（電荷信号）に追従できるのは、入力信号の頻度が低い状態に限られる。すなわち、小さな電流値においてのみ電流ミラー効果が得られる。

10

【0033】

それに対して、本発明による電流ミラー効果が生じる単電子デバイスに対応する $C_{g1}V_{g1} = C_{g2}V_{g2} = e/2$ の場合、電荷信号は、量子状態図の $n = 0$ と $n = -1$ との間をまたがるように印加される。これによって、1次元直列アレイ2は、単電子ターンスタイル動作を行い、1次元直列アレイ1を伝播する電荷信号に同期をとった電荷の伝搬を行う、すなわち、1次元直列アレイ1を流れる電流 I_1 と絶対値が同一の電流 I_2 を流すことになる。

【0034】

電流 I_2 の向きは、バイアス電圧 V_2 の極性によって決定される。動作点が $n = 0$ と $n = -1$ の境界付近を振動すればよいので、第2の従来単電子デバイスの場合に比べて入力信号（電荷信号）の大きさが小さくてもよい、すなわち、結合コンデンサ3の結合容量 C_c が第2の従来単電子デバイスの場合に比べて小さくても電流ミラー効果が得られる。また、入力信号が幅の広いステップ状となるため、第2の従来単電子デバイスの場合に比べて入力信号の頻度が高い状態、すなわち、第2の従来単電子デバイスの場合に比べて大きい電流値においても電流ミラー効果が得られる。

20

【0035】

次に、図1の電流ミラー効果が生じる単電子デバイスの動作をモンテカルロ法によって数値計算した結果の一例を、図6に示す。なお、1次元直列アレイ1の接合数を20としている。

【0036】

適切なバイアス電圧 V_1 を印加することによって1次元直列アレイ1に電流 I_1 を流し、その状態でバイアス電圧 V_2 を零から増大していくと、バイアス電圧 V_2 の所定の範囲において、電流 I_1 と電流 I_2 とが等しくなっている、すなわち、電流ミラー効果の実現されている。

30

【0037】

次に、本発明による電流ミラー効果が生じる単電子デバイスが第2の従来単電子デバイスに比べて優れていることを示すために、単電子デバイスの特性の評価を行う。ここで、1次元直列アレイ1（接合数が4以上の1次元直列アレイ）と1次元直列アレイ2（接合数が4の1次元直列アレイ）との容量結合の強さを表す指数として、

【数1】

$$Q_c = \frac{C_c}{C_{\text{eff}} + C_c} \quad (1)$$

40

を導入する。なお、

【数2】

$$C_{\text{eff}} = \sqrt{C_0^2 + 4CC_0} \quad (2)$$

は、1次元直列アレイ1の中の1個の電極が有する実効容量である。 Q_c は、第1の中央

50

電極上のキャリア（電子又は正孔）の電荷のうちどの程度の割合の電荷が1次元直列アレイ2の側に結合しているかを示す指数である。

【0038】

また、電流ミラー動作の特性を示す指数として、

【数3】

$$CMI = \frac{V_{+10} - V_{-10}}{V_{+10} + V_{-10}} \quad (3)$$

を導入する。ここで、 V_{+10} 及び V_{-10} は、 $0.90 < I_2 / I_1 < 1.1$ を満足するバイアス電圧 V_2 の最大値及び最小値である。すなわち、CMIは、電流ミラー効果の誤差が±10%以内に収まるようなバイアス電圧 V_2 のマージンである。

10

【0039】

図7は、電流ミラー効果が生じている状態における電流 I_1 の平均値 $\langle I_1 \rangle$ に対するCMIの変化を、 Q_c をパラメータとしてプロットした結果を示す図である。図7において、曲線aは、第2の従来単電子デバイスに対応し、それ以外の曲線は、 Q_c が0.10, 0.30, 0.50, 0.70及び0.90である、本発明による電流ミラー効果が生じる単電子デバイスに対応する。

【0040】

図7において、より大きな平均値 $\langle I_1 \rangle$ においてより大きなCMIを得るに従って、電流ミラー効果に関する単電子デバイスの特性が向上しているといえ、曲線aとそれ以外の曲線を比較すると、本発明による電流ミラー効果が生じる単電子デバイスは、第2の従来単電子デバイスに比べて、小さな結合容量で良好な電流ミラー効果が得られることがわかる。

20

【0041】

本発明は、上記実施の形態に限定されるものではなく、幾多の変更及び変形が可能である。

例えば、上記実施の形態において、クーロンブロッケイド現象が発現する微小トンネル接合を用いた場合について説明したが、クーロンブロッケイド現象が発現する他のトンネル接合（例えば、量子細線を有するトンネル接合又はシリコンのパターン依存酸化法によるトンネル接合）を用いることもできる。なお、シリコンのパターン依存酸化法によってトンネル接合を形成する場合、図8に示すように、肉厚のシリコン層21-1, 21-2, 21-3、肉薄のシリコン層22-1, 22-2及びシリコンアイランド23-1, 23-2をそれぞれ形成することによって、トンネル接合24-1, 24-2, 24-3, 24-4が形成される。

30

【0042】

また、微小トンネル接合として、アルミの斜め蒸着法によって構成された微小トンネル接合について説明したが、他の微小トンネル（例えば、有機高分子薄膜によって構成された微小トンネル接合又はスキニング・プローブによるナノ陽極酸化構造を有する微小トンネル）を用いることもできる。

40

【0043】

1次元直列アレイ1において元の電流を発生させるとともに、1次元直列アレイ2においてコピー電流を発生させる場合について説明したが、1次元直列アレイ2において元の電流を発生させるとともに、1次元直列アレイ1においてコピー電流を発生させてもよい。また、1次元直列アレイ1の接合数を、4以上の自然数とすればよく、1次元直列アレイ2の接合数を、4以上かつ1次元直列アレイ1の接合数以下の自然数とすればよい。

【0044】

結合コンデンサ3が第1の中央電極と第2の中央電極との間を容量的に結合する場合について説明したが、結合コンデンサ3を、1次元直列アレイ1のトンネル接合間の電極のうち両端の電極以外の電極と、1次元直列アレイ2のトンネル接合間の電極のうち両端

50

の電極以外の電極との間で容量的に結合してもよい。また、有限のすなわち零でないゲート電圧 V_{g1} , V_{g2} を、同一のゲート電源を用いて印加することができ、すなわち、 $V_{g1} = V_{g2}$ とすることができる。

【0045】

1次元直列アレイ1, 2のトンネル接合が同一のトンネル抵抗及びトンネル容量を有する場合について説明したが、これらのトンネル接合が、互いに相違するトンネル抵抗及びトンネル容量を有してもよい。

【0046】

図3に関連して、1次元直列アレイに電流を流した際に、第1の中央電極に到達するキャリアに関して、正孔を排除して電子のみを選別できる場合について説明したが、電子を排除して正孔のみを選別することもできる。

10

【0047】

さらに、1次元直列アレイ1, 2に対してそれぞれ、バイアス電圧 $+V1/2$, $-V1/2$, $+V2/2$, $-V2/2$ を印加し、1次元直列アレイ1, 2のそれぞれをプラス・マイナス対称になるようにバイアスした場合について説明したが、1次元直列アレイ1, 2のそれぞれをプラス・マイナス非対称になるようにバイアスしてもよい。

【図面の簡単な説明】

【図1】本発明による電流ミラー効果が生じる単電子デバイスの実施の形態の等価回路である。

【図2】図1の電流ミラー効果が生じる単電子デバイスの一部の上面図及び斜視図である。

20

【図3】接合数が20の1次元直列アレイ中の静電ポテンシャルを示す図である。

【図4】第2の従来単電子デバイス及び本発明による電流ミラー効果を有する単電子デバイスにおける電子及び正孔の伝搬の状況を示す図である。

【図5】有限な V_{g1} , V_{g2} を印加した際の効果を含んだ本発明による電流ミラー効果が生じる単電子デバイスの動作を模式的に示す図である。

【図6】図1の電流ミラー効果が生じる単電子デバイスの動作をモンテカルロ法によって数値計算した結果の一例を示す図である。

【図7】電流ミラー効果が生じている状態における電流 $I1$ の平均値 $\langle I1 \rangle$ に対する CMI の変化を、 Qc をパラメータとしてプロットした結果を示す図である。

30

【図8】クーロンブロッケイド現象が発現するトンネル接合の他の例の側面図及び斜視図である。

【符号の説明】

1, 2 1次元直列アレイ

1-1, 1-2, . . . 1-k-1, 1-k, . . . 1-n-1, 1-n, 2-1, 2-2, 2-3, 2-4 微小トンネル接合

3 結合コンデンサ

4, 6 ゲート電圧源

5-1, 5-2, 7-1, 7-2 バイアス電圧源

11-1, 11-2, 11-3, 11-4 上側電極

12-1, 12-2, 12-3, 12-4 下側電極

13-1, 13-2, 13-3, 13-4 絶縁体薄膜

21-1, 21-2, 21-3, 21-4, 22-1, 22-2 シリコン層

23-1, 23-2 シリコンアイランド

24-1, 24-2, 24-3, 24-4 シリコン接合

C_{g1} , C_{g2} ゲート容量

C_o 自己容量

$I1$, $I2$ 電流

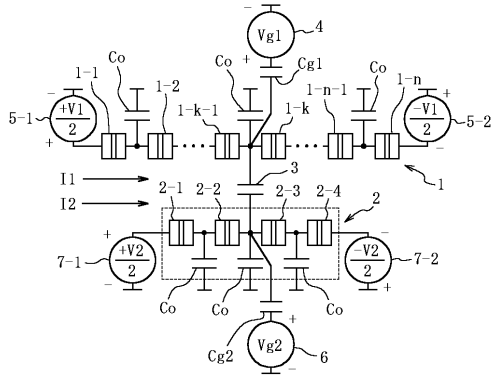
$+V1/2$, $-V1/2$, $+V2/2$, $-V2/2$ バイアス電圧

V_{g1} , V_{g2} ゲート電圧

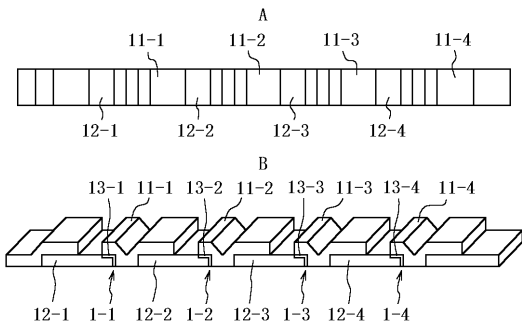
40

50

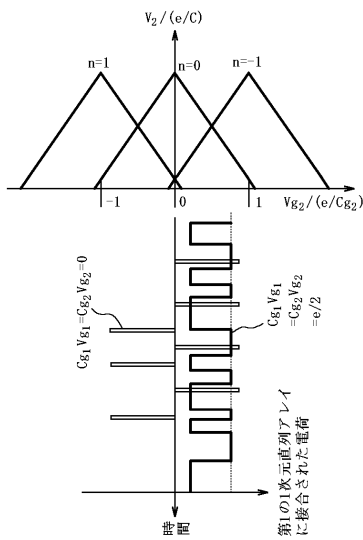
【 図 1 】



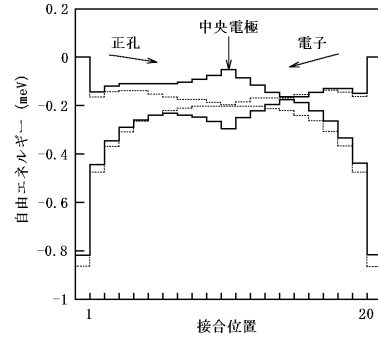
【 図 2 】



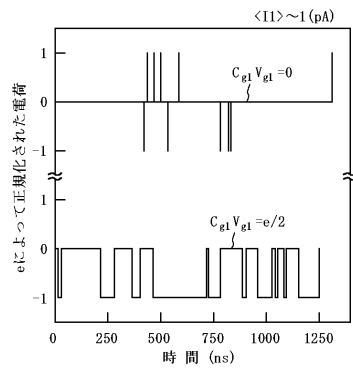
【 図 5 】



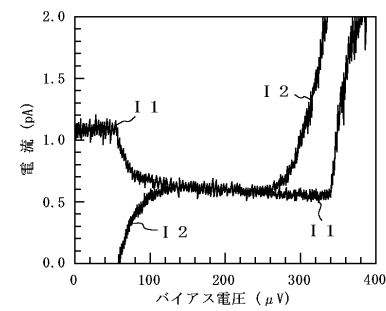
【 図 3 】



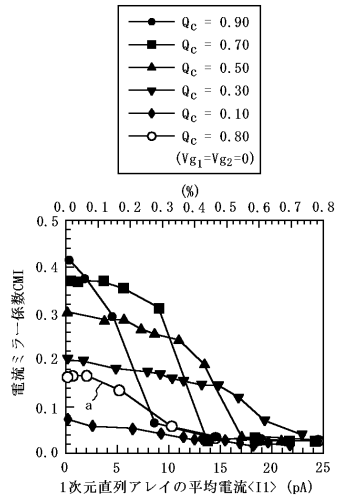
【 図 4 】



【 図 6 】



【 図 7 】



【 図 8 】

