

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02007/023727

発行日 平成21年2月26日(2009.2.26)

(43) 国際公開日 平成19年3月1日(2007.3.1)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 3/356 (2006.01)	H03K 3/356	B 5J034
H03K 3/3562 (2006.01)	H03K 3/356	C 5J056
H03K 19/096 (2006.01)	H03K 19/096	B

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

出願番号 特願2007-532079 (P2007-532079)	(71) 出願人 504157024 国立大学法人東北大学 宮城県仙台市青葉区片平二丁目1番1号
(21) 国際出願番号 PCT/JP2006/316175	
(22) 国際出願日 平成18年8月17日(2006.8.17)	
(31) 優先権主張番号 特願2005-240877 (P2005-240877)	(74) 代理人 100098729 弁理士 重信 和男
(32) 優先日 平成17年8月23日(2005.8.23)	(74) 代理人 100105371 弁理士 加古 進
(33) 優先権主張国 日本国(JP)	(74) 代理人 100116757 弁理士 清水 英雄
	(74) 代理人 100123216 弁理士 高木 祐一
	(74) 代理人 100089336 弁理士 中野 佳直
	(74) 代理人 100148161 弁理士 秋庭 英樹

最終頁に続く

(54) 【発明の名称】 半導体記憶回路

(57) 【要約】

【課題】動作が速く、貫通電流が流れない、差動対回路によるラッチ回路の提供

【解決手段】ラッチ回路の差動対回路は、M1とM2で構成されている。入力DTおよびDBや、クロック信号CKTとCKBは、相補的信号であり、M3およびM4はどちらか一方しかオンしない。そのため、差動対回路における貫通電流が発生しない。M3とM4の間のキャパシタCは、十分放電すると仮想グランドとして機能し、M4がカットオフでも、M3が電流源として動作する。

M5とM7およびM6とM8は2個のNOT回路を構成し、この入出力をリング状に接続することで、2状態のスタティック記憶機能を実行している。さらに、M5, M6は差動対回路の負荷抵抗としても動作している。

M9のゲート端子をCKBで制御し、M3のゲート端子をCKTで制御することで、差動対回路とスタティック記憶機能の動作状態を切り替えている。

【選択図】 図3

【特許請求の範囲】**【請求項 1】**

M O S トランジスタを用いた半導体記憶回路であって、

2つのC M O S N O T回路の入出力をリング状に接続するとともに、前記2つのC M O S N O T回路に直列に接続した、M O S トランジスタによるスイッチング回路からなる負荷・保持回路と、

前記2つのC M O S N O T回路の入出力と接続され、相補の入力信号を入力する2つのM O S トランジスタによる差動対回路と、

直列に接続された2つのM O S トランジスタの間にキャパシタを並列に接続して、前記差動対回路と直列に接続されたダイナミック電流源と

を備え、前記負荷・保持回路のスイッチング回路のM O S トランジスタと、前記電流源を構成する前記2つのM O S トランジスタとは、クロック信号とその相補の信号とを印加し、前記負荷・保持回路と前記差動対回路とは、同時には作動しないことを特徴とする半導体記憶回路。

10

【請求項 2】

請求項 1 に記載の半導体記憶回路により構成されたマスター・ラッチ回路と、請求項 1 に記載の半導体記憶回路により構成されたスレーブ・ラッチ回路とを従属接続し、

前記マスター・ラッチ回路への入力信号を、前記クロック信号により保持して、スレーブ・ラッチ回路から出力する、フリップフロップの半導体記憶回路。

20

【請求項 3】

請求項 2 記載のフリップフロップの半導体記憶回路において、

前記マスター・ラッチ回路及びスレーブ・ラッチ回路のダイナミック電流源と直列に、それぞれM O S トランジスタによるスイッチング回路を接続し、該スイッチング回路にイネーブル信号を印加する、フリップフロップの半導体記憶回路。

【請求項 4】

M O S トランジスタを用いた半導体記憶回路であって、

2つのC M O S N O T回路の入出力をリング状に接続するとともに、前記2つのC M O S N O T回路に直列に接続した、M O S トランジスタによるスイッチング回路からなる負荷・保持回路と、

前記2つのC M O S N O T回路の入出力と接続され、2つのM O S トランジスタによる1又は複数の差動対回路と、

前記差動対回路の1方の入力に接続され、多値の電流を入力して、電流 - 電圧変換を行う電流 - 電圧変換回路と、

直列に接続された2つのM O S トランジスタの間にキャパシタを並列に接続して、前記差動対回路と直列に接続されたダイナミック電流源と

を備え、前記1又は複数の差動対回路の他の1方の入力に、多値の電流を2値に変換するためのしきい値電圧を印加し、

前記負荷・保持回路のスイッチング回路のM O S トランジスタと、前記ダイナミック電流源を構成する前記2つのM O S トランジスタとは、クロック信号とその相補の信号とを印加し、

前記負荷・保持回路と前記差動対回路とは、同時には作動せず、多値を2値として記憶することを特徴とする半導体記憶回路。

30

40

【請求項 5】

請求項 4 に記載の半導体記憶回路により構成されたマスター・ラッチ回路と、請求項 1 に記載の半導体記憶回路により構成されたスレーブ・ラッチ回路とを従属接続し、

前記マスター・ラッチ回路の多値入力信号を、前記クロック信号により、2値として保持して出力することを特徴とする、フリップフロップの半導体記憶回路。

【請求項 6】

請求項 5 に記載されたフリップフロップの半導体記憶回路を、1つの電流 - 電圧変換回路を共有して複数並列に接続して、該電流 - 電圧変換回路に多値の電流を入力し、

50

前記複数フリップフロップの出力に応じて多値の電流を生成する出力生成回路を接続し

、多値を複数ビットの2値に変換して保持して多値を出力する、多値フリップフロップの半導体記憶回路。

【請求項7】

入出力する多値は(0, 1, 2, 3)の4値であり、複数のフリップフロップの半導体記憶回路は2つであり、2ビットで4値を保持・出力する、請求項6に記載された多値フリップフロップの半導体記憶回路において、

ある1つのフリップフロップのマスター・ラッチの差動対回路は2つであり、該2つの差動対回路にしきい値電圧を設定して、該フリップフロップでは4値の1, 2のとき1を記憶し、

他のフリップフロップのマスター・ラッチの差動対回路は1つであり、該差動対回路にしきい値電圧を設定して、該フリップフロップでは4値の2以上のとき1を記憶する多値の半導体記憶回路。

【請求項8】

請求項1～7に記載の半導体記憶回路において、

前記負荷・保持回路は、電源と、前記電源より電圧が低い他の電圧とに接続され、前記ダイナミック電流源は、接地されていることを特徴とする半導体記憶回路。

【発明の詳細な説明】

【技術分野】

【0001】

ラッチ回路は、半導体集積回路内の一時記憶要素として必須な基本構成要素であり、高速スイッチング能力、低消費電力性が要求されている。この発明は、この技術分野に関して、従来までのCMOS回路技術に基づく構成と比較し、高速性かつ低消費電力性を共に有する半導体ラッチ回路の構成に関する発明である。

【背景技術】

【0002】

現在の高性能VLSIは、CMOS回路技術の開発に基づいて発展してきた。しかしながら、近年の極限微細加工技術の進展に伴い、物理的サイズのスケーリングのみならず、電源電圧やしきい値電圧も同時にスケールダウンしなければならなくなり、電流駆動能力が電源電圧レベルに依存するCMOS回路では、スイッチング速度の向上が難しくなりつつある。また、VLSI実現の要件として、基本ゲートのスイッチング速度のみならず、回路の電力消費も重要な要素になってきている。すなわち、高速な回路モジュールを構成しても、その消費電力が大きすぎれば同一チップに搭載できない、という消費電力の制約も生じている。特に、組み込みシステムやモバイル機器に搭載されるマルチメディアVLSIでは、低消費電力性が極めて重要となる。CMOS回路は本来PMOSトランジスタとNMOSトランジスタによる「相補的スイッチ動作」であるため貫通電流がなく、低消費電力化に適している。しかしながら、回路の動作周波数の向上に伴い、信号入力から1(もしくは1から0)に遷移中では、PMOSおよびNMOSトランジスタが「ともにスイッチオン状態」となり、電源電圧からグランドへ抜ける「貫通電流」と呼ばれる大電流が流れてしまい、著しい電力消費を招いてしまう。この問題に対して従来は、「周波数をあまり高くして動作させない」などの間接的な対処しかできておらず、本質的な問題解決方法が望まれていた。

【0003】

図1(a)は、CMOS回路技術に基づくラッチ回路を示す。また、その動作タイミングチャートを図1(b)に示す。CMOS回路実現では、トランジスタコストをできるだけ低減するために、CMOS NOT回路(図中のINVと記載されている部分)とCMOS形転送ゲート(TG)を組み合わせ構成する。

図1(a)に示すように、CMOS NOT回路INV1, INV2, INV3と、転送ゲートTG1, TG2を組み合わせラッチ回路を形成している。転送ゲートを制御す

るゲート信号Gから、CMOS NOT回路の直列接続により、相補的なクロック信号CKB, CKTを生成し、転送ゲートTG1とTG2に対して、それぞれ逆に動作するように印加している。

このラッチ回路の動作を、図1(b)に示すタイミングチャートを参照して説明する。信号Gが高い(高レベル)とき、転送ゲートTG1が開いて転送ゲートTG2が閉じ、ラッチ回路は「通過」(T: Through)となり、ラッチ回路に入力している信号Dが、出力信号Qとして出力される。信号Gが低い(低レベル)ときは、転送ゲートTG1が閉じて転送ゲートTG2が開き、変化時のラッチ回路の状態が「保持」(H: Hold)され、出力信号Qとして出力される。

【0004】

このラッチ回路を2個縦続接続することで、図2(a)に示すように、レジスタの構成要素であるフリップフロップが構成される。図2(b)は、フリップフロップの動作タイミングチャートである。

図2(b)のタイミングチャートを参照しながら、図2(a)の動作を説明する。図2(a)の前段のマスター・ラッチに低レベル・ラッチと記載しているように、クロック信号Cが低レベルのとき、転送ゲートが開いており入力信号Dを入力する。クロック信号Cが高レベルとなると、マスター・ラッチの状態は保持となり、その出力が、後段のスレーブ・ラッチは通過状態なので、出力信号Qとなる。そして、クロック信号Cが低レベルとなると、スレーブ・ラッチの状態は保持となり、出力信号Qは同じ出力を継続する。そして、前段のマスター・ラッチに入力される。このように、クロック信号Cが低レベルから高レベルに変化する時(図2(b)の丸印参照)の入力信号Dが、フリップフロップに入力されることになり、所謂エッジトリガ・フリップフロップの動作である。

図1(a)および図2(a)で示すように、CMOS回路実現では構成要素としてCMOS NOT回路を用いている。このため、ラッチ回路およびフリップフロップ回路を高速に動作させたとき、これらのCMOS NOT回路に貫通電流パスが多数存在することとなり、消費電力が著しく増大する。

【発明の開示】

【発明が解決しようとする課題】

【0005】

CMOS回路技術の利点は、

- (1) 高速スイッチング機能
- (2) コンパクトな実現

である。これらの利点は同程度、もしくはさらに向上させつつ、欠点の

- (3) 貫通電流パスにより電力消費が増大する

問題を解決することが重要な課題である。

さて、CMOS回路よりも高速なスイッチング動作を実現できる回路構成として、従来より「差動対回路」が知られている。これは、2個のNMOSトランジスタのソース端子を互いに接続し、その部分に電流源を付加する。入力信号は2個のNMOSトランジスタのゲート端子にそれぞれ相補的な電圧を印加する回路構成である。この構成で、大きい電圧入力側のトランジスタがオンし、ゲートのスイッチング動作が行われる。差動対回路では、スイッチング動作に必要な電圧振幅がCMOS回路と比べ極めて小さい(0.3V程度)ため、より高速なスイッチングができる。しかしながら、

- (1) 電流源にて定常電流が流れ続ける

(2) 入力が2つ必要となり、回路規模がCMOS回路実現と比べ、2倍程度大きくなるなどの問題点があった。このため、差動対回路はスーパーコンピュータなど高速性だけを重要視する応用分野に限定して、今まで開発がなされてきた。

したがって、本願発明の目的は、差動対回路を用いて、上述したCMOS回路の問題点がなく、コンパクトな回路を実現することである。

【課題を解決するための手段】

【0006】

10

20

30

40

50

上述の目的を達成するために、本発明は、MOSトランジスタを用いた半導体記憶回路であって、2つのCMOSNOT回路の入出力をリング状に接続するとともに、前記2つのCMOSNOT回路に直列に接続した、MOSトランジスタによるスイッチング回路からなる負荷・保持回路と、前記2つのCMOSNOT回路の入出力と接続され、相補の入力信号を入力する2つのMOSトランジスタによる差動対回路と、直列に接続された2つのMOSトランジスタの間にキャパシタを並列に接続して、前記差動対回路と直列に接続されたダイナミック電流源とを備え、前記負荷・保持回路のスイッチング回路のMOSトランジスタと、前記電流源を構成する前記2つのMOSトランジスタとは、クロック信号とその相補の信号とを印加し、前記負荷・保持回路と前記差動対回路とは、同時には作動しないことを特徴とする。

10

上述の半導体記憶回路により構成されたマスター・ラッチ回路と、同半導体記憶回路により構成されたスレーブ・ラッチ回路とを従属接続し、前記マスター・ラッチ回路への入力信号を、前記クロック信号により保持して、スレーブ・ラッチ回路から出力する、フリップフロップ回路も本発明である。

前記マスター・ラッチ回路及びスレーブ・ラッチ回路のダイナミック電流源と直列に、それぞれMOSトランジスタによるスイッチング回路を接続し、該スイッチング回路にイネーブル信号を印加する、イネーブル端子付きフリップフロップ回路とすることもできる。

【0007】

また、2つのCMOSNOT回路の入出力をリング状に接続するとともに、前記2つのCMOSNOT回路に直列に接続した、MOSトランジスタによるスイッチング回路からなる負荷・保持回路と、前記2つのCMOSNOT回路の入出力と接続され、2つのMOSトランジスタによる1又は複数の差動対回路と、前記差動対回路の1方の入力に接続され、多値の電流を入力して、電流-電圧変換を行う電流-電圧変換回路と、直列に接続された2つのMOSトランジスタの間にキャパシタを並列に接続して、前記差動対回路と直列に接続されたダイナミック電流源とを備え、前記1又は複数の差動対回路の他の1方の入力に、多値の電流を2値に変換するためのしきい値電圧を印加し、前記負荷・保持回路のスイッチング回路のMOSトランジスタと、前記ダイナミック電流源を構成する前記2つのMOSトランジスタとは、クロック信号とその相補の信号とを印加し、前記負荷・保持回路と前記差動対回路とは、同時には作動せず、多値を2値として記憶して、多値入力の半導体記憶回路とすることもできる。

20

30

前記多値入力の半導体記憶回路により構成されたマスター・ラッチ回路と、2値入力の半導体記憶回路により構成されたスレーブ・ラッチ回路とを従属接続し、前記マスター・ラッチ回路の多値入力信号を、前記クロック信号により、2値として保持して出力するフリップフロップ回路とすることもできる。

前述のフリップフロップ回路を、1つの電流-電圧変換回路を共有して複数並列に接続して、該電流-電圧変換回路に多値の電流を入力し、前記複数フリップフロップの出力に応じて多値の電流を生成する出力生成回路を接続し、多値を複数ビットの2値に変換して保持して多値を出力する、多値フリップフロップ回路を構成することもできる。

入出力する多値は(0, 1, 2, 3)の4値であり、複数のフリップフロップ回路は2つであり、2ビットで4値を保持・出力する、前述の多値フリップフロップ回路では、ある1つのフリップフロップのマスター・ラッチの差動対回路は2つであり、該2つの差動対回路にしきい値電圧を設定して、該フリップフロップでは4値の1, 2のとき1を記憶し、他のフリップフロップのマスター・ラッチの差動対回路は1つであり、該差動対回路にしきい値電圧を設定して、該フリップフロップ回路では4値の2以上のとき1を記憶するとよい。

40

上述の前記負荷・保持回路は、電源と、前記電源より電圧が低い他の電圧とに接続し、前記ダイナミック電流源は、接地するとよい。

【発明の効果】

【0008】

50

上述の構成は、回路の基本構成要素として「差動対回路」を活用することで、微小な入力電圧時でも高速スイッチングを可能としている。また、差動対回路は、基本縦に積み上げて構成することで、グランドへ抜ける電流パスを減らせると共に、複雑な論理演算機能が構成できる。このため、高速性とコンパクト性を維持したまま、大幅な低消費電力化が達成できる。

また、電流パスに容量を挿入すると共に、電流源をクロック制御し、ダイナミック動作する電流源を構成することで、消費電力の大幅な削減を可能としている。

このような半導体記憶回路に、「差動対回路」を比較回路として用いることで、多値の入力を2値化して、保持することにも利用することができる。

【図面の簡単な説明】

10

【0009】

【図1】従来のCMOSで実現したラッチ回路例である。(a)回路図、(b)タイムチャート

【図2】図1のラッチ回路を用いた従来のフリップフロップ回路例である。(a)回路図、(b)タイムチャート

【図3】本発明の差動対回路で実現したラッチ回路例である。

【図4】図3のラッチ回路を用いたフリップフロップ回路例である。

【図5】イネーブル付きフリップフロップ回路例である。(a)従来の実現のブロック図、(b)本願のフリップフロップ回路図

【図6】ラッチ付き多値比較回路例である。

20

【図7】エッジトリガ・フリップフロップ付き多値比較回路例である。(a)機能ブロック図、(b)詳細回路図

【図8-1】4値エッジトリガ・フリップフロップ回路例である。(a)全体構成のブロック図、(b)比較・保持回路部分のブロック図

【図8-2】4値エッジトリガ・フリップフロップ回路例である。(c)比較・保持回路部分の詳細ブロック図、(d)出力生成回路の詳細回路図、(e)比較・保持回路の出力信号を示す図である。

【発明を実施するための最良の形態】

【0010】

本発明では、差動対回路を基本にしたラッチ回路の構成を提案する。すなわち、差動対回路構成を活用することで、上述したCMOS回路よりも高速なスイッチング動作を実現する。また、CMOS回路の欠点として取り上げた貫通電流を徹底的に削減するために、発明した回路では、記憶・演算・制御の各機能を実現する回路ブロックを、1つの電流パス上に配置する回路構成を提案している。

30

【0011】

<基本ラッチ回路>

図3は、本願発明のラッチ回路例である。図3のラッチ回路では、差動対回路は、NMOSトランジスタM1とM2で構成されている(DTおよびDBは、相補入力信号である)。PMOSトランジスタM5、M6は、差動対回路中の負荷抵抗として機能している。

PMOSトランジスタM5とNMOSトランジスタM7、およびPMOSトランジスタM6とNMOSトランジスタM8の部分は共にCMOS NOT回路と同じ構成である。これら2個のNOT回路の入出力をリング状に接続することで、2状態のスタティック記憶機能と入力電位差を増幅する機能を同時に実行している。さらに、M5、M6は差動対回路の負荷抵抗としても機能しているので、この部分は「負荷・保持回路」として動作している。

40

クロック信号CKTとCKBは、図2と同様の相補的信号である。

NMOSトランジスタM9のゲート端子をクロック信号CKBで制御し、M3のゲート端子をクロック信号CKTで制御することで、差動対回路とスタティック記憶機能の動作状態を切り替えて、スタティック記憶機能が記憶状態にあるときはデータを保持している。

50

クロック信号CKTとCKBは相補的信号なので、NMOSトランジスタM3およびM4はどちらか一方しかオンしない。そのため、差動対回路における貫通電流が発生しなくなる。

M3とM4の間にキャパシタCを並列に接続し、十分放電して仮想グランドとして機能させれば、M4がカットオフされた場合でも、M3が電流源として動作し、「ダイナミック電流源」として動作することとなり、貫通電流のない差動対回路が実現できることとなる。

【0012】

図3のラッチ回路全体の動作を説明する。クロック信号CKBが低レベルで、クロック信号CKTが高レベルのとき、M9はカットオフ、M3は導通している。この状態では、M5、M1とM6、M2で構成される差動対回路が作動し、差動対回路に対する相補入力信号DT、DBの出力信号QB、QTが出力される。クロック信号CKBが高レベルのときは、M9は導通しており、クロック信号CKTによりM3はカットオフ状態であるので、M5、M7とM6、M8の「負荷・保持部」に2状態で記憶されている状態が、QB、QTに出力される。

このように、図3のラッチ回路は、図1に示したラッチ回路の通過状態、保持状態と同様の動作を行っている。

なお、図3の回路では、2個のNOT回路の入出力をリング状(互い違い)に接続し、これらに直列にトランジスタM9を接続後、 $V_{DD}/2$ の電源に接続しているが、これは、電源電圧 V_{DD} との電位差を得て、2状態のスタティック記憶機能を得るためであり、動作電圧や素子の定数により、必ずしも $V_{DD}/2$ の電源である必要はない。

【0013】

<フリップフロップ回路>

図4は、図3で示したラッチ回路を2段に従属接続してフリップフロップを構成した際の構成図である。

前段のラッチ回路はマスター・ラッチであり、入力の後段のラッチ回路はスレーブ・ラッチである。クロック信号CKTが低く、それと相補のクロック信号CKBが高いとき、差動対回路が作動して、マスター・ラッチは通過状態である。クロック信号CKTが高くなり、それと相補のクロック信号CKBが低くなると、そのときの状態が、2個のNOT回路を互いに接続した回路に記憶されて保持され、その出力が、スレーブ・ラッチに入力される。スレーブ・ラッチは通過状態であり、マスター・ラッチに記憶された出力が、差動対回路を介して出力される。そして、クロック信号CKTが低く、クロック信号CKBが高くなると、スレーブ・ラッチにその時の入力が記憶・保持され、出力が継続する。

これは、図2で説明したエッジトリガ・フリップフロップと同じ動作である。

【0014】

図4で提案した回路と同等機能のものを従来のCMOS回路で実現した場合、遅延時間を36%に低減、消費電力を60%に削減、トランジスタ数を85%に削減できる。すなわち、高速性とコンパクト性を維持したまま、大幅な低消費電力化が達成できる。

このように、回路の基本構成要素として「差動対回路」を活用することで、微小な入力電圧時でも高速スイッチングが可能となる。また、差動対回路は、基本回路を縦に積み上げて構成することで、グランドへ抜ける電流パスを減らせるとともに、複雑な論理演算機能が構成できるため、低電力化を実現するとともに、演算回路の負荷部に記憶機能を付加することで、演算機能と記憶機能の一体化によるコンパクト化を達成している。

さらに、電流パスに容量を挿入すると共に、電流源をクロック制御し、ダイナミック動作する電流源を構成することで、消費電力の大幅な削減を可能としている。すなわち、容量を仮想接地とみなした電流源として動作させることにより、大幅な低消費電力化を達成している。

【0015】

また、フリップフロップは通常、イネーブル信号に同期して動作させるなど各種の制御信号を付加する必要がある。図5(a)は、イネーブル信号をフリップフロップに付加し

10

20

30

40

50

た際の機能ブロック図を示す。通常のフリップフロップには、クロック端子にANDゲートを付加し、非アクティブ時のフリップフロップ内のクロック制御に関わる無駄な消費電力を抑制している（クロック・ゲーティング技術）。このような多機能なフリップフロップを実現する場合、提案の回路では、ANDゲートを縦続接続せずに、図5（b）のような構成で実現できる。

すなわち、図5（b）において、イネーブル信号ENをゲート端子入力とするNMOSトランジスタME1とME2を、図4に示したフリップフロップ回路に挿入するだけでよい。このように、ANDゲート単体は通常CMOS回路実現で6個のトランジスタが必要となるのに対し、提案回路では、2個の追加のみで実現できることとなり、コンパクト化が達成できる。このように、イネーブル信号により制御されるトランジスタを組み込むことにより、更なるコンパクト化が可能である。

10

【0016】

<多値ラッチ回路>

さて、0と1の2状態信号しか用いない2値ラッチ回路だけでなく、提案回路は、電流の多値ラッチ回路の構成にも有用となる。図6は、多値ラッチ回路を実現する上で必須な、入力値の大きさを判定する機能（比較機能）と2レベルラッチ機能を融合した回路構成を示す。

図6において、M1およびM2は差動対回路であるため、本質的に「比較演算機能」を内蔵している。M2のゲート電圧である参照電圧入力 V_T に、電流-電圧変換後の入力Zに対して、必要な所望のしきい値電圧を設定すれば、しきい値電圧と比較した2レベルの状態（多値の入力がしきい値以上か以下か）が「負荷・保持部」の回路に記憶される。

20

図6の回路も図3と同様に、定常電流が流れない構成であるため、低消費電力化が達成されている。

図6の電流-電圧変換には、PMOSトランジスタを用いている。これは、集積回路においては抵抗を作成するより、面積効率がよいためである。しかしながら、電流-電圧変換は非線形となるため、参照電圧に対しては、非線形性に留意する必要がある。

【0017】

<多値フリップフロップ回路>

図7（a）（b）は、図6のラッチ付多値比較回路を縦続に接続してフリップフロップ機能を内蔵させた多値比較回路である。

30

図7（a）は、エッジトリガ・フリップフロップ回路の機能ブロック図であり、図7（b）は、その詳細回路例である。図4のエッジトリガ・フリップフロップとの違いは、マスター・ラッチの入力側にあるI-V変換回路（電流-電圧変換回路）と、差動対回路の一方に印加されている参照電圧 V_T である。スレーブ・ラッチは、図4と同じである。

図7（b）において、入力した多値電流Zを、クロック信号CKBが高レベルのときに、電流-電圧変換回路で、対応する電圧に変換した後、差動対回路によって参照電圧 V_T と比較され、その結果（大小の結果）が、クロック信号CKTが高レベルのときにマスター・ラッチの負荷・保持部に2値で記憶される。そして、そのときの値が、スレーブ・ラッチの差動対回路を介して、相補2値（ G_T, G_T' ）として出力される。これは、図4のフリップフロップと同様の動作である。

40

【0018】

<4値フリップフロップ回路>

図8-1, 図8-2は、図7の基本回路に基づいた4値フリップフロップ回路の構成である。差動対回路を、接続を適宜工夫することで、4状態を2値2ビットで記憶している。

図8-1（a）は、4値フリップフロップ回路全体のブロック図である。これで分かるように、4値フリップフロップ回路は、比較して2値に変換して記憶する比較・保持回路と、保持されている2値から多値に変換して多値出力を得る出力生成回路とで構成されている。この比較・保持回路を上述した基本ラッチ回路で構成しているのである。

比較・保持回路の部分のブロック図が図8-1（b）である。図8-1（b）で示すよ

50

うに、2つの比較・保持回路を組み合わせて、多値電流4値の入力信号 Z を2値の2ビットに変換している。4値を0, 1, 2, 3とすると、それを $0.5 < Z < 2.5$ の場合に1として記憶する回路と、 $Z > 1.5$ の場合を1として記憶する回路の2つの回路(2ビット分)を組み合わせて4値を記憶するのである。

その詳細なブロック図を図8-2(c)に、その出力を図8-2(d)に示している。図8-2(c)において、上側のフリップフロップのマスター・ラッチでは、2つの差動対回路で、 $0.5 < Z < 2.5$ の場合を検出して、それを保持・記憶し、スレーブ・ラッチに送っている。 $V_{0.5}$, $V_{2.5}$ は、電流の多値で0.5, 2.5を電流-電圧変換した場合に対応した電圧である。下側のフリップフロップのマスター・ラッチの1つの差動対回路では、 $1.5 < Z$ の場合を検出して、それを保持・記憶し、スレーブ・ラッチに送っている。

10

図8-2(d)は、それぞれのスレーブ・ラッチの出力 G_A , G_A' と G_B , G_B' を示しており、水平軸は、入力した電流の多値(0~3)であり、垂直軸はそのときに記憶した2値(0, 1)である。図8-2(d)に示すように、上側のフリップフロップでは、多値(1, 2)のとき1となり、下側のフリップフロップでは多値(2, 3)のとき1となる。

図8-2(e)は、図8-2(d)に示されている出力を入力して、多値の電流値 Q , Q' を出力する出力生成回路を示している。出力生成回路では、2つの電流源, I_0 , $2I_0$ (I_0 :単位電流)を、スレーブ・ラッチの出力により加算することで、(0~3) $\times I_0$ の多値の電流を得ている。

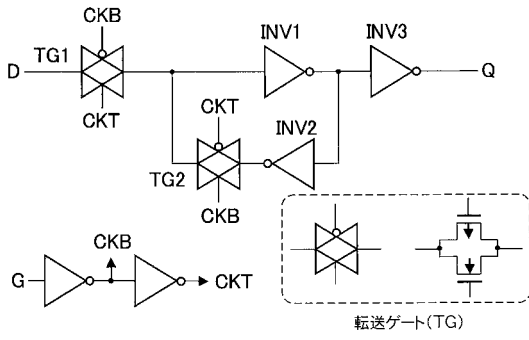
20

図8に示した4値フリップフロップと従来CMOS回路2ビットフリップフロップで構成した場合とを比較した場合、遅延時間を90%に低減、消費電力を54%に削減、トランジスタ数は126%に増加する。トランジスタ数増加の原因は、出力生成回路に量子化という単純な機能しか持たせていないためである。これをフリップフロップおよびその出力に接続される演算回路という形態を考えたとき、演算回路が加算器等に多機能化されれば、一体化の効果により2値CMOS回路よりトランジスタ数を減少できる。

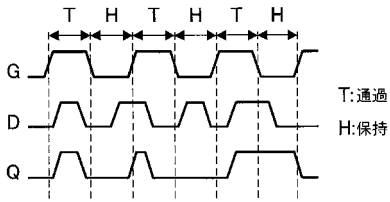
なお、図8では、4値の多値電流の値を保持する回路構成を示しているが、4値を上回る多値を同様の構成で行うこともできる。この場合、多値に対応して、フリップフロップによるビット数の増加、マスター・ラッチの複数の差動対回路のしきい値電圧の設定、多値に対応する出力生成回路の構成を行う必要がある。

30

【 図 1 】

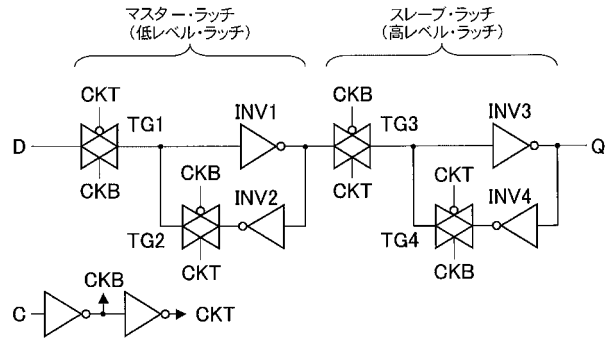


(a) 2値CMOSによるラッチ回路

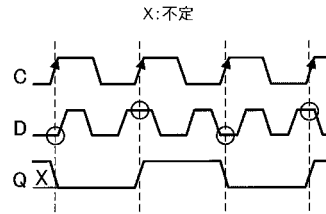


(b) 2値CMOSラッチ回路のタイムチャート

【 図 2 】

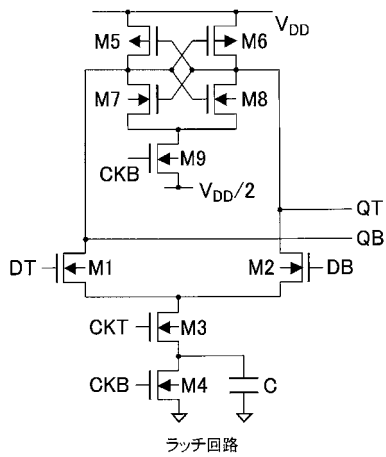


(a) 2値CMOSによるエッジトリガフリップフロップ回路



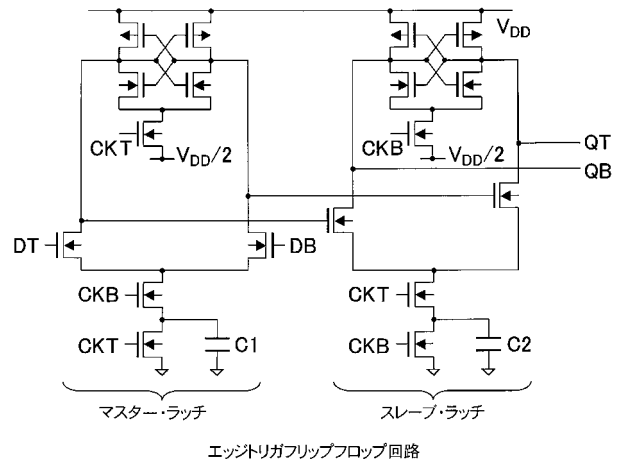
(b) 2値CMOSエッジトリガフリップフロップ回路のタイムチャート

【 図 3 】



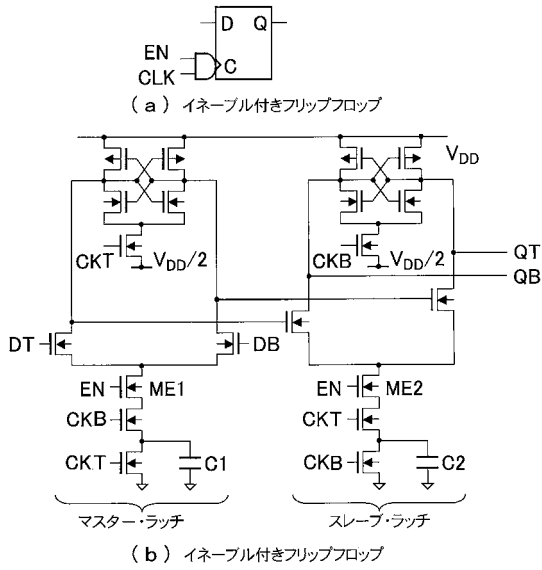
ラッチ回路

【 図 4 】

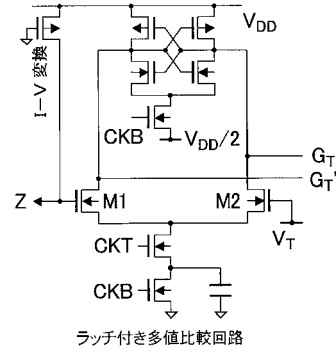


エッジトリガフリップフロップ回路

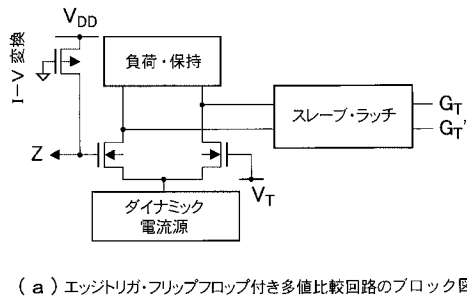
【 図 5 】



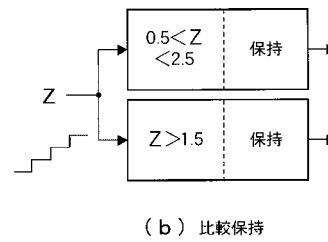
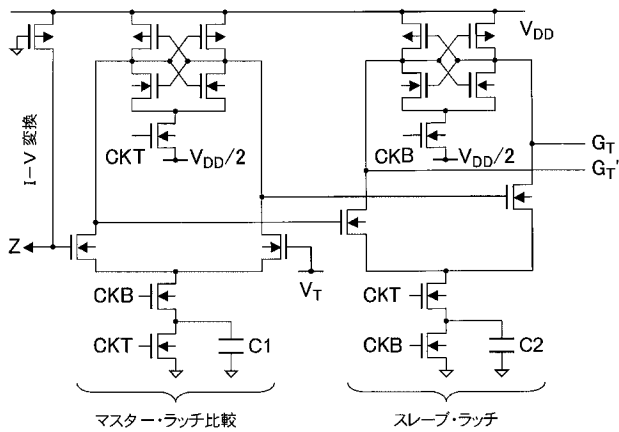
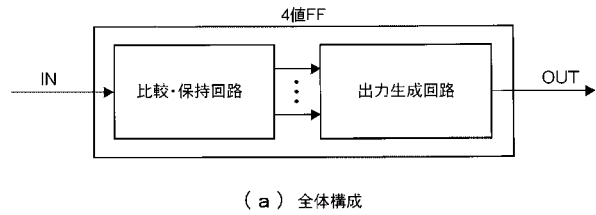
【 図 6 】



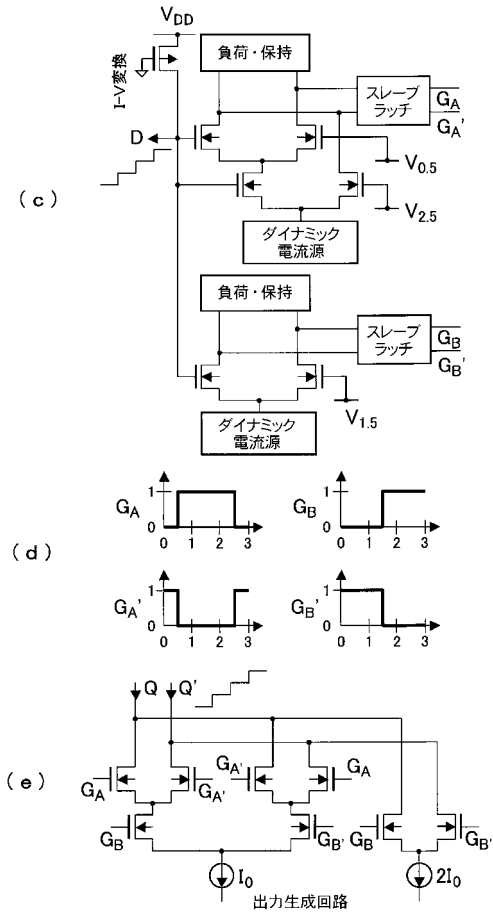
【 図 7 】



【 図 8 - 1 】



【 図 8 - 2 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/316175
A. CLASSIFICATION OF SUBJECT MATTER H03K3/356(2006.01) i, H03K3/3562(2006.01) i, H03K5/08(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03K3/356, H03K3/3562, H03K5/08 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-160209 A (NEC IC Miconsystem Kabushiki Kaisha), 23 June, 1989 (23.06.89), Page 2, lower Column to page 3; Fig. 1 (Family: none)	1-8
A	JP 2004-88784 A (Texas Instruments Inc.), 18 March, 2004 (18.03.04), Par. No. [0002]; Fig. 2 & US 2004/36541 A1 & EP 1394944 A1	1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 September, 2006 (20.09.06)		Date of mailing of the international search report 03 October, 2006 (03.10.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/JP2006/316175									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K3/356(2006.01)i, H03K3/3562(2006.01)i, H03K5/08(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K3/356, H03K3/3562, H03K5/08											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2006年										
日本国実用新案登録公報	1996-2006年										
日本国登録実用新案公報	1994-2006年										
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 1-160209 A (日本電気アイシーマイコンシステム株式会社) 1989.06.23、2頁下欄~3頁、第1図 (ファミリーなし)	1-8									
A	JP 2004-88784 A (テキサス インスツルメンツ インコーポ レイテッド) 2004.03.18、段落【0002】、図2 & US 2004/36541 A1 & EP 1394944 A1	1-8									
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 20.09.2006		国際調査報告の発送日 03.10.2006									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 石田 勝	5X 3572								
		電話番号 03-3581-1101 内線	3596								

様式PCT/ISA/210 (第2ページ) (2005年4月)

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 羽生 貴弘
日本国宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

(72)発明者 望月 明
日本国宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

(72)発明者 白濱 弘勝
日本国宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

Fターム(参考) 5J034 AB03 AB04 CB02 DB08

5J056 AA03 BB02 BB19 CC01 CC14 DD13 DD29 EE07 FF01 FF08

FF09 KK01

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。