

(19) 日本国特許庁(JP)

## 再公表特許(A1)

(11) 国際公開番号

W02008/123023

発行日 平成22年7月15日(2010.7.15)

(43) 国際公開日 平成20年10月16日(2008.10.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/82 (2006.01)	HO 1 L 29/82 Z	4M119
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 447	5F092
HO 1 L 27/105 (2006.01)	HO 1 L 43/08 Z	
HO 1 L 43/08 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 27 頁)

出願番号 特願2009-509018 (P2009-509018)  
 (21) 国際出願番号 PCT/JP2008/054733  
 (22) 国際出願日 平成20年3月14日(2008.3.14)  
 (31) 優先権主張番号 特願2007-68371 (P2007-68371)  
 (32) 優先日 平成19年3月16日(2007.3.16)  
 (33) 優先権主張国 日本国(JP)  
 (31) 優先権主張番号 特願2007-283363 (P2007-283363)  
 (32) 優先日 平成19年10月31日(2007.10.31)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 899000079  
 学校法人慶應義塾  
 東京都港区三田2丁目15番45号  
 (74) 代理人 100105337  
 弁理士 眞鍋 潔  
 (74) 代理人 100072833  
 弁理士 柏谷 昭司  
 (74) 代理人 100075890  
 弁理士 渡邊 弘一  
 (74) 代理人 100110238  
 弁理士 伊藤 壽郎  
 (72) 発明者 安藤 和也  
 神奈川県横浜市港北区日吉3丁目14番1号  
 慶應義塾大学理工学部内

最終頁に続く

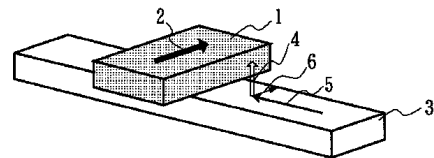
(54) 【発明の名称】 スピン緩和変動方法、スピン流検出方法、及び、スピン緩和を利用したスピントロニクスデバイス

## (57) 【要約】

スピン緩和変動方法、スピン流検出方法、及び、スピン緩和を利用したスピントロニクスデバイスに関し、スピン流の注入によりスピン緩和を変動させる。

特定のスピン状態にある部材 1 にスピン流 4 を注入してスピン緩和時間を制御する。

【図1】



## 【特許請求の範囲】

## 【請求項 1】

特定のスピンの状態にある部材にスピン流を注入してスピン緩和時間を制御するスピン緩和変動方法。

## 【請求項 2】

上記スピン流を、フリー層の磁化方向を電流注入、スピン注入、或いは、外部磁場のいずれかによって制御する磁気抵抗効果型ランダム・アクセス・メモリを構成するフリー層に注入することによって、スピン緩和時間を制御する請求項 1 記載のスピン緩和変動方法。

## 【請求項 3】

上記スピン流を、固体量子コンピュータを構成する量子ビットに注入することによって、スピン緩和時間を制御する請求項 1 記載のスピン緩和変動方法。

10

## 【請求項 4】

磁気モーメントが歳差運動している磁性部材にスピン流を注入してスピン緩和時間を变化させるスピン緩和変動方法を利用し、前記磁性部材に部材固有の強磁性共鳴周波数近傍のマイクロ波を印加して前記スピン緩和の变化を検出することによって前記スピン流を検出するスピン流検出方法。

## 【請求項 5】

前記マイクロ波の印加を、上記磁性部材の磁化方向に平行な方向に延在するマイクロストリップ線にマイクロ波帯の電流を流すことによって行う請求項 4 記載のスピン流検出方法。

20

## 【請求項 6】

フリー層の磁化方向を外部磁場で制御する磁気抵抗効果型ランダム・アクセス・メモリを構成するフリー層に接するようにスピン注入電極を設けたスピン緩和現象を利用したスピントロニクスデバイス。

## 【請求項 7】

フリー層の磁化方向をスピン注入で制御する磁気抵抗効果型ランダム・アクセス・メモリを構成するフリー層に接するようにスピン注入電極を設けたスピン緩和現象を利用したスピントロニクスデバイス。

## 【請求項 8】

上記フリー層に純スピン流を注入するスピン注入電極を、金属 - 絶縁体転移が生ずる寸前の短平均自由行程領域の材料で構成する請求項 6 または 7 に記載のスピン緩和現象を利用したスピントロニクスデバイス。

30

## 【請求項 9】

フリー層に純スピン流を注入するスピン注入電極を非晶質層で構成する請求項 6 または 7 に記載のスピン緩和現象を利用したスピントロニクスデバイス。

## 【請求項 10】

上記スピン注入電極が、Pt、Au、Pd、或いは、f 軌道を有する元素のいずれかからなる請求項 8 記載のスピン緩和現象を利用したスピントロニクスデバイス。

## 【請求項 11】

磁気抵抗効果型ランダム・アクセス・メモリを構成するフリー層の近傍に、前記フリー層の長手方向に平行な方向に延在するマイクロストリップ線を設けたスピン緩和現象を利用したスピントロニクスデバイス。

40

## 【請求項 12】

固体量子コンピュータを構成する量子ビットに接するようにスピン注入電極を設けたスピン緩和現象を利用したスピントロニクスデバイス。

## 【請求項 13】

情報をスピン流として伝送するスピン流伝送配線の一部に接するように、前記スピン流伝送配線の延在方向と直交方向が長手方向となる磁性体からなるスピン流検出部を設けるとともに、前記スピン流検出部の長手方向に延在するマイクロストリップ線を設けたスピン緩和現象を利用したスピントロニクスデバイス。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、スピン緩和変動方法、スピン流検出方法、及び、スピン緩和を利用したスピントロニクスデバイスに関するものであり、特に、従来の固有の値で不変であったスピン緩和時間をスピン流を注入することによって制御するための構成に特徴のあるスピン緩和変動方法、スピン流検出方法、及び、スピン緩和を利用したスピントロニクスデバイスに関するものである。

## 【背景技術】

## 【0002】

現在の半導体装置等のエレクトロニクス分野においては、電子の有する電荷の自由度を利用しているが、電子は電荷以外にスピンという自由度を有している。

近年、このスピンの自由度を利用したスピントロニクスが次世代の情報技術の担い手として注目を集めている。

## 【0003】

このスピントロニクスでは電子の電荷とスピンの自由度を同時に利用することによって、従来にない機能や特性を得ることを目指している。

## 【0004】

このようなスピントロニクスの初期的デバイスとしてはGMR（巨大磁気抵抗）素子が挙げられ、GMR素子を流れるセンス電流の担い手となる電子のスピン、即ち、アップスピンかダウンスピンかにより、フリー層の磁化方向とピンド層の磁化方向との違いの影響を受けて変化する現象を利用したものである。

## 【0005】

近年このようなGMR素子やTMR（トンネル磁気抵抗）素子をメモリセルとしたMRAM（磁気ランダムアクセスメモリ）において、従来、配線層に電流を流すことによって発生した磁界によりフリー層の磁化方向を制御していたものを、GMR素子或いはTMR素子に直接電流を流して電流の担い手となる電子のスピンによりフリー層の磁化方向を制御するSpinRAMが提案されている（例えば、特許文献1或いは特許文献2参照）。

## 【0006】

また、スピントロニクスの別の形態としては、量子コンピュータが挙げられ、この量子コンピュータにおいては、原子、イオン、或いは、分子の有するスピンを利用して量子ビット（Qubit）とするものである（例えば、特許文献3或いは非特許文献1参照）。

## 【0007】

さらに、現在の情報処理装置における情報の伝達は電子流によって行われているが、電子流はジュール熱を伴う。

このジュール熱の発生は情報処理単位の高集積度化に伴い消費電力の増加として問題となるため、電子流に代えてスピン流による情報の伝達が検討されている。

## 【0008】

これは、固体中における伝導電子の電子流が時間的に非可逆過程であるのに対して、スピン流は可逆過程であり、エネルギーの散逸が殆どないために消費電力の増大に繋がらないことを利用するものである。

即ち、伝導電子の運動は時間をマイナス方向に反転させれば逆向きになるが、スピン流は伝導電子の運動によるものではあるが、スピン自体の運動量と、スピン角運動量とを有しているため、時間をマイナス方向に反転させた場合に、運動量とスピン角運動量の双方が反転して相殺するため、全体としては反転せずに可逆過程となる。

## 【0009】

このようなスピントロニクスにおいては、スピン緩和という概念が非常に重要になる。

例えば、SpinRAMにおいては、フリー層における磁気モーメントの緩和時間、即ち

10

20

30

40

50

、フリー層に含まれる個々の電子のスピン緩和時間により書込速度が規定されることになり、書込容易性のためにはスピン緩和が小さい方が望ましく、一方、速く書込状態とするためにはスピン緩和が大きい方が望ましくなる。

【0010】

また、量子コンピュータにおいては、スピン緩和が情報保持時間を決定するため、スピン緩和は重要になる。

即ち、量子コンピュータが機能するためには、その演算時間が系のデコヒーレンス時間、即ち、スピン緩和時間より短いことが前提となる。

【0011】

このような、スピン緩和はスピン或いは磁気モーメントの運動の減衰を意味するものである。

即ち、スピン或いは磁気モーメントの運動は、磁場方向を回転軸とする歳差運動であり、磁気モーメントの基本方程式に減衰項を加えた下記に示す Landau-Lifshitz-Gilbert (LLG) 方程式で表される。

$$d \mathbf{M} / dt = - \mathbf{M} \times \mathbf{H}_{\text{eff}} + (\gamma / M_a) \mathbf{M} \times (d \mathbf{M} / dt)$$

但し、 $M_a$  は磁化の大きさ、 $H_{\text{eff}}$  は有効磁場、 $\gamma$  は Gilbert の緩和定数である。

なお、ここでは、明細書作成の都合上、ベクトル記号の表記に、「 $\mathbf{M}$ 」或いは「 $\mathbf{H}$ 」を用いる。

【0012】

この LLG 方程式における右辺の第 2 項が減衰を表し、これがスピン或いは磁気モーメントの角運動量及びエネルギーの散逸、スピン流の発生を表し、このスピン流による散逸によって所定の緩和時間の後にスピン或いは磁気モーメントは外部磁場  $\mathbf{H}$  の方向に整列することになり、このようなスピン流が発生する現象はスピンポンピングとして知られている。

【0013】

また、スピンの作用による現象としては、スピンホール効果 (spin-Hall effect) が知られており、試料中に電流を流すと、電流方向に垂直な向きに電荷の流れを伴わない純スピン流が発生し、スピン流方向の試料端にスピン偏極が生ずる (例えば、非特許文献 2 参照)。

【0014】

また、本発明者は、逆に、試料中に純スピン流を注入すると、純スピン流の方向と垂直方向に電流が流れることを見いだしており、この逆スピンホール効果を利用することによって、試料端に電位差が発生するので、この電位差を検出することによって、純スピン流の流れの有無の検出が可能になる (例えば、非特許文献 3 参照)。

【特許文献 1】特開 2002-305337 号公報

【特許文献 2】特開 2007-059879 号公報

【特許文献 3】特開 2004-102330 号公報

【非特許文献 1】<http://www.s-graphics.co.jp/nanoelectronics/news/hpamolcom/2.htm>

【非特許文献 2】Science, Vol. 301, p. 1348, 2003

【非特許文献 3】Applied Physics Letters Vol. 88, p. 182509, 2006

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかし、従来のスピンロニクスにおいてはスピン緩和時間が非常に重要であるにも拘わらず、このスピン緩和時間を制御或いは変動させる手段が存在せず、スピン緩和時間は個々の部材に固有のスピン緩和時間で規定されてしまうという問題がある。

【0016】

10

20

30

40

50

例えば、従来のスピンRAMにおいては、上述のように書込速度を規定する磁化反転速度は、スピン緩和に支配されるため、書込初期においてはスピン緩和が小さいことが望ましく、書込後期においてはスピン緩和が大きいことが望まれる。しかし、スピン緩和時間がフリー層の素材によって規定されるため、スピン緩和が大きい素材を選択した場合には、書込み速度は速くなるものの、書込自体が困難になる。一方、スピン緩和が小さい素材を選択した場合には、書込は容易になるものの、書込み速度が遅くなるという問題がある。

【0017】

また、量子コンピュータにおいても、演算時間の上限を規定するデコヒーレンス時間を延ばす手段が存在しないという問題があり、量子コンピュータの実現へのネックになっている。

10

【0018】

さらに、スピン流を情報伝達媒体として用いた場合には、このスピン流を検出する手段が必要になるが、このスピン流を簡単な微小構造により検出する適当な手段・構成がないというのが現状である。

【0019】

したがって、本発明は、スピン流の注入によりスピン緩和を変動させるとともに、純スピン注入効率を高めることを目的とする。

【課題を解決するための手段】

【0020】

20

ここで図1を参照して、本発明における課題を解決するための手段を説明する。

図1参照

上記課題を解決するために、本発明は、スピン緩和変動方法であって、特定のスピン状態にある部材1にスピン流4を注入してスピン緩和時間を制御する。

【0021】

即ち、本発明は、上述のスピン緩和過程におけるスピン或いは磁気モーメント2の角運動量及びエネルギーの散逸に伴うスピン流4の発生現象を逆に利用して、スピン流4を注入することによって、特定のスピン状態にある部材1のスピン緩和時間を制御することができることを新規に見い出したものである。

【0022】

30

このように、スピン流4によりスピン緩和時間の制御が可能になることによって、各種のスピン트로ニクスデバイス或いはスピン트로ニクスシステムの高速化、高機能化、或いは、低消費電力化が可能になる。

【0023】

例えば、スピン流4を、フリー層の磁化方向を電流注入で制御する磁気抵抗効果型ランダム・アクセス・メモリ(スピンRAM)を構成するフリー層にスピンホール効果を利用して注入することによって、スピン緩和時間を短くすることができる。

【0024】

或いは、スピン流4を、フリー層の磁化方向をスピン注入で制御する新規な磁気抵抗効果型ランダム・アクセス・メモリを構成するフリー層にスピンホール効果を利用して注入することによって、スピン緩和時間を短くすることができる。

40

【0025】

或いは、スピン流4を、フリー層の磁化方向を外部磁場で制御する磁気抵抗効果型ランダム・アクセス・メモリ(MRAM)を構成するフリー層にスピンホール効果を利用して注入することによって、スピン緩和時間を制御することができる。

【0026】

また、スピン流4を、固体量子コンピュータを構成する量子ビットにスピンホール効果を利用して注入することによって、スピン緩和時間を制御することができ、それによって、演算に必要なデコヒーレンス時間を長くすることができる。

【0027】

50

或いは、磁気モーメント 2 が歳差運動している磁性部材にスピンホール効果を利用してスピン流 4 を注入してスピン緩和時間を変化させるスピン緩和変動方法を利用し、磁性部材に部材固有の強磁性共鳴周波数近傍のマイクロ波を印加してスピン緩和時間の変化を検出することによってスピン流 4 を検出することができる。

それによって、スピン流 4 を情報伝達手段として用いた場合の信号検出機構を構築することができる。

【 0 0 2 8 】

この場合、マイクロ波の印加方法としては、磁性部材の磁化方向に平行な方向に延在するマイクロストリップ線にマイクロ波帯の電流 5 を流すことによって行うことが最も現実的である。

【 0 0 2 9 】

また、スピントロニクスデバイスとしては、フリー層の磁化方向を外部磁場で制御する磁気抵抗効果型ランダム・アクセス・メモリ ( M R A M ) を構成するフリー層に接するようにスピン注入電極 3 を設けた構成とすることができる。

【 0 0 3 0 】

或いは、フリー層の磁化方向をスピン注入で制御する磁気抵抗効果型ランダム・アクセス・メモリを構成するフリー層に接するようにスピン注入電極 3 を設けることによって、新規な原理による磁気抵抗効果型ランダム・アクセス・メモリを構成することができる。

【 0 0 3 1 】

なお、フリー層の磁化方向を外部磁場で制御する場合も純スピン注入で制御する場合にも、フリー層に純スピン流 4 を注入するスピン注入電極 3 を金属 - 絶縁体転移が生ずる寸前の短平均自由行程領域の材料とした構成とすることができる。

【 0 0 3 2 】

このように、スピン注入電極 3 を、金属 - 絶縁体転移が生ずる寸前の短平均自由行程領域、好適には平均自由行程が平均原子間距離の 2 ~ 5 倍の材料で構成することによって、スピン流変換効率を高めることができる。それによって、純スピン流の注入効率を大幅に向上することができるので、素子の熱破壊を防止することができるとともに、消費電力を低減することができる。

なお、平均自由行程が平均原子間距離の 2 倍未満の場合には絶縁体に近づき、一方、平均自由行程が平均原子間距離の 5 倍を超えると多結晶に近づきスピン流変換効率が低下する。

【 0 0 3 3 】

或いは、フリー層に純スピン流を注入するスピン注入電極 3 を非晶質層とした構成とすることができる。

スピン注入電極 3 を構成する金属 - 絶縁体転移が生ずる寸前の短平均自由行程領域の材料としては、結晶性が低い場合には微結晶材料も該当するが、典型的には非晶質材料となる。

【 0 0 3 4 】

このようなスピン注入電極 3 としては、P t、A u、P d、或いは、その他の f 軌道を有する元素のいずれかからなることが望ましい。

P t、A u、或いは、その他の f 軌道を有する元素、或いは、P d 等のスピン軌道相互作用の大きな元素を用いることによって、スピンホール効果を大きくすることでき、それによって、純スピン流の注入効率を高めることができる。

【 0 0 3 5 】

或いは、磁気抵抗効果型ランダム・アクセス・メモリを構成するフリー層の近傍に、フリー層の長手方向に平行な方向に延在するマイクロストリップ線を設けても良く、マイクロストリップ線にマイクロ波帯の電流 5 を流すことによって発生する磁界により強磁性共鳴を生起することができる。

【 0 0 3 6 】

10

20

30

40

50

さらには、固体量子コンピュータを構成する量子ビットに接するようにスピン注入電極 3 を設けても良く、それによって、量子ビットにスピン流 4 を注入することによって、デコヒーレンス時間を長くすることができる。

なお、これらのスピン注入電極 3 としては、スピン軌道相互作用の大きな Pt 或いは Pd で構成することが望ましい。

【発明の効果】

【0037】

本発明によれば、スピン流を注入して強磁性共鳴を生起したり、或いは、強磁性共鳴している状態におけるスピン緩和時間を制御することができるので、新規な構成のスピンロニクスデバイスやスピントロニクスシステムの構築が可能になる。

10

【0038】

特に、本発明の原理を磁気メモリ装置に適用することによって、スピン緩和時間を短くすることができるので、高速磁気メモリ装置の実現が可能になる。

【0039】

また、スピン注入電極の構成を考慮することで、フリー層に純スピン流を高効率で注入することができ、それによって、磁化方向或いはスピン緩和時間を制御するためにスピン注入電極に流す電流を小さくすることができるので、低消費電力化た高密度化が可能になる。

【図面の簡単な説明】

【0040】

20

【図1】本発明の原理的構成の説明図である。

【図2】強磁性共鳴 FMR 信号のピーク間線幅の電流強度依存性の説明図である。

【図3】電流の向きによるピーク間線幅の差の電流の絶対強度依存性の説明図である。

【図4】電流方向が磁場方向と平行な場合の磁化 M とスピンの向き の関係の説明図である。

【図5】電流方向が磁場方向と垂直な場合の磁化 M とスピンの向き の関係の説明図である。

【図6】本発明の実施の形態のスピン RAM のメモリセルを構成する磁気抵抗効果素子近傍の概略的斜視図である。

【図7】純スピン流注入原理の説明図である。

30

【図8】本発明の実施例 1 の改良型スピン RAM を構成するメモリセルの概念的断面図である。

【図9】本発明の実施例 1 の改良型スピン RAM の書込方法の説明図である。

【図10】本発明の実施例 2 の磁界書込型 MRAM を構成するメモリセルの概念的断面図である。

【図11】本発明の実施例 3 の磁界書込型 MRAM を構成するメモリセルの概略的構成図である。

【図12】本発明の実施例 4 の純スピン流書込型 MRAM を構成するメモリセルの概念的断面図である。

【図13】本発明の実施例 5 の純スピン流書込型 MRAM を構成するメモリセルの概略的構成図である。

40

【図14】本発明の実施例 5 の純スピン流書込型 MRAM の書込方法の説明図である。

【図15】本発明の実施例 6 の量子演算装置の概念的構成図である。

【図16】本発明の実施例 7 のスピン流検出部の概念的構成図である。

【発明を実施するための最良の形態】

【0041】

本発明は、特定のスピン状態にある部材にスピン流を注入してスピン緩和時間を制御するものであり、例えば、歳差運動している磁気モーメント或いはスピンに、スピン緩和を促進する方向のスピンを有するスピン流を注入して、スピン緩和時間を短くしたり、或いは、スピン緩和を抑制する方向のスピンを有するスピン流を注入して、スピン緩和時間を

50

長くしたりするものである。

【0042】

図2参照

図2は、厚さが10nmのPt層上に厚さが10nmのNi<sub>81</sub>Fe<sub>19</sub>層を堆積させた試料に対して、所定の方向に100kHzで2mTの強度の変調磁場Hを印加した状態でPt層に電流Iを流した場合の強磁性共鳴FMRを測定し、そのピーク幅をプロットしたものであり、図2においては、電流方向が磁場方向と垂直な場合(θ = 90°)を示しており、挿入図は電流方向が磁場方向と平行な場合(θ = 0°)を示している。

図から明らかなように、FMR信号のピーク間線幅は、電流とともに広がっており、このピーク間線幅は磁化Mの歳差運動の緩和と対応するので、さらに詳細に検討する。

なお、ここでは、磁性体としては、実験を容易に行うために、結晶磁気異方性の現れない組成であるNi<sub>81</sub>Fe<sub>19</sub>を用いている。

【0043】

図3参照

図3は、電流の向きによるピーク間線幅の差の電流の絶対強度依存性の説明図であり、図に示すように、電流方向が磁場方向と平行な場合(θ = 0°)には電流の向きによる差はほとんどなく、電流の方向に対して対称性を示している。

【0044】

一方、電流方向が磁場方向と垂直な場合(θ = 90°)には、電流方向に対して非対称性を示している。

この非対称性は、一方の電流方向の場合にはスピンポンピング現象によってNi<sub>81</sub>Fe<sub>19</sub>層から流れ出すスピン流を打ち消すように、スピンホール効果によってPt層からNi<sub>81</sub>Fe<sub>19</sub>層にスピン流が注入され、他方の電流方向の場合にはスピンポンピング現象によってNi<sub>81</sub>Fe<sub>19</sub>層から流れ出すスピン流を大きくするように、スピンホール効果によってPt層からNi<sub>81</sub>Fe<sub>19</sub>層にスピン流が注入されたためと考えられる。

【0045】

図4参照

図4は、電流方向が磁場方向と平行な場合(θ = 0°)の磁化Mとスピンの向きとの関係の説明図であり、スピン流j<sub>s</sub>は電流j<sub>c</sub>に対して垂直になるとともに、スピンの向きはスピン流j<sub>s</sub>及び電流j<sub>c</sub>に対して垂直になり、スピンの向きは磁化Mと垂直になる。

磁化Mの方向は、平均として磁場Hの方向に向く。

【0046】

この場合、スピンの向きと磁化Mとの関係は電流j<sub>c</sub>の向きを反転させても同等の状態であるので、FMR信号の変化は電流j<sub>c</sub>の向きを反転させても変わらないことを表しており、上記の図3の電流方向が磁場方向と平行な場合(θ = 0°)の対称性の結果と整合する。

【0047】

図5参照

図5は、電流方向が磁場方向と垂直な場合(θ = 90°)の磁化Mとスピンの向きとの関係の説明図であり、この場合もスピン流j<sub>s</sub>は電流j<sub>c</sub>に対して垂直になり、スピンの向きはスピン流j<sub>s</sub>及び電流j<sub>c</sub>に対して垂直になる。

【0048】

しかし、この場合、スピンの向きは磁化Mと平行になり、電流j<sub>c</sub>の向きを反転させた場合には、平行と反平行の関係になる。

この時、FMR信号の変化は電流j<sub>c</sub>の向きに依存すると考えられ、上記の図3の電流方向が磁場方向と垂直な場合(θ = 90°)の非対称性の結果と整合する。

【0049】

このような非対称性はスピンの向き、したがって、電流の方向によってスピンの緩和定数を制御できることを示しており、したがって、Pt層でスピンホール効果によって生

10

20

30

40

50



成された純スピンの流が  $Ni_{81}Fe_{19}$  層に注入されることによって、磁気モーメントのスピンの摩擦を制御できることになる。

【0050】

このような、スピンホール効果によるスピンの緩和定数を制御の利用は、特に、磁気メモリ装置において実用的となり、書込初期においては、スピン緩和を抑制する方向のスピンを有するスピン流を注入することによって、書込を容易にする。一方、書込終期においては、スピン緩和を促進する方向の逆向きのスピンを有するスピン流を注入することによって緩和時間を短くすることによって、書込時間を短縮することができる。

【0051】

但し、スピンホール効果による純スピン流の発生効率が低いために、したがって、スピンRAMに適用した場合には、スピン流の注入効率が低いために、スピン注入電極に大きな電流を流す必要がある。

そうすると、スピン注入電極における消費電力が問題となり、それが、高集積度化の妨げとなる。

【0052】

そこで、MRAMを構成するフリー層に純スピン流を高効率で注入してフリー層の磁化方向或いは歳差運動している磁気モーメント或いはスピンのスピンの緩和時間を短くする際に流す電流を少なくして消費電力を低減する。

【0053】

図6参照

図6は、本発明の実施の形態のスピンRAMのメモリセルを構成する磁気抵抗効果素子近傍の概略的斜視図であり、下部電極11上にフリー層13、MgO或いはAl-O等のトンネル絶縁膜14、ピンド層15、及び、反強磁性層16からなるTMR要素12を設け、反強磁性層16に接するようにビット線17を設け、一方、フリー層13に接するようにPt或いはAu等からなるスピン注入電極18を設け、このスピン注入電極18に対して接続配線19, 20を設けたものである。

この場合、スピン注入電極18の長手方向がTMR要素12の長手方向と直交する方向に配置する。

【0054】

図7参照

図7は、純スピン流注入原理の説明図であり、このスピン注入電極18に対して電流 $J_x$ を流すと、電流 $J_x$ に垂直な向きに電荷の流れを伴わない純スピン流 $J_s$ が発生してフリー層13に注入される。

この時、純スピン流 $J_s$ におけるスピンの向き $\theta$ は電流 $J_x$ 及び純スピン流 $J_s$ の双方に対して直交する向きとなり、フリー層13の磁化方向Mを変換するように作用する。

【0055】

本発明の実施の形態においては、スピン注入電極18を金属-絶縁体転移が生ずる寸前の短平均自由行程領域、好適には平均自由行程が平均原子間距離の2~5倍の材料で構成したものであり、典型的にはアモルファス材料で構成する。

なお、平均原子間距離は密度で評価し、また、平均自由行程は残留抵抗で評価する。

【0056】

このように、スピン注入電極18をアモルファス材料とするためには、スピン注入電極18を構成する導電体をスパッタ法で成膜する際に、基板温度を50以下にした状態で、例えば、室温(25)で、成膜速度を例えば、0.1/分以上で成膜する。

また、このようなスピン注入電極18のスパッタ工程においては、Cu等が不純物として混入してスピン注入電極18における電子平均自由行程をさらに短くすることになる。

【0057】

このように成膜したスピン注入電極について、スピン流変換効率 $\eta_{SHE}$ を測定すると、

10

20

30

40

50

アモルファス Pt :  $\eta_{SHE} (Pt) \sim 0.11$

アモルファス Au :  $\eta_{SHE} (Au) \sim 0.132$

であった。

一方、多結晶 Pt 或いは多結晶 Al のスピン流変換効率  $\eta_{SHE}$  は、

多結晶 Pt :  $\eta_{SHE} (p-Pt) \sim 0.0037$

多結晶 Al :  $\eta_{SHE} (p-Al) \sim 0.0001$

であり、スピン注入電極をアモルファス化することによって、スピン流変換効率を大幅に向上することに成功した。

【0058】

なお、上記の図3の電流の向きによるピーク間線幅の差の電流の絶対値依存性のグラフからスピン流変換効率  $\eta_{SHE}$  を求めることができる。

10

再び図3参照

$W(J_c)$  はスピン注入電極18に電流  $J_c$  を流した場合の FMR (強磁性共鳴) 信号のピーク間線幅であり、 $W(-J_c)$  はスピン注入電極18に先程と逆向き方向に電流  $J_c$  を流した場合の FMR (強磁性共鳴) 信号のピーク間線幅である。

【0059】

この  $W(J_c)$  はスピン注入した時の緩和  $\eta_{SHE}$  と比例関係にあるので、 $W(J_c) - W(-J_c)$  のグラフから緩和  $\eta_{SHE}$  の変化  $\Delta \eta_{SHE}$  を求めることができる。

この  $\eta_{SHE}$  は、 $\gamma$  を磁気回転比、 $j_s^{SH}$  をスピン流密度、 $\omega$  をスピンの歳差運動の角振動数、 $M_s$  を飽和磁化、 $d_F$  を強磁性体の膜厚とすると、

20

$$\eta_{SHE} = j_s^{SH} / (M_s d_F) \quad \dots (1)$$

で表される。

なお、スピン流密度  $j_s^{SH}$  は、 $\eta_{SHE}$  をスピン注入効率(変換されたスピン流が強磁性体に注入される効率)、 $h$  をプランク常数、 $e$  を電気素量、 $A_N$  をスピン注入される部分の強磁性体の面積とすると、

$$j_s^{SH} = \eta_{SHE} [h / (2e)] \times J_c / A_N \quad \dots (2)$$

で表される。

【0060】

したがって、 $W(J_c) - W(-J_c)$  のグラフから緩和  $\eta_{SHE}$  の変化  $\Delta \eta_{SHE}$  が求めると、(1)式からスピン流密度  $j_s^{SH}$  が求まり、スピン流密度  $j_s^{SH}$  が求まると、スピン注入電極18に流す電流  $J_c$  は既知であるので、(2)式からスピン流変換効率  $\eta_{SHE}$  が求まる。

30

なお、この場合のスピン流変換効率  $\eta_{SHE}$  は、 $\eta_{SHE}$  をスピン流のスピンホール伝導度、 $\sigma_c$  をイオン注入電極を流れる電子の電気伝導度とすると、

$$\eta_{SHE} = \eta_{SHE} / \sigma_c$$

で定義され、スピン注入電極18において電流がスピン流に変換される効率を表す。

【0061】

このようなアモルファス化によるスピン流変換効率の増加は、アモルファス化することによって、電子の平均自由行程が減少して、スピン軌道散乱効率、主に、skew散乱効率が增加することによると考えられる。

40

このようなスピン流変換効率の高い材料としては、Pt, Au、その他のf軌道を有する元素、或いは、Pd等のスピン軌道相互作用の大きな元素が好適となる。

【0062】

また、他の構成としては、磁気モーメントが歳差運動している磁性部材にスピンホール効果によってスピン流を注入して磁気モーメントを揺さぶって歳差運動の状態を変化させた状態で、磁性部材に部材固有の共鳴周波数近傍のマイクロ波を印加してその反射を検出することによって、スピン流の注入の有無を検出し、スピン流を情報伝達手段として用いた場合の信号検出機構とする。

なお、逆スピンホール効果を利用して、磁性部材の両端に発生する電位差を検出することによってスピン流の注入の有無を検出するように構成しても良い。

50

## 【実施例 1】

## 【0063】

ここで、図 8 及び図 9 を参照して、本発明の実施例 1 の改良型スピン RAM を説明する。

## 図 8 参照

図 8 は、本発明の実施例 1 の改良型スピン RAM を構成するメモリセルの概念的断面図であり、構成自体は、従来のスピン RAM と全く同様である。

図に示すように、p 型シリコン基板 31 を選択酸化することによって素子分離酸化膜 32 を形成したのち、素子形成領域にゲート絶縁膜 33 を介してワード線 34 となる WSi からなるゲート電極を形成する。ついで、このゲート電極をマスクとして As 等のイオンを注入することによって n<sup>+</sup> 型ドレイン領域 35 及び n<sup>+</sup> 型ソース領域 36 を形成する。

なお、図 8 においては、概念的構成を示すものであるもので、技術思想と直接の関連のないサイドウォールやエクステンション領域等の詳細な構成は説明を省略する。

## 【0064】

次いで、TEOS (Tetra-Ethyl-Ortho-Silicate) - NSG 膜からなる厚い第 1 層間絶縁膜 37 を形成したのち、n<sup>+</sup> 型ドレイン領域 35 及び n<sup>+</sup> 型ソース領域 36 に達するコンタクトホールを形成する。次いで、このコンタクトホールを Ti/TiN を介して W で埋め込むことによって W プラグ 38, 39 を形成する。

## 【0065】

次いで、例えば、全面に TiN/Al/TiN を堆積させたのちパターニングすることによって、接続導体 40 及び n<sup>+</sup> 型ソース領域 36 に接続する接地線 41 を形成する。

次いで、再び、TEOS - NSG 膜からなる厚い第 2 層間絶縁膜 42 を形成したのち、接続導体 40 に達するコンタクトホールを形成し、このコンタクトホールを Ti/TiN を介して W で埋め込むことによって W プラグ 43 を形成する。

## 【0066】

次いで、再び、全面に TiN/Al/TiN を堆積させたのちパターニングすることによって下部電極 44 を形成する。次いで、再び、TEOS - NSG 膜からなる薄い第 3 層間絶縁膜 45 を堆積させたのち、下部電極 34 が露出するまで CMP (化学機械研磨) して平坦化する。

## 【0067】

次いで、例えば、マスクパッタ法を用いて、非磁性導電層で分離された 2 つの磁性体層を有する 3 層構造のフリー層 46、厚さが、例えば、1 nm の Al<sub>2</sub>O<sub>3</sub> からなるトンネル絶縁層 47、及び、非磁性導電層で分離された 2 つの磁性体層を有する 3 層構造のピンド層 48 を順次堆積させることによって磁気記憶部 49 を形成する。

## 【0068】

次いで、再び、TEOS - NSG 膜からなる第 4 層間絶縁膜 50 を堆積させたのち、ピンド層 48 が露出するまで CMP によって平坦化する。

次いで、全面に、TiN/Al/TiN 構造の多層導電層を堆積させたのち、ワード線 34 となるゲート電極と直交する方向に延在するようにパターニングしてビット線 51 を形成することによって、本発明の実施例 1 の改良型スピン RAM の基本構造が完成する。

## 【0069】

## 図 9 参照

図 9 は、本発明の実施例 1 の改良型スピン RAM の書込方法の説明図であり、まず、情報を書き込む際に、第 1 の方向、例えばピンド層 48 側から書込電流を流すことによって“0”を書き込んだのち、フリー層 46 における磁気モーメントの歳差運動が収束する前に、フリー層 46 側から逆方向の弱い電流を流してスピン緩和を促進する。

## 【0070】

一方、“1”を書き込む場合には、フリー層 46 側から書込電流を流したのち、フリー層 46 における磁気モーメントの歳差運動が収束する前に、ピンド層 48 側から逆方向の

10

20

30

40

50

弱い電流を流してスピン緩和を促進する。

【0071】

このように、本発明の実施例1においては、スピンRAMに情報を書き込む際に、書込終期にスピン緩和を促進する方向に微小電流を流しているため、書込速度を従来のスピンRAMより速くすることが可能になる。

【実施例2】

【0072】

次に、図10を参照して、本発明の実施例2の磁界書込型MRAMを説明する。

図10参照

図10は、本発明の実施例2の磁界書込型MRAMを構成するメモリセルの概念的断面図であり、構成自体は、従来のMRAMにスピン注入電極を設けるものである。

図に示すように、上述の実施例1と同様に、p型シリコン基板31を選択酸化することによって素子分離酸化膜32を形成したのち、素子形成領域にゲート絶縁膜33を介してセンス線52となるWSiからなるゲート電極を形成する。次いで、このゲート電極をマスクとしてAs等のイオンを注入することによってn<sup>+</sup>型ドレイン領域35及びn<sup>+</sup>型ソース領域36を形成する。

【0073】

次いで、TEOS-NSG膜からなる厚い第1層間絶縁膜37を形成したのち、n<sup>+</sup>型ドレイン領域35及びn<sup>+</sup>型ソース領域36に達するコンタクトホールを形成する。次いで、このコンタクトホールをTi/TiNを介してWで埋め込むことによってWプラグ38, 39を形成する。

【0074】

次いで、例えば、全面にTiN/Al/TiNを堆積させたのちパターニングすることによって、接続導体40及びn<sup>+</sup>型ソース領域36に接続する接地線41を形成する。

次いで、再び、TEOS-NSG膜からなる厚い第2層間絶縁膜42を形成したのち、接続導体40に達するコンタクトホールを形成し、このコンタクトホールをTi/TiNを介してWで埋め込むことによってWプラグ43を形成する。

【0075】

次いで、再び、全面にTiN/Al/TiNを堆積させたのちパターニングすることによって、接続導体53とセンス線52に平行な書込み用ワード線54を形成する。

次いで、再び、TEOS-NSG膜からなる厚い第3層間絶縁膜55を堆積したのち、接続導体53に達するコンタクトホールを形成し、このコンタクトホールをTi/TiNを介してWで埋め込むことによってWプラグ56を形成する。

【0076】

次いで、全面にPtを堆積させたのちパターニングすることによって下部電極57とセンス線52に平行なスピン注入電極58を形成する。次いで、再び、TEOS-NSG膜からなる薄い第4層間絶縁膜59を堆積させたのち、下部電極57が露出するまでCMPにより平坦化する。

【0077】

次いで、厚さが、例えば、5nmのNiFeからなるフリー層60、厚さが、例えば、1nmのAl<sub>2</sub>O<sub>3</sub>からなるトンネル絶縁層61、厚さが、例えば、2nmのCoFeからなるピンド層62、及び、厚さが、例えば、15nmのIrMnからなる反強磁性層63を順次堆積させることによって、磁気記憶部64を形成する。

この時、磁気記憶部64の形状の長手方向がスピン注入電極58の延在方向と垂直になるように形成する。

【0078】

次いで、再び、TEOS-NSG膜からなる第5層間絶縁膜65を堆積させたのち、反強磁性層63が露出するまでCMPによって平坦化する。

次いで、全面に、TiN/Al/TiN構造の多層導電層を堆積させたのち、センス線52となるゲート電極と直交する方向に延在するようにパターニングしてビット線51を

10

20

30

40

50

形成することによって、本発明の実施例 2 の磁気書込型 M R A M の基本構造が完成する。

【 0 0 7 9 】

この本発明の実施例 2 の磁界書込型 M R A M に情報を書き込む場合には、書込み用ワード線 5 4 及びビット線 5 1 に電流を流し、その合成磁界によりフリー層 6 0 に情報を磁気的に書き込む。

この時、書込初期においてスピン注入電極 5 8 にスピン緩和を減少させる方向に微小電流を流すことによって、フリー層 5 9 にスピン流を注入して情報を書込を容易にする。一方、書込終期においては、フリー層 6 0 における磁気モーメントの歳差運動が収束する前に、スピン注入電極 5 8 に逆方向の弱い電流を流してスピン流を注入してスピン緩和を促進する。

10

【 0 0 8 0 】

このように、本発明の実施例 2 においては、磁気書込型の M R A M に情報を書き込む際に、書込初期にスピン緩和を抑制する方向のスピンを注入し、書込終期にはスピン緩和を促進する方向のスピンを注入しているので、書込速度を従来 M R A M より速くすることが可能になる。

【 実施例 3 】

【 0 0 8 1 】

次に、図 1 1 を参照して、本発明の実施例 3 の磁界書込型 M R A M を説明するが、この実施例 3 は上記の実施例 2 の磁界書込型 M R A M における純スピン注入効率を高めたものである。

20

図 1 1 参照

図 1 1 は、本発明の実施例 3 の磁界書込型 M R A M を構成するメモリセルの概略的構成図であり、構成自体は、実施例 1 の M R A M に書込用ワード線を設けたものである。

なお、図 1 1 ( a ) は概略的断面図であり、図 1 1 ( b ) は配線の状況を示す概略的平面図である。

図に示すように、p 型シリコン基板 3 1 を選択酸化することによって素子分離酸化膜 3 2 を形成したのち、素子形成領域にゲート絶縁膜 3 3<sub>1</sub> , 3 3<sub>2</sub> を介してセンス線 5 2<sub>1</sub> 及び注入用配線 5 2<sub>2</sub> となる W S i からなるゲート電極を形成し、このゲート電極をマスクとして A s 等のイオンを注入することによって n<sup>+</sup> 型ドレイン領域 3 5<sub>1</sub> , 3 5<sub>2</sub> 及び n<sup>+</sup> 型ソース領域 3 6<sub>1</sub> , 3 6<sub>2</sub> を形成して一対の M O S F E T を構成する。

30

【 0 0 8 2 】

次いで、T E O S - N S G 膜からなる厚い第 1 層間絶縁膜 3 7 を形成したのち、n<sup>+</sup> 型ドレイン領域 3 5<sub>1</sub> , 3 5<sub>2</sub> 及び n<sup>+</sup> 型ソース領域 3 6<sub>1</sub> , 3 6<sub>2</sub> に達するコンタクトホールを形成する。次いで、このコンタクトホールを T i / T i N を介して W で埋め込むことによって W プラグ 3 8<sub>1</sub> , 3 8<sub>2</sub> , 3 9<sub>1</sub> , 3 9<sub>2</sub> を形成する。

【 0 0 8 3 】

次いで、例えば、全面に T i N / A l / T i N を堆積させたのちパターニングすることによって、接続導体 4 0<sub>1</sub> , 4 0<sub>2</sub> 及び n<sup>+</sup> 型ソース領域 3 6<sub>1</sub> , 3 6<sub>2</sub> に接続する接地線 4 1<sub>1</sub> , 4 1<sub>2</sub> を形成する。次いで、再び、T E O S - N S G 膜からなる厚い第 2 層間絶縁膜 4 2 を形成したのち、接続導体 4 0<sub>1</sub> , 4 0<sub>2</sub> に達するコンタクトホールを形成し、このコンタクトホールを T i / T i N を介して W で埋め込むことによって W プラグ 4 3<sub>1</sub> , 4 3<sub>2</sub> を形成する。

40

【 0 0 8 4 】

次いで、再び、全面に T i N / A l / T i N を堆積させたのちパターニングすることによって、接続導体 6 2<sub>1</sub> , 6 2<sub>2</sub> とセンス線 5 2<sub>1</sub> に平行な書込用ワード線 5 4 を形成する。次いで、再び、T E O S - N S G 膜からなる厚い第 3 層間絶縁膜 5 0 を堆積したのち、接続導体 6 2<sub>1</sub> , 6 2<sub>2</sub> に達するコンタクトホールを形成し、このコンタクトホールを T i / T i N を介して W で埋め込むことによって W プラグ 5 5<sub>1</sub> , 5 5<sub>2</sub> を形成する。

【 0 0 8 5 】

50

次いで、全面にPtを堆積させたのちパターニングすることによって下部電極66とセンス線52<sub>1</sub>に平行なスピン注入電極67をそれぞれWプラグ55<sub>1</sub>、55<sub>2</sub>に接続するように形成する。次いで、再び、TEOS-NSG膜からなる薄い第4層間絶縁膜59を堆積させたのち、下部電極66及びスピン注入電極67が露出するまでCMPにより平坦化する。

【0086】

このスピン注入電極67の形成工程において、スピン注入電極67をアモルファスPtで構成するために、基板温度を50℃以下にした状態で、例えば、室温(25℃)で、成膜速度を例えば、0.1nm/分以上で成膜する。

【0087】

次いで、厚さが、例えば、5nmのNiFeからなるフリー層68、厚さが、例えば、1nmのMgOからなるトンネル絶縁層69、厚さが、例えば、2nmのCoFeからなるピンド層70、及び、厚さが、例えば、15nmのIrMnからなる反強磁性層71を順次堆積させることによって、磁気記憶部72を形成する。

この時、磁気記憶部72の形状の長手方向がスピン注入電極67の延在方向と垂直になるように形成する。

【0088】

次いで、再び、TEOS-NSG膜からなる第5層間絶縁膜65を堆積させたのち、反強磁性層71及びスピン注入電極67の他端に達する接続用凹部を形成する。次いで、この凹部をTi/TiNを介してWで埋め込むことによって接続導体73及びWプラグ74を形成する。

【0089】

次いで、全面に、TiN/Al/TiN構造の多層導電層を堆積させたのち、センス線52<sub>1</sub>となるゲート電極と直交する方向に延在するようにパターニングして接続導体73に接続するビット線75とWプラグ74に接続する注入用配線76を形成することによって、本発明の実施例3の磁界書込型MRAMの基本構造が完成する。

【0090】

この本発明の実施例3の磁界書込型MRAMに情報を書き込む場合には、書込用ワード線54及びビット線75に電流を流し、その合成磁界によりフリー層68に情報を磁気的に書き込む。

この時、書込初期においてスピン注入電極67にスピン緩和を減少させる方向に微小電流を流すことによって、フリー層68にスピン流を注入して情報を書込を容易にする。一方、書込終期においては、フリー層68における磁気モーメントの歳差運動が収束する前に、スピン注入電極67に逆方向の弱い電流を流してスピン流を注入してスピン緩和を促進する。

【0091】

このように、本発明の実施例3においては、磁界書込型MRAMに情報を書き込む際に、書込初期にはスピン緩和を抑制する方向の純スピン流を注入し、書込終期にはスピン緩和を促進する方向の純スピン流を注入しているが、純スピン流の注入効率を大幅に高めているので、スピン注入電極に流す電流は小さくて済み、したがって、低消費電力化が可能になる。

【実施例4】

【0092】

ここで、図12を参照して、本発明の実施例4の純スピン流書込型MRAMを説明する。

図12参照

図12は、本発明の実施例4の純スピン流書込型MRAMを構成するメモリセルの概念的断面図であり、構成自体は、従来のMRAMの書込用ワード線の代わりにスピン注入電極を設けたものである。

図に示すように、上述の実施例1と同様に、p型シリコン基板31を選択酸化すること

10

20

30

40

50

によって素子分離酸化膜 32 を形成したのち、素子形成領域にゲート絶縁膜 33 を介してワード線 34 となる  $WSi$  からなるゲート電極を形成する。次いで、このゲート電極をマスクとして  $As$  等のイオンを注入することによって  $n^+$  型ドレイン領域 35 及び  $n^+$  型ソース領域 36 を形成する。

【0093】

次いで、 $TEOS-NSG$  膜からなる厚い第 1 層間絶縁膜 37 を形成したのち、 $n^+$  型ドレイン領域 35 及び  $n^+$  型ソース領域 36 に達するコンタクトホールを形成する。次いで、このコンタクトホールを  $Ti/TiN$  を介して  $W$  で埋め込むことによって  $W$  プラグ 38, 39 を形成する。

【0094】

次いで、例えば、全面に  $TiN/Al/TiN$  を堆積させたのちパターニングすることによって、接続導体 40 及び  $n^+$  型ソース領域 36 に接続する接地線 41 を形成する。次いで、再び、 $TEOS-NSG$  膜からなる厚い第 2 層間絶縁膜 42 を形成したのち、接続導体 40 に達するコンタクトホールを形成し、このコンタクトホールを  $Ti/TiN$  を介して  $W$  で埋め込むことによって  $W$  プラグ 43 を形成する。

【0095】

次いで、全面に  $Pt$  を堆積させたのちパターニングすることによって下部電極 57 とワード線 34 に平行なスピン注入電極 58 を形成する。次いで、再び、 $TEOS-NSG$  膜からなる薄い第 3 層間絶縁膜 45 を堆積させたのち、下部電極 57 が露出するまで  $CMP$  により平坦化する。

【0096】

次いで、厚さが、例えば、 $5\text{nm}$  の  $NiFe$  からなるフリー層 60、厚さが、例えば、 $1\text{nm}$  の  $Al_2O_3$  からなるトンネル絶縁層 61、厚さが、例えば、 $2\text{nm}$  の  $CoFe$  からなるピンド層 62、及び、厚さが、例えば、 $15\text{nm}$  の  $IrMn$  からなる反強磁性層 63 を順次堆積させることによって、磁気記憶部 64 を形成する。

この時、磁気記憶部 64 の形状の長手方向がスピン注入電極 58 の延在方向と垂直になるように形成する。

【0097】

次いで、再び、 $TEOS-NSG$  膜からなる第 4 層間絶縁膜 50 を堆積させたのち、反強磁性層 63 が露出するまで  $CMP$  によって平坦化する。

次いで、全面に、 $TiN/Al/TiN$  構造の多層導電層を堆積させたのち、ワード線 34 となるゲート電極と直交する方向に延在するようにパターニングしてビット線 51 を形成することによって、本発明の実施例 4 の純スピン書込型  $MRAM$  の基本構造が完成する。

【0098】

この本発明の実施例 4 の純スピン書込型  $MRAM$  に情報を書き込む場合には、書込初期においてスピン注入電極 58 に書込電流を流すことによって、フリー層 60 にスピン流を注入して情報の書込を行う。一方、書込終期においては、フリー層 60 における磁気モーメントの歳差運動が収束する前に、スピン注入電極 58 に書込電流と逆方向の弱い電流を流してスピン流を注入してスピン緩和を促進する。

【0099】

このように、本発明の実施例 4 においては、書込をスピン注入電極 58 からのスピン注入により行っているため、従来の磁気書込型の  $MRAM$  より書込速度を高めることができるとともに、従来のスピン  $RAM$  に比べて磁気記憶部の構成を簡単にすることができる。

【実施例 5】

【0100】

次に、図 13 及び図 14 を参照して、本発明の実施例 5 の純スピン流書込型  $MRAM$  を説明するが、この実施例 5 は上述の実施例 4 の純スピン流書込型  $MRAM$  における純スピン注入効率を高めたものである。

図 13 参照

10

20

30

40

50

図13は、本発明の実施例5の純スピン流書込型MRAMを構成するメモリセルの概略的構成図であり、図13(a)は概略的断面図であり、図13(b)は、配線の状況を示す概略的平面図である。

図に示すように、p型シリコン基板31を選択酸化することによって素子分離酸化膜32を形成したのち、素子形成領域にゲート絶縁膜33<sub>1</sub>、33<sub>2</sub>を介してワード線34<sub>1</sub>及び書込用配線34<sub>2</sub>となるWSiからなるゲート電極を形成する。このゲート電極をマスクとしてAs等のイオンを注入することによってn<sup>+</sup>型ドレイン領域35<sub>1</sub>、35<sub>2</sub>及びn<sup>+</sup>型ソース領域36<sub>1</sub>、36<sub>2</sub>を形成して一对のMOSFETを構成する。

なお、図13においては、概念的構成を示すものであるので、技術思想と直接の関連のないサイドウォールやエクステンション領域等の詳細な構成は説明を省略する。

10

#### 【0101】

次いで、TEOS-NSG膜からなる厚い第1層間絶縁膜37を形成したのち、n<sup>+</sup>型ドレイン領域35<sub>1</sub>、35<sub>2</sub>及びn<sup>+</sup>型ソース領域36<sub>1</sub>、36<sub>2</sub>に達するコンタクトホールを形成する。次いで、このコンタクトホールをTi/TiNを介してWで埋め込むことによってWプラグ38<sub>1</sub>、38<sub>2</sub>、39<sub>1</sub>、39<sub>2</sub>を形成する。

#### 【0102】

次いで、例えば、全面にTiN/Al/TiNを堆積させたのちパターニングすることによって、接続導体40<sub>1</sub>、40<sub>2</sub>及びn<sup>+</sup>型ソース領域36<sub>1</sub>、36<sub>2</sub>に接続する接地線41<sub>1</sub>、41<sub>2</sub>を形成する。次いで、再び、TEOS-NSG膜からなる厚い第2層間絶縁膜42を形成したのち、接続導体40<sub>1</sub>、40<sub>2</sub>に達するコンタクトホールを形成し、このコンタクトホールをTi/TiNを介してWで埋め込むことによってWプラグ43<sub>1</sub>、43<sub>2</sub>を形成する。

20

#### 【0103】

次いで、全面にPtを堆積させたのちパターニングすることによって下部電極66とワード線34<sub>1</sub>に平行なスピン注入電極67をそれぞれWプラグ43<sub>1</sub>、43<sub>2</sub>に接続するように形成する。次いで、再び、TEOS-NSG膜からなる薄い第3層間絶縁膜45を堆積させたのち、下部電極66及びスピン注入電極67が露出するまでCMPにより平坦化する。

#### 【0104】

このスピン注入電極67の形成工程において、上述のように、スピン注入電極67をアモルファスPtで構成するために、基板温度を50℃以下にした状態で、例えば、室温(25℃)で、成膜速度を例えば、0.1nm/分以上で成膜する。

30

#### 【0105】

次いで、厚さが、例えば、5nmのNiFeからなるフリー層68、厚さが、例えば、1nmのMgOからなるトンネル絶縁層69、厚さが、例えば、2nmのCoFeからなるピンド層70、及び、厚さが、例えば、15nmのIrMnからなる反強磁性層71を順次堆積させることによって、磁気記憶部72を形成する。

この時、磁気記憶部72の形状の長手方向がスピン注入電極67の延在方向と垂直になるように形成する。

#### 【0106】

次いで、再び、TEOS-NSG膜からなる第5層間絶縁膜50を堆積させたのち、反強磁性層71及びスピン注入電極67の他端に達する接続用凹部を形成する。次いで、この凹部をTi/TiNを介してWで埋め込むことによって接続導体73及びWプラグ74を形成する。

40

#### 【0107】

次いで、全面に、TiN/Al/TiN構造の多層導電層を堆積させたのち、センス線52<sub>1</sub>となるゲート電極と直交する方向に延在するようにパターニングして接続導体73に接続するビット線75とWプラグ74に接続する注入用配線76を形成することによって、本発明の実施例5の純スピン流書込型MRAMの基本構造が完成する。

#### 【0108】

50



図 1 4 参照

図 1 4 は、本発明の実施例 5 の純スピン流書込型 M R A M の書込方法の説明図であり、この本発明の実施例 5 の純スピン流書込型 M R A M に情報を書き込む場合には、書込初期においてスピン注入電極 6 7 に書込電流を流すことによって、フリー層 6 8 にスピン流を注入して情報の書込を行う。一方、書込終期においては、フリー層 6 8 における磁気モーメントの歳差運動が収束する前に、スピン注入電極 6 7 に書込電流と逆方向の弱い電流を流してスピン流を注入してスピン緩和を促進する。

【 0 1 0 9 】

即ち、まず、情報を書き込む際に、第 1 の方向、例えばピンド層 7 0 側から書込電流を流すことによって“ 0 ”を書き込んだのち、フリー層 6 8 における磁気モーメントの歳差運動が収束する前に、フリー層 6 8 側から逆方向の弱い電流を流してスピン緩和を促進する。

10

【 0 1 1 0 】

一方、“ 1 ”を書き込む場合には、フリー層 6 8 側から書込電流を流したのち、フリー層 6 8 における磁気モーメントの歳差運動が収束する前に、ピンド層 7 0 側から逆方向の弱い電流を流してスピン緩和を促進する。

【 0 1 1 1 】

このように、本発明の実施例 5 においては、スピン注入電極をアモルファス P t で構成しているので、純スピン流変換効率が大幅に改善される。また、それによって、磁化反転時間を短くすることができるとともに、書き込みに必要な電流を大幅に小さくすることができるので、低消費電力化が可能になる。

20

【実施例 6】

【 0 1 1 2 】

ここで、図 1 5 を参照して、本発明の実施例 6 の量子演算装置を説明する。

図 1 5 参照

図 1 5 は、本発明の実施例 6 の量子演算装置の概念的構成図であり、上述の特許文献 3 の量子演算素子に接するようにスピン注入電極を設けたものである。

図に示すように、核スピンの値を有する原子、例えば、窒素 ( $^{14}\text{N}$ ) やリン ( $^{31}\text{P}$ ) 等の内包原子 8 3 を内包した複数個の内包フラーレン 8 2 を収容したカーボンナノチューブ 8 1 を P t からなるスピン注入電極 8 4 と接するように配置したものである。

30

【 0 1 1 3 】

この場合の量子演算原理は、上述の特許文献 3 に記載されている通りであり、磁界印加用のコイルから内包原子 8 3 に磁界 H を印加するとともに、交流磁場印加手段により交流磁界を印加することによって内包原子 8 3 において核磁気共鳴を生起させ、これにより内包原子 8 3 において核スピンの値が揃うことにより磁界が発生し、その磁界に基づいて発生する電流を電流検出手段により検出し、内包原子 8 3 の核スピンの方向により量子状態を区別するものである。

【 0 1 1 4 】

この時、スピン注入電極 8 4 からスピン流を注入することによって、内包原子 8 3 の核スピンの歳差運動を長く維持することができ、それによって、デコヒーレンス時間を長くすることができるので、量子演算を行うことが容易になる。

40

【実施例 7】

【 0 1 1 5 】

ここで、図 1 6 を参照して、本発明の実施例 7 のスピン流検出方法を説明する。

図 1 6 参照

図 1 6 は、本発明の実施例 7 のスピン流検出部の概念的構成図であり、図 1 6 ( a ) が概念的斜視図であり、図 1 6 ( b ) はその概念的断面図であり、また、図 1 6 ( c ) はマイクロ波の印加状態の説明図である。

図に示すように、マイクロストリップ線 9 2 上に絶縁膜 9 3 を介して N i F e 等の磁性

50

材料からなるスピン流検出部 9 4 を設けるとともに、スピン流検出部 9 4 の長手方向と垂直方向に延在する例えば、A l 或いは C u からなるスピン流信号線 9 6 を設けたものである。

【 0 1 1 6 】

この場合、スピン流検出部 9 4 の磁化方向、即ち、磁気モーメント 9 7 の向きはその形状異方性によって、長手方向を向く。

この時、マイクロストリップ線 9 2 にスピン流検出部 9 4 の固有共鳴周波数の近傍のマイクロ波 1 0 0、即ち、マイクロ波帯の高周波電流を流すことによって、高周波電流によって発生するマイクロ波帯で振動する磁界 1 0 1 がスピン流検出部 9 4 に印加されて、スピン流検出部 9 4 における磁気モーメント 9 7 が強磁性共鳴を起こして歳差運動することになる。

10

【 0 1 1 7 】

この時、スピン流信号線 9 6 に信号、即ち、スピン流 9 8 が流れた場合には、スピン流 9 8 の影響によりスピン流検出部 9 4 における強磁性共鳴状態が変化して、マイクロストリップ線 9 2 に流れる電流が変動して反射が生ずるので、この反射を検出することによって、スピン流 9 8 の存在の有無が可能になる。

なお、図における符号 9 9 は、スピンの向きである。

【 0 1 1 8 】

このように、スピン流の検出が可能になれば、電子流ではなく電流の伴わない純スピン流を情報伝達媒体として用いることができ、この純スピン流はジュール熱の発生を伴わないために情報伝達の必要な消費電力を大幅に低減することができる。

20

【 0 1 1 9 】

以上、本発明の各実施例を説明したが、本発明は各実施例に記載された構成・条件に限られるものではなく、各種の変更が可能である。

例えば、上記の各実施例においては、スピン注入電極として P t を用いているが、P t に限られるものではなく、どのような導電体を用いても良いが、効率の点からは、P t や A u と同様に f 軌道を有する元素が望ましいが、スピン軌道相互作用の大きな P d を用いても良い。

【 0 1 2 0 】

また、上記の実施例 2 乃至 5 においては、フリー層を N i F e で構成し、ピンド層を C o F e で形成しているが、これらの材料に限られるものではなく、フリー層を C o F e で構成してピンド層を N i F e で構成しても良く、或いは、C o F e B 等の他の強磁性体を用いても良いものであり、さらには、N i F e / C o F e 等の積層構造を用いても良いものである。

30

【 0 1 2 1 】

また、上記の実施例 2 乃至 5 においては、反強磁性層として I r M n を用いているが、P d P t M n 等の他の反強磁性体を用いても良いものである。

但し、P d P t M n を用いる場合には、下地に N i F e 等の配向制御膜が必要になるので、フリー層とピンド層の上下関係は逆転することとなる。

【 0 1 2 2 】

さらには、反強磁性層の素材に拘わらず、フリー層とピンド層の上下関係を逆転しても良いものであるが、その場合には、書込み用ワード線やスピン注入電極の位置関係もフリー層側に設ける必要がある。

40

【 0 1 2 3 】

また、上記の実施例 2 乃至 5 においては、ピンド層の磁化方向を固定するために反強磁性層を用いているが、反強磁性層は必ずしも必須ではない。例えば、ピンド層の保磁力をフリー層の保磁力よりもかなり大きくすることによって、反強磁性層を省略することが可能になる。

【 0 1 2 4 】

また、上記の実施例 1 乃至 5 においては、磁気記憶部をトンネル磁気抵抗素子構造で構

50

成しているが、トンネル磁気抵抗素子構造に限られるものではない。例えば、 $Al_2O_3$ 膜或いはMgO膜の代わりにCu等の非磁性導電体層を用いてCPP構造のスピバルブ膜で構成しても良いものである。

【0125】

また、上記の実施例1乃至5においては、磁気記憶部を形成する際に、フリー層乃至反強磁性層を直接形成しているが、例えば、Ta等の下地膜を介してフリー層乃至反強磁性層を形成し、その上にTa等のキャップ層を設けても良いものである。

【0126】

また、上記の実施例2乃至5においては、製造工程を簡素化するために下部電極とスピン注入電極をPtによって同時に形成しているが、下部電極はスピン流変換効率の低い材料で構成しても良い。

10

【0127】

また、偏極スピン電流を注入するスピンRAMにおいて、書込み時に磁気抵抗効果素子の磁化困難方向にアシスト磁場を印加するためのアシスト線を設けることも提案されている(例えば、特開2007-123637号公報参照)。この場合にも、上記の実施例1のように、情報を書き込む際に、フリー層における磁気モーメントの歳差運動が収束する前に、スピン緩和を促進する方向の弱い電流を流すようにしても良い。

【0128】

また、上記の実施例6においては、量子ビットを内包原子の核スピンによって構成しているが、量子ビットはこのような構成に限られるものではない。例えば、上述の非特許文献1に示されているように分子のスピン状態を用いても良いものであり、いずれにしても固体を利用した量子演算装置であれば適用可能である。

20

【0129】

また、上記の実施例7においては、スピン流の有無をマイクロストリップ線を流れる電流の反射により検出しているが、磁性体にスピン流が注入された場合、上述の逆スピンホール効果によって磁性体の両端に電位差が発生するので、この電位差を検出することによって、スピン流の有無を検出するようにしても良いものである。

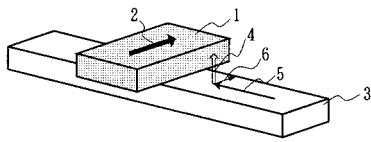
【産業上の利用可能性】

【0130】

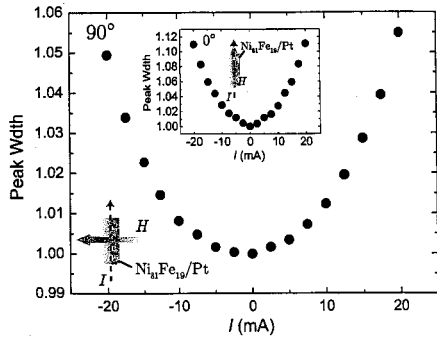
本発明の活用例としては、MRAM、量子コンピュータ、或いは、スピン流を情報伝達媒体としたスピン流検出手段が典型的なものであるが、それ以外のスピン緩和現象を動作原理としている各種のスピンロニクスデバイスに適用されるものであり、また、各種のスピン流検出手段としても適用されるものである。

30

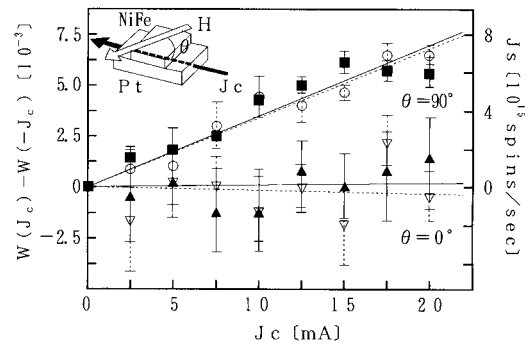
【 図 1 】



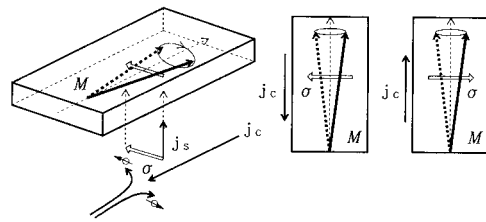
【 図 2 】



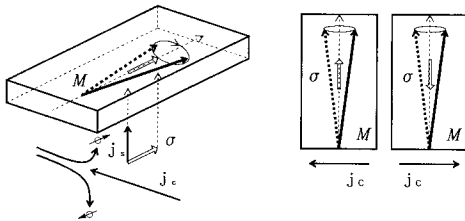
【 図 3 】



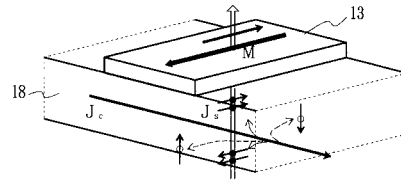
【 図 4 】



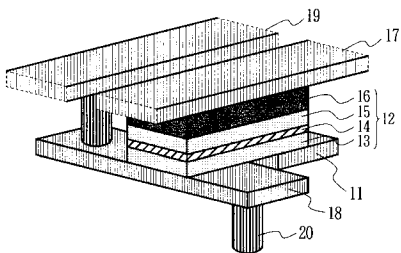
【 図 5 】



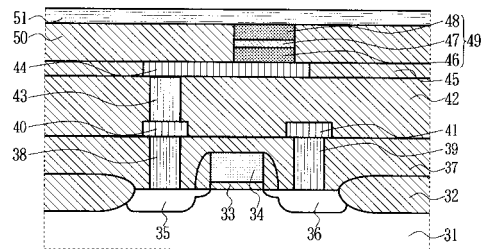
【 図 7 】



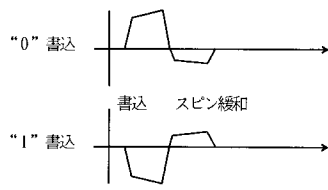
【 図 6 】



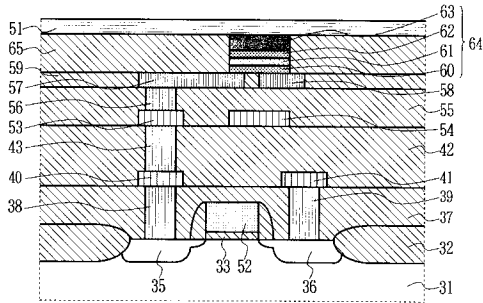
【 図 8 】



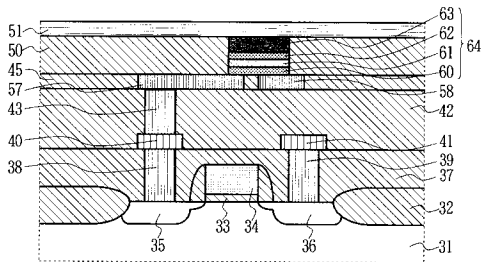
【 図 9 】



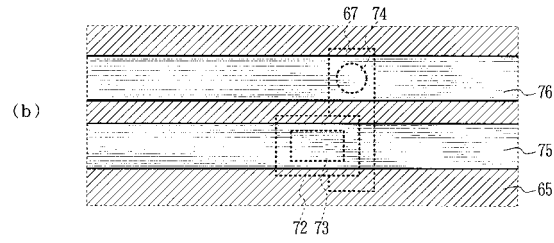
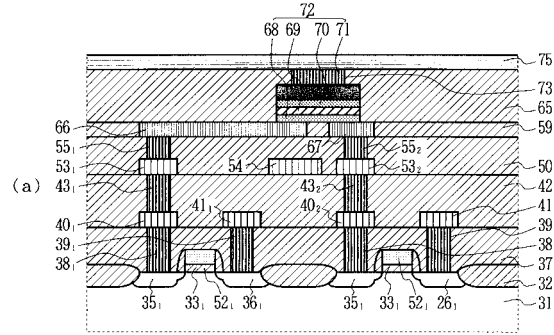
【 図 10 】



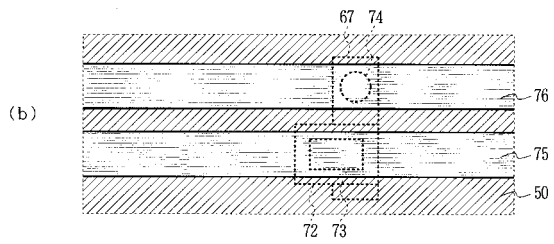
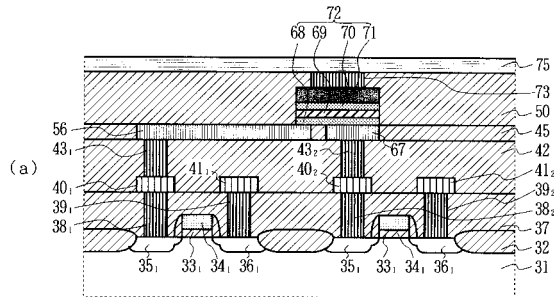
【 図 12 】



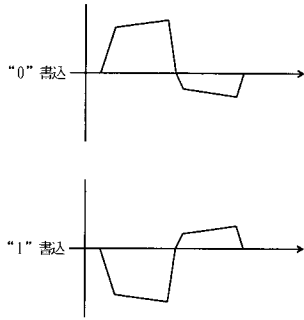
【 図 11 】



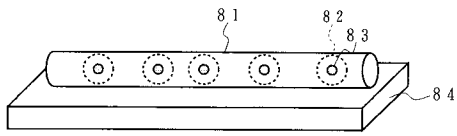
【 図 13 】



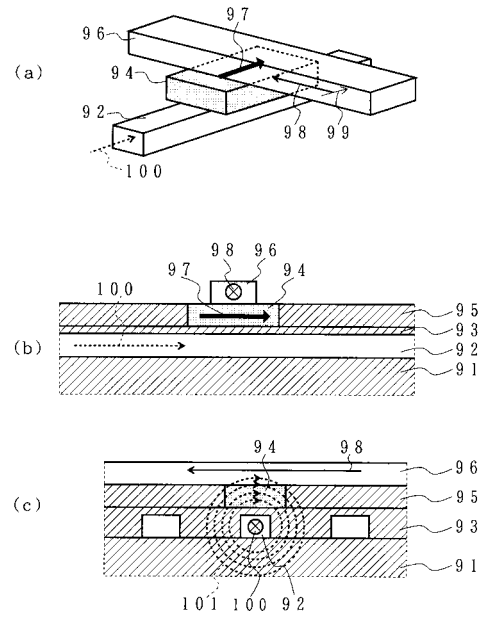
【 图 1 4 】



【 图 1 5 】



【 图 1 6 】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2008/054733
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H01L29/82(2006.01)i, G11C11/15(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L29/06(2006.01)i, H01L43/08(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L29/82, G11C11/15, H01L21/8246, H01L27/105, H01L29/06, H01L43/08  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-032570 A (Nippon Telegraph And Telephone Corp.), 02 February, 2006 (02.02.06), Par. No. [0056] (Family: none)	1-13
A	JP 11-271412 A (Fujitsu Ltd.), 08 October, 1999 (08.10.99), Par. Nos. [0012] to [0015] (Family: none)	1-13
A	JP 9-214016 A (Fujitsu Ltd.), 15 August, 1997 (15.08.97), Par. Nos. [0011] to [0014] (Family: none)	1-13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 August, 2008 (21.08.08)		Date of mailing of the international search report 02 September, 2008 (02.09.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2008/054733

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Shuichi Murakami et al., Dissipationless Quantum Spin Current at Room Temperature, Science, 2003.09.05, Vol.301, P.1348-1351	1-13
A	E. Saitoh et al., Conversion of spin current into charge current at room temperature: Inverse Spin-Hall effect, APPLIED PHYSICS LETTERS, 2006.05.05, Vol.88, P.182509-1-182509-3	1-13



国際調査報告		国際出願番号 PCT/J P 2 0 0 8 / 0 5 4 7 3 3									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/82(2006.01)i, G11C11/15(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L29/06(2006.01)i, H01L43/08(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/82, G11C11/15, H01L21/8246, H01L27/105, H01L29/06, H01L43/08											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2008年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2008年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2008年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2008年	日本国実用新案登録公報	1996-2008年	日本国登録実用新案公報	1994-2008年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2008年										
日本国実用新案登録公報	1996-2008年										
日本国登録実用新案公報	1994-2008年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 2006-032570 A (日本電信電話株式会社) 2006.02.02, 段落【0056】 (ファミリーなし)	1-13									
A	JP 11-271412 A (富士通株式会社) 1999.10.08, 段落【0012】 - 【0015】 (ファミリーなし)	1-13									
A	JP 9-214016 A (富士通株式会社) 1997.08.15, 段落【0011】 - 【0014】 (ファミリーなし)	1-13									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 21.08.2008		国際調査報告の発送日 02.09.2008									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 川村 裕二	4M 3349								
		電話番号 03-3581-1101 内線	3462								

国際調査報告

国際出願番号 PCT/J P 2 0 0 8 / 0 5 4 7 3 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Shuichi Murakami et al., Dissipationless Quantum Spin Current at Room Temperature, Science, 2003.09.05, Vol. 301, P. 1348-1351	1-13
A	E. Saitoh et al., Conversion of spin current into charge current at room temperature: Inverse Spin-Hall effect, APPLIED PHYSICS LETTERS, 2006.05.05, Vol. 88, P. 182509-1-182509-3	1-13

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 針井 一哉  
神奈川県横浜市港北区日吉3丁目1番1号 慶應義塾大学工学部内

(72)発明者 捧 耕平  
神奈川県横浜市港北区日吉3丁目1番1号 慶應義塾大学工学部内

(72)発明者 齊藤 英治  
神奈川県横浜市港北区日吉3丁目1番1号 慶應義塾大学工学部内

Fターム(参考) 4M119 AA03 BB01 BB03 CC02 CC05 DD05 DD06 DD26 DD33 DD45  
DD47 DD55 EE03 EE04 EE22 EE27 EE29 FF05 FF06 FF15  
FF17 JJ15  
5F092 AA01 AA15 AB08 AC08 AC12 AC26 AD03 AD25 BB04 BB10  
BB17 BB22 BB23 BB31 BB35 BB36 BB42 BB43 BB53 BB55  
BB82 BC03 BC04 BC12 BC13 BC42 BD03 BD13 CA20

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。