

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-166491

(P2008-166491A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/04 (2006.01)	HO 1 L 25/04 Z	5 F 0 4 7
HO 1 L 25/18 (2006.01)	HO 1 L 21/60 3 2 1 Z	
HO 1 L 21/60 (2006.01)	HO 1 L 21/52 C	
HO 1 L 21/52 (2006.01)		

審査請求 有 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願2006-354356 (P2006-354356)
 (22) 出願日 平成18年12月28日 (2006.12.28)

(71) 出願人 504151365
 大学共同利用機関法人 高エネルギー加速器研究機構
 茨城県つくば市大穂1番地1
 (74) 代理人 100137752
 弁理士 亀井 岳行
 (72) 発明者 村上 武
 茨城県つくば市大砂247-168
 Fターム(参考) 5F047 AA13 AA17 AA19 BA23 BA52
 BB11 BB16

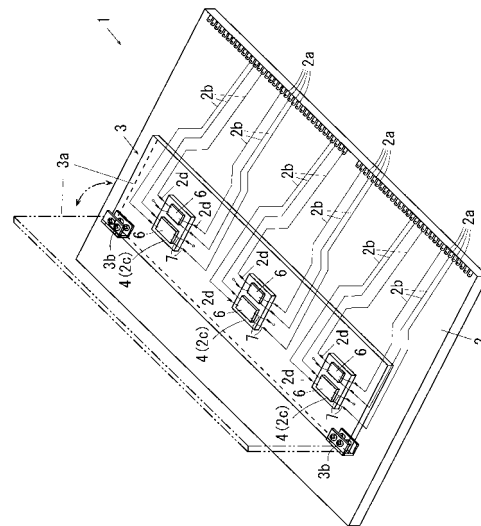
(54) 【発明の名称】 電子回路基板および電子回路基板作製方法

(57) 【要約】

【課題】電気回路基板の集積度を高めること。

【解決手段】信号線(2b)と、前記信号線(2b)の端部に形成された基板側端子(2d)と、ベアチップ配置部(2c)と、を有する基板本体(2)と、集積された複数の電子素子と、前記各電子素子を接続する配線と、前記配線の端部に形成されたチップ側端子(6a)とを有し、前記ベアチップ配置部(2c)に固定されたベアチップ(6)と、前記ベアチップ(6)のチップ側端子(6a)と前記基板本体(2)の基板側端子(2d)とを接続するボンディングワイヤー(7)と、を備えた電子回路基板(1)。

【選択図】図1



【特許請求の範囲】

【請求項 1】

信号線と、前記信号線の端部に形成された基板側端子と、ベアチップ配置部と、を有する基板本体と、

集積された複数の電子素子と、前記各電子素子を接続する配線と、前記配線の端部に形成されたチップ側端子とを有し、前記ベアチップ配置部に固定されたベアチップと、

前記ベアチップのチップ側端子と前記基板本体の基板側端子とを接続するボンディングワイヤーと、

を備えたことを特徴とする電子回路基板。

【請求項 2】

前記基板本体に支持され且つ前記ベアチップの外側に配置され、前記ベアチップを保護する保護部材、

を備えたことを特徴とする請求項 1 に記載の電子回路基板。

【請求項 3】

導電面により構成された前記ベアチップ配置部と、

前記ベアチップ配置部に接着された剥離可能な導電材と、

前記導電材の表面に塗布されたベアチップ貼付材と、

前記ベアチップ貼付材により固定された前記ベアチップと、

を備えたことを特徴とする請求項 1 または 2 に記載の電子回路基板。

【請求項 4】

前記導電材の四隅に配置され、前記導電材を前記ベアチップ配置部に固定する導電材固定材、

を備えたことを特徴とする請求項 3 に記載の電子回路基板。

【請求項 5】

アルミニウム製のテープにより構成された前記導電材と、

銀のペーストにより構成された前記導電材固定材および前記ベアチップ貼付材と、

を備えたことを特徴とする請求項 4 に記載の電子回路基板。

【請求項 6】

2 ~ 3 mm の長さのボンディングパッドにより構成された前記基板側端子、

を備えたことを特徴とする請求項 1 ないし 5 のいずれかに記載の電子回路基板。

【請求項 7】

基板本体のベアチップ配置部に剥離可能な導電材を接着する導電材接着工程と、

前記導電材の表面にベアチップ貼付材を塗布する貼付剤塗布工程と、

前記ベアチップ貼付材に、チップ側端子とを有するベアチップを固定するベアチップ固定工程と、

前記ベアチップのチップ側端子と、前記基板本体の基板側端子との間をボンディングワイヤーで接続するワイヤーボンディング工程と、

を実行することを特徴とする電子回路基板作製方法。

【請求項 8】

前記ベアチップ配置部に前記導電材が接着された後に、前記導電材の四隅を導電材固定材により固定する前記導電材接着工程、

を実行することを特徴とする請求項 7 に記載の電子回路基板作製方法。

【請求項 9】

不良の前記ベアチップに接続された前記ボンディングワイヤーを除去するボンディングワイヤー除去工程と、

前記ボンディングワイヤーが除去された前記不良のベアチップを前記ベアチップ貼付材から取り外すベアチップ取外し工程と、

前記導電材を前記ベアチップ配置部から剥離する導電材剥離工程と、

を実行した後に、前記導電材接着工程と、前記貼付剤塗布工程と、前記ベアチップ固定工程と、前記ワイヤーボンディング工程と、を実行して、前記ベアチップの取り替えを行

10

20

30

40

50

うことを特徴とする請求項 7 に記載の電子回路基板作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子回路が配線された電子回路基板および電子回路基板を作製する電子回路基板作製方法に関し、特に、トランジスタ等の電子素子が複数集積された集積回路を有する電子回路基板および電子回路基板作製方法に関する。

【背景技術】

【0002】

従来の電子回路基板には、I C (Integrated Circuit : 集積回路) や L S I (Large-Scale Integrated circuit : 大規模集積回路) のような、いわゆる、半導体パッケージまたは半導体パッケージと呼ばれるチップが固定、配線されているものがある。 10

図 6 は、従来の半導体パッケージの説明図であり、図 6 A は上面図、図 6 B は断面図である。

図 7 は図 6 に示す半導体パッケージにおいて、図 6 B の破線部分の封止材を除去した状態の上面図である。

図 8 は複数のベアチップが実装された半導体パッケージの説明図である。

【0003】

図 6 ~ 図 8 において、従来の半導体パッケージ 0 1 では、硬質の導電体 0 2 上に、トランジスタ等の電子素子や微細な回路、配線がされたベアチップ (シリコンチップ) 0 3 が直接接着されている。前記ベアチップ 0 3 のチップ側端子 0 3 a と、半導体パッケージ 0 1 のパッケージ側端子 (電極、いわゆる、リードフレーム) 0 4 との間は、ボンディングワイヤー 0 6 で電氣的に接続されている。そして、従来の半導体パッケージ 0 1 では、回路や配線等が露出するベアチップ 0 3 を保護するために、シリカ等により構成された封止材 0 7 により、ベアチップ 0 3 やボンディングワイヤー 0 6 等が封止されて、パッケージ化されている。 20

前記構成を備えた従来の半導体パッケージ 0 1 は、配線がされた基板にはんだ等により固定および電氣的に接続され、ベアチップ 0 3 に組み込まれた電子素子等により情報処理が行われている。

このような半導体パッケージに関しては、例えば、特許文献 1 (特開 2 0 0 6 - 1 0 0 5 8 8 号公報) に記載されている。 30

【0004】

【特許文献 1】特開 2 0 0 6 - 1 0 0 5 8 8 号公報 (「 0 0 3 1 」 ~ 「 0 0 3 5 」 、 図 2)

【発明の開示】

【発明が解決しようとする課題】

【0005】

(従来技術の問題点)

前記従来技術では、多機能のベアチップ 0 3 からの信号線が多数になると、半導体パッケージ 0 1 のパッケージ側端子 0 4 も多数となり、パッケージ 0 1 が大きくなる。このため、電子回路基板が大型化したり、規格等で定められた所定の大きさの電子回路基板上に配置できる半導体パッケージ 0 1 の数が少なくなり、電子回路基板の集積化が困難になるという問題がある。 40

また、図 8 に示すように、複数のベアチップ 0 3 が、1つの半導体パッケージ 0 1 としてパッケージされていると、複数のベアチップ 0 3 の中の1つのベアチップ 0 3 が動作不良になると、半導体パッケージ 0 1 全体を交換する必要があり、正常に動作するその他のベアチップ 0 3 まで廃棄されてしまう問題がある。

【0006】

本発明は、前述の事情に鑑み、電気回路基板の集積度を高めることを第 1 の技術的課題とする。 50

また、本発明は、正常なベアチップが廃棄されることを防止することを第2の技術的課題とする。

【課題を解決するための手段】

【0007】

(本発明)

前記技術的課題を解決するために、請求項1に記載の電子回路基板は、信号線と、前記信号線の端部に形成された基板側端子と、ベアチップ配置部と、を有する基板本体と、集積された複数の電子素子と、前記各電子素子を接続する配線と、前記配線の端部に形成されたチップ側端子とを有し、前記ベアチップ配置部に固定されたベアチップと、前記ベアチップのチップ側端子と前記基板本体の基板側端子とを接続するボンディングワイヤーと、を備えたことを特徴とする。

10

【0008】

前記構成要件を備えた請求項1に記載の発明の電子回路基板では、基板本体には、信号線と、前記信号線の端部に形成された基板側端子と、ベアチップ配置部とが設けられている。ベアチップは、集積された複数の電子素子と、前記各電子素子を接続する配線と、前記配線の端部に形成されたチップ側端子とを有し、ベアチップ配置部に固定されている。ボンディングワイヤーは、前記ベアチップのチップ側端子と前記基板本体の基板側端子とを接続する。

20

したがって、本発明の電子回路基板では、従来半導体パッケージ内部に收容されていたベアチップが基板本体のベアチップ配置部に固定されているので、配置面積を小さくすることができ、電気回路基板の集積度を高めることができる。

【0009】

請求項2に記載の電子回路基板は、請求項1に記載の電子回路基板において、前記基板本体に支持され且つ前記ベアチップの外側に配置され、前記ベアチップを保護する保護部材、を備えたことを特徴とする。

前記構成要件を備えた電子回路基板では、前記基板本体に支持され且つ前記ベアチップの外側に配置された保護部材は、前記ベアチップを保護する。したがって、ベアチップやボンディングワイヤー等の破損を防止することができる。

30

【0010】

請求項3に記載の電子回路基板は、請求項1または2に記載の電子回路基板において、導電面により構成された前記ベアチップ配置部と、前記ベアチップ配置部に接着された剥離可能な導電材と、前記導電材の表面に塗布されたベアチップ貼付材と、前記ベアチップ貼付材により固定された前記ベアチップと、を備えたことを特徴とする。

【0011】

前記構成要件を備えた電子回路基板では、前記ベアチップ配置部は、導電面により構成されている。剥離可能な導電材が、前記ベアチップ配置部に接着されている。前記導電材の表面には、ベアチップ貼付材は塗布される。前記ベアチップ貼付材により、前記ベアチップは固定されている。したがって、動作不良のベアチップがあった場合に、固定されたベアチップを除去し、剥離可能な導電材を剥がすことで、元の状態に戻すことができ、ベアチップの交換を容易に行うことができる。この結果、ベアチップが複数ある場合に、正常なベアチップまで廃棄されていた従来の半導体パッケージの場合に比べて、正常なベアチップが廃棄されてしまうことを防止でき、無駄を省くことができる。

40

【0012】

請求項4に記載の電子回路基板は、請求項3に記載の電子回路基板において、前記導電材の四隅に配置され、前記導電材を前記ベアチップ配置部に固定する導電材固

50

定材、

を備えたことを特徴とする。

前記構成要件を備えた電子回路基板では、前記導電材の四隅に配置された導電材固定材は、前記導電材を前記ベアチップ配置部に固定する。したがって、ワイヤーボンディング作業時に導電材の位置がずれてしまうことを防止でき、ワイヤーボンディング作業の失敗を防止できる。

【 0 0 1 3 】

請求項 5 に記載の電子回路基板は、請求項 4 に記載の電子回路基板において、アルミニウム製のテープにより構成された前記導電材と、銀のペーストにより構成された前記導電材固定材および前記ベアチップ貼付材と、

10

を備えたことを特徴とする。前記構成要件を備えた電子回路基板では、前記導電材は、アルミニウム製のテープを使用でき、前記導電材固定材および前記ベアチップ貼付材は、銀のペーストを使用できる。

【 0 0 1 4 】

請求項 6 に記載の電子回路基板は、請求項 1 ないし 5 のいずれかに記載の電子回路基板において、

2 ~ 3 mm の長さのボンディングパッドにより構成された前記基板側端子、を備えたことを特徴とする。

前記構成要件を備えた電子回路基板では、前記基板側端子は、2 ~ 3 mm の長さのボンディングパッドにより構成されており、従来に比べて長く形成されているので、ベアチップの取り替えに伴い、複数回ワイヤーボンディング作業が行われる際に、ずれた位置に接続することができ、同じ位置に複数回ボンディングワイヤーを接続することにより発生する不具合を防止することができる。

20

【 0 0 1 5 】

前記技術的課題を解決するために、請求項 7 に記載の電子回路基板作製方法は、基板本体のベアチップ配置部に剥離可能な導電材を接着する導電材接着工程と、前記導電材の表面にベアチップ貼付材を塗布する貼付剤塗布工程と、

前記ベアチップ貼付材に、チップ側端子とを有するベアチップを固定するベアチップ固定工程と、

前記ベアチップのチップ側端子と、前記基板本体の基板側端子との間をボンディングワイヤーで接続するワイヤーボンディング工程と、

30

を実行することを特徴とする。

【 0 0 1 6 】

前記構成要件を備えた電子回路基板作製方法では、導電材接着工程において、基板本体のベアチップ配置部に剥離可能な導電材を接着する。貼付剤塗布工程において、前記導電材の表面にベアチップ貼付材を塗布する。ベアチップ固定工程において、前記ベアチップ貼付材に、チップ側端子とを有するベアチップを固定する。ワイヤーボンディング工程において、前記ベアチップのチップ側端子と、前記基板本体の基板側端子との間をボンディングワイヤーで接続する。

したがって、本発明の電子回路基板作製方法では、従来半導体パッケージ内部に收容されていたベアチップを、基板本体のベアチップ配置部に固定できるので、配置面積を小さく、集積度の高い電気回路基板を作製できる。

40

【 0 0 1 7 】

請求項 8 に記載の電子回路基板作製方法は、請求項 7 に記載の電子回路基板作製方法において、

前記ベアチップ配置部に前記導電材が接着された後に、前記導電材の四隅を導電材固定材により固定する前記導電材接着工程、

を実行することを特徴とする。

前記構成要件を備えた電子回路基板作製方法では、前記導電材接着工程において、前記ベアチップ配置部に前記導電材が接着された後に、前記導電材の四隅を導電材固定材によ

50

り固定する。したがって、ワイヤーボンディング工程において、導電材の位置がずれてしまうことを低減でき、ワイヤーボンディング作業が失敗することを低減できる。

【0018】

請求項9に記載の電子回路基板作製方法は、請求項7に記載の電子回路基板作製方法において、

不良の前記ベアチップに接続された前記ボンディングワイヤーを除去するボンディングワイヤー除去工程と、

前記ボンディングワイヤーが除去された前記不良のベアチップを前記ベアチップ貼付材から取り外すベアチップ取外し工程と、

前記導電材を前記ベアチップ配置部から剥離する導電材剥離工程と、

を実行した後に、前記導電材接着工程と、前記貼付剤塗布工程と、前記ベアチップ固定工程と、前記ワイヤーボンディング工程と、を実行して、前記ベアチップの取り替えを行うことを特徴とする。

【0019】

前記構成要件を備えた電子回路基板作製方法では、ボンディングワイヤー除去工程において、不良の前記ベアチップに接続された前記ボンディングワイヤーを除去する。ベアチップ取外し工程において、前記ボンディングワイヤーが除去された前記不良のベアチップを前記ベアチップ貼付材から取り外す。導電材剥離工程において、前記導電材を前記ベアチップ配置部から剥離する。ボンディングワイヤー除去工程、ベアチップ取外し工程、導電材剥離工程を実行した後に、前記導電材接着工程と、前記貼付剤塗布工程と、前記ベアチップ固定工程と、前記ワイヤーボンディング工程と、を実行して、前記ベアチップの取り替えが行われる。したがって、不良のベアチップを取り替えることができ、正常なベアチップを廃棄する無駄を省くことができる。

【発明の効果】

【0020】

前述の本発明は、電気回路基板の集積度を高めることができる。

また、本発明は、正常なベアチップが廃棄されることを防止することができる。

【発明を実施するための最良の形態】

【0021】

次に図面を参照しながら、本発明の実施の形態の具体例（実施例）を説明するが、本発明は以下の実施例に限定されるものではない。

なお、以下の図面を使用した説明において、理解の容易のために説明に必要な部材以外の図示は適宜省略されている。

【実施例1】

【0022】

図1は本発明の実施例1の電子回路基板の全体説明図である。

図2は実施例1の電子回路基板の基板側端子の要部拡大説明図である。

図1において、本発明の実施例1の電子回路基板1は、板状の基板本体2を有する。前記基板本体2上には、パーソナルコンピュータ等の情報処理装置（図示せず）に接続するための接続端子2aや、前記接続端子2aから延びる配線（信号線）2bが形成されている（プリントされている）。また、前記基板本体2上には、導電面により構成されたベアチップ配置部2cが形成されており、前記ベアチップ配置部2cの周囲まで延びる前記配線2bの端部には、基板側端子2dが形成されている。実施例1の基板側端子2dはボンディングパッドにより構成されており、その長さL1は、3mmに設定されている。したがって、実施例1の基板側端子2dは、従来のワイヤーボンディングがされる端子（ボンディングパッド）に比べ長く形成されている。

なお、実施例1の基板本体2は、板状の基板を例示したが、これに限定されず、ポリイミド樹脂等により構成された可撓性、柔軟性のあるFPC（Flexible Print Circuit：フレキシブルプリント回路基板）により構成することも可能である。

【0023】

10

20

30

40

50

図 1 において、前記基板本体 2 上の前記ベアチップ配置部 2 c の外側には、保護部材 3 が支持されている。前記保護部材 3 は、透明なアクリル板により構成された保護部材本体 3 a と、前記基板本体 2 にネジ止めされ且つ前記保護部材本体 3 a の端部を支持する蝶番により構成された回転支持部材 3 b とを有する。前記回転支持部材 3 b により、前記保護部材本体 3 a は、図 1 の実線で示す保護位置と、図 1 の二点鎖線で示す開放位置との間を移動可能に支持されている。

【 0 0 2 4 】

図 3 は実施例 1 の電子回路基板のベアチップの要部拡大説明図である。

図 1 , 図 3 において、前記ベアチップ配置部 2 c には、ベアチップ固定材 4 を介してベアチップ 6 が固定されている。前記ベアチップ固定材 4 は、ベアチップ配置部 2 c 表面に 10
 接着された剥離可能な導電材 4 a と、前記導電材 4 a の四隅に点付け接着された導電材固定材 4 b と、前記導電材 4 a 表面に塗布されて前記ベアチップ 6 を固定するベアチップ貼付材 4 c とを有する。

実施例 1 のベアチップ固定材 4 では、前記導電材 4 a はアルミニウム箔に導電性接着剤が塗布された導電性テープにより構成されており、例えば、住友 3 M 株式会社製の A L - 5 0 B T を使用可能である。また、実施例 1 の導電材固定材 4 b およびベアチップ貼付材 4 c は、銀のペーストにより構成されており、例えば、一液性の常温硬化型の銀系導電材であるイオンケミー株式会社製のイオタイト（登録商標）A - 8 0 T を使用可能である。

【 0 0 2 5 】

前記ベアチップ 6 は、従来の半導体パッケージ内部に収容されていたものと同様に構成されており、集積された複数の電子素子や前記各電子素子を接続する配線を内部に有しており、配線に接続されたチップ側端子 6 a を有する。前記チップ側端子 6 a と、前記基板側端子 2 d との間は、ボンディングワイヤー 7 により電氣的に接続されている。 20

なお、実施例 1 では、前記導電材 4 a の厚みが 9 0 μ m、ベアチップ貼付材 4 c の厚みが 1 0 μ m、ベアチップ 6 の高さが 6 0 0 μ m に設定されており、基板本体 2 の表面からベアチップ 6 の表面までの高さが 7 0 0 μ m に設定されている。

【 0 0 2 6 】

(電子回路基板 1 の作製方法)

(ベアチップの取付方法)

図 4 は実施例 1 の電子回路基板の作製方法の説明図であり、図 4 A はベアチップが固定される前のベアチップ配置部の状態の説明図、図 4 B は図 4 A に示す状態からベアチップ配置部に導電材が接着された状態の説明図、図 4 C は図 4 B の正面図、図 4 D は図 4 B に示す状態から導電材固定材が接着された状態の説明図、図 4 E は図 4 D の正面図、図 4 F は図 4 D に示す状態からベアチップ貼付材が塗布された状態の説明図、図 4 G は図 4 F の正面図、図 4 H は図 4 F に示す状態からベアチップが貼り付けられ且つワイヤーボンディングがされた状態の説明図、図 4 I は図 4 H の正面図である。 30

図 4 において、実施例 1 の電子回路基板 1 を作製する場合、図 4 A に示すように基板本体 2 に形成されているベアチップ配置部 2 c の表面に、剥離可能な導電材 4 a が接着される（図 4 B , 図 4 C 参照）。なお、前記導電材 4 a の面積は、前記ベアチップ配置部 2 c の面積よりも小さく設定されている。図 4 D , 図 4 E において、導電材 4 a の四隅に導電材固定材 4 b を接着し、ワイヤーボンディング作業時に導電材 4 a の位置がずれないように固定される。 40

【 0 0 2 7 】

図 4 F , 図 4 G において、次に、前記導電材 4 a の表面に、層状にベアチップ貼付材 4 c を塗布する。前記ベアチップ貼付材 4 c を塗布する面積は、前記導電材 4 a の面積よりも小さく設定されている。

図 4 H、図 4 I において、次に、前記ベアチップ貼付材 4 c の上面に、2 つのベアチップ 6 が貼り付けられ、固定される。

次に、前記固定されたベアチップ 6 のチップ側端子 6 a と、基板側端子 2 d との間をボンディングワイヤー 7 で接続するワイヤーボンディングが行われ、電子回路基板 1 が作製 50

される。

【0028】

(ベアチップの取り外し方法)

図5は実施例1の電子回路基板のベアチップの取外し方法の説明図であり、図5Aは取外しを開始する前の状態の説明図、図5Bは図5Aに示す状態からベアチップが取り外された状態の説明図、図5Cは図5Bに示す状態から導電材が剥離され且つ導電材固定材が除去された状態の説明図である。

図5において、電子回路基板1に固定されたベアチップ6に動作不良のベアチップ6があり、ベアチップ6の取り替えが必要になった場合に、まず、ボンディングワイヤー7を除去し、銀のペーストにより構成されたベアチップ貼付材4cからベアチップ6を除去する。図5Bにおいて、ベアチップ貼付材4cが表面に塗布された導電材4aを剥離すると共に、導電材固定材4bをベアチップ配置部2cから除去することで、図5Cに示すベアチップ配置部2cのみの状態となる。この後、前記図4A～図4Iに示す工程を経てベアチップが取り付けられることで、ベアチップ6が取り替えられる。

【0029】

(実施例1の作用)

前記構成要件を備えた実施例1の電子回路基板1では、ベアチップ6が、従来のように半導体パッケージ化されること無く、基板本体2上に配置されるので、従来に比べて、約1/20～1/60に専有面積を小さくすることができる。したがって、従来に比べて、基板1の集積度を高めることができ、同じ面積の基板1上にベアチップ6を多く配置することができたり、同じ機能の電子回路基板1を従来よりも小さな面積で実現できる。

また、ベアチップ6およびボンディングワイヤー7の上方は、保護部材3によりカバーされているため、ベアチップ6やボンディングワイヤー7が保護される。そして、保護部材3を開放位置に移動させることにより、ベアチップ6の取り替えも容易に行うことができる。

【0030】

さらに、ベアチップ6が取り替え可能であるため、複数のベアチップがパッケージ化された従来の半導体パッケージでは、正常に動作するベアチップも廃棄していたが、実施例1ではベアチップ6を取り外して交換できるため、動作不良のベアチップ6のみを廃棄し、正常なベアチップ6は再使用することができる。この結果、正常なベアチップ6が廃棄されることを防止でき、無駄を省くことができる。したがって、パッケージ化するためのコストや無駄な廃棄を防止するためのコストを低減できる。

また、ベアチップ6を取り替える際に、複数回ワイヤーボンディングが行われるが、基板側端子2dが従来に比べて長く形成されているため、一度目の位置から、ずれた位置にボンディングワイヤー7の一端部を連結することができ、複数回のワイヤーボンディングを実行することができる。

【0031】

また、ベアチップ6を固定するベアチップ固定材4が、剥離可能な導電材4aを有しているため、ベアチップ6を取り替える際に、ベアチップ貼付材4cを除去する作業を省略でき、剥離後のベアチップ配置部2cを元の状態に近い状態に戻すことができる。

さらに、実施例1の電子回路基板では、導電材固定材4bにより導電材4aの位置がずれないように固定されているので、ワイヤーボンディング作業の失敗を防止することができる。また、導電材4aの前面を接着せず、四隅を接着しているため、導電材4aを取り外す際に、容易に導電材4aを取り外すことができる。

さらに、ベアチップ6の上面から離れて保護部材が配置されているため、放熱、排熱が円滑にでき、従来の半導体パッケージにおいて封止材とベアチップとの熱膨張率の違いにより発生していた割れ等の問題の発生を防止できる。

【0032】

(変更例)

以上、本発明の実施例を詳述したが、本発明は、前記実施例に限定されるものではなく

10

20

30

40

50

、特許請求の範囲に記載された本発明の要旨の範囲内で、種々の変更を行うことが可能である。本発明の変更例を下記に例示する。

(H01) 前記実施例において、情報処理装置に取り付けられる電子回路基板を例示したがこれに限定されず、検査装置や実験装置等の組み込み基板等の任意の電子回路基板に適用可能である。

【0033】

(H02) 前記実施例において、導電材固定材4bは設けることが望ましいが、省略することも可能である。

(H03) 前記実施例において、ペアチップ6の取り替えを前提としない場合には、ペアチップ固定材4は実施例1の構成に限定されず、ペアチップをペアチップ配置部に直接固定する等の任意の固定方法を採用可能である。

(H04) 前記実施例において、導電材4aや導電材固定材4b、ペアチップ貼付材4cは、例示した材料に限定されず、任意の材料を使用可能である。

(H05) 前記実施例において、1つのペアチップ配置部2cに2つのペアチップ6を配置したが、これに限定されず、1つのみまたは3つ以上とすることも可能である。

【0034】

(H06) 前記実施例において、保護部材3を設けることが望ましいが、省略することも可能である。また、保護部材3を回転可能な構成としたが、これに限定されず、移動不能な状態で保持することも可能である。

【図面の簡単な説明】

【0035】

【図1】 図1は本発明の実施例1の電子回路基板の全体説明図である。

【図2】 図2は実施例1の電子回路基板の基板側端子の要部拡大説明図である。

【図3】 図3は実施例1の電子回路基板のペアチップの要部拡大説明図である。

【図4】 図4は実施例1の電子回路基板の作製方法の説明図であり、図4Aはペアチップが固定される前のペアチップ配置部の状態の説明図、図4Bは図4Aに示す状態からペアチップ配置部に導電材が接着された状態の説明図、図4Cは図4Bの正面図、図4Dは図4Bに示す状態から導電材固定材が接着された状態の説明図、図4Eは図4Dの正面図、図4Fは図4Dに示す状態からペアチップ貼付材が塗布された状態の説明図、図4Gは図4Fの正面図、図4Hは図4Fに示す状態からペアチップが貼り付けられ且つワイヤーボンディングがされた状態の説明図、図4Iは図4Hの正面図である。

【図5】 図5は実施例1の電子回路基板のペアチップの取外し方法の説明図であり、図5Aは取外しを開始する前の状態の説明図、図5Bは図5Aに示す状態からペアチップが取り外された状態の説明図、図5Cは図5Bに示す状態から導電材が剥離され且つ導電材固定材が除去された状態の説明図である。

【図6】 図6は、従来の半導体パッケージの説明図であり、図6Aは上面図、図6Bは断面図である。

【図7】 図7は図6に示す半導体パッケージにおいて、図6Bの破線部分の封止材を除去した状態の上面図である。

【図8】 図8は複数のペアチップが実装された半導体パッケージの説明図である。

【符号の説明】

【0036】

- 1 ... 電子回路基板、
- 2 ... 基板本体、
- 2 b ... 信号線、
- 2 c ... ペアチップ配置部
- 2 d ... 基板側端子、ボンディングパッド、
- 3 ... 保護部材、
- 4 a ... 導電材、
- 4 b ... 導電材固定材、

10

20

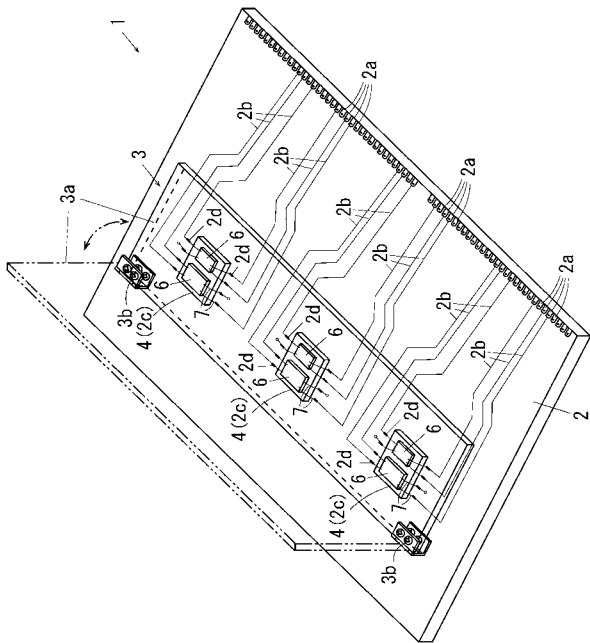
30

40

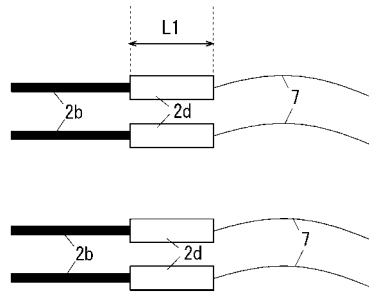
50

- 4 c ... ベアチップ貼付材、
- 6 ... ベアチップ、
- 6 a ... チップ側端子、
- 7 ... ボンディングワイヤー。

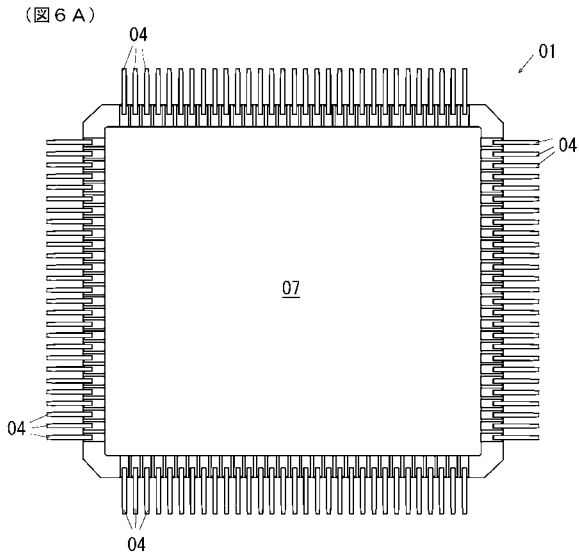
【 図 1 】



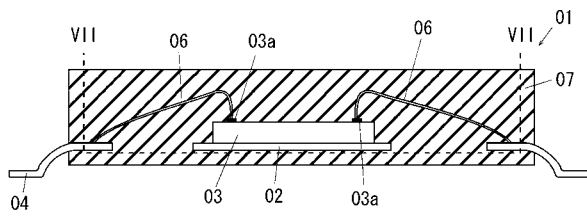
【 図 2 】



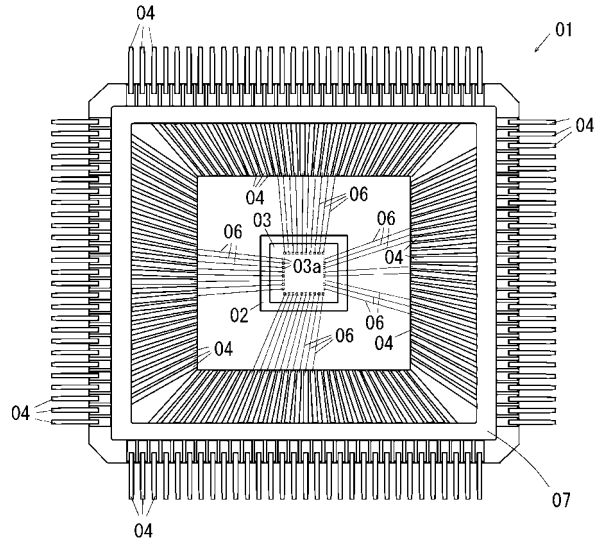
【 図 6 】



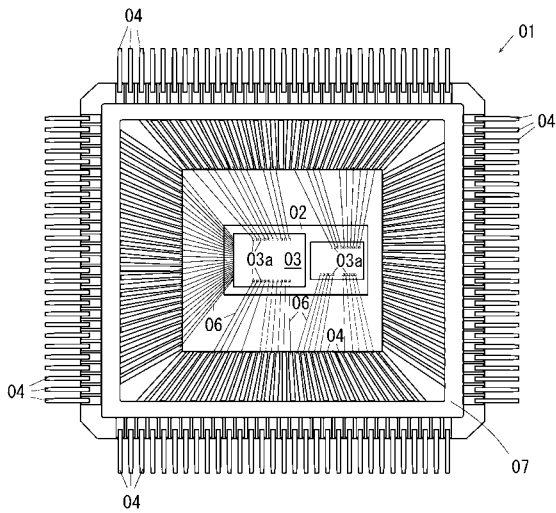
(図 6 B)



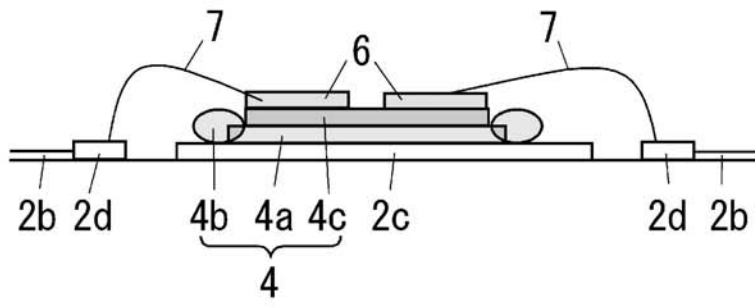
【 図 7 】



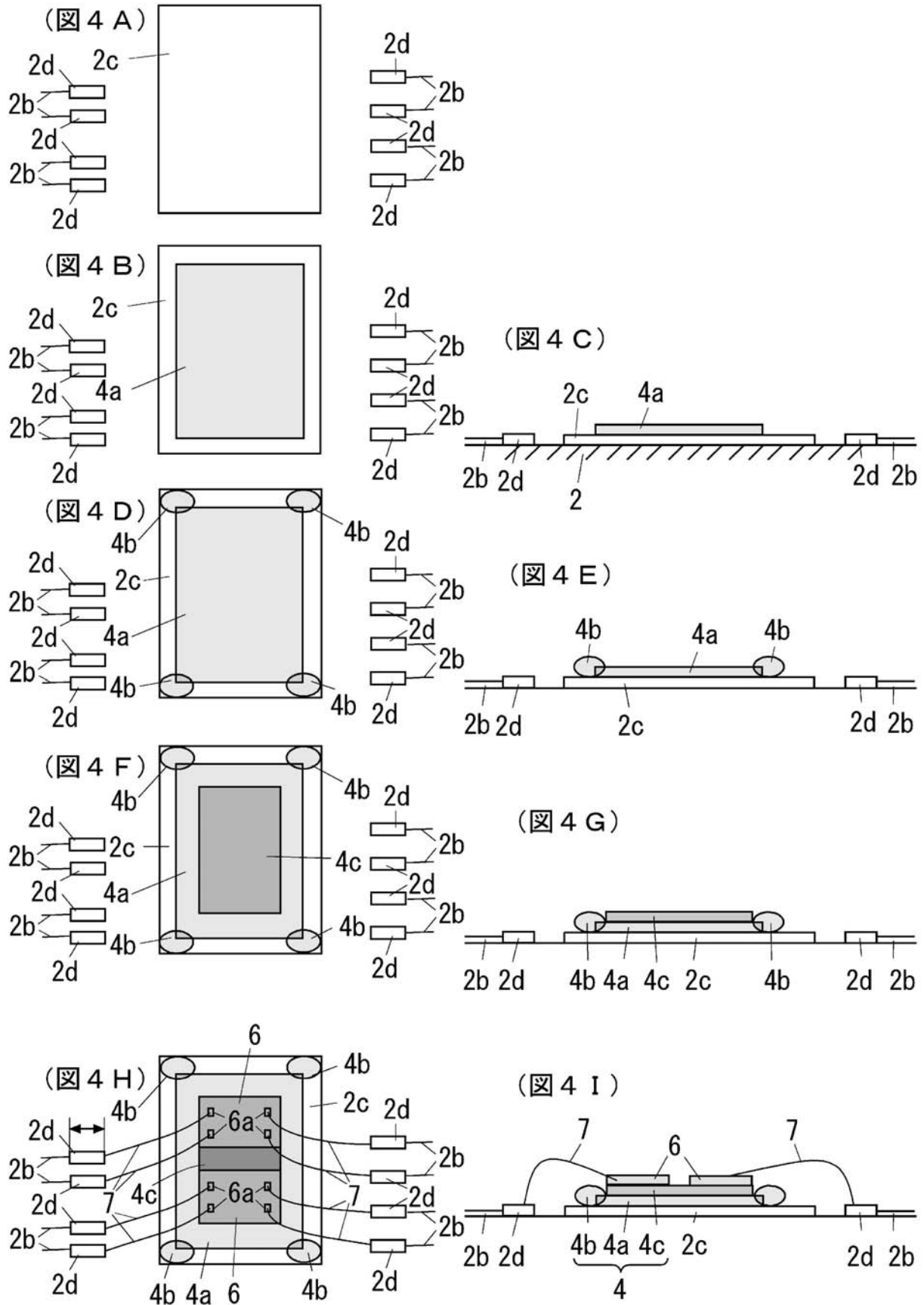
【 図 8 】



【 図 3 】

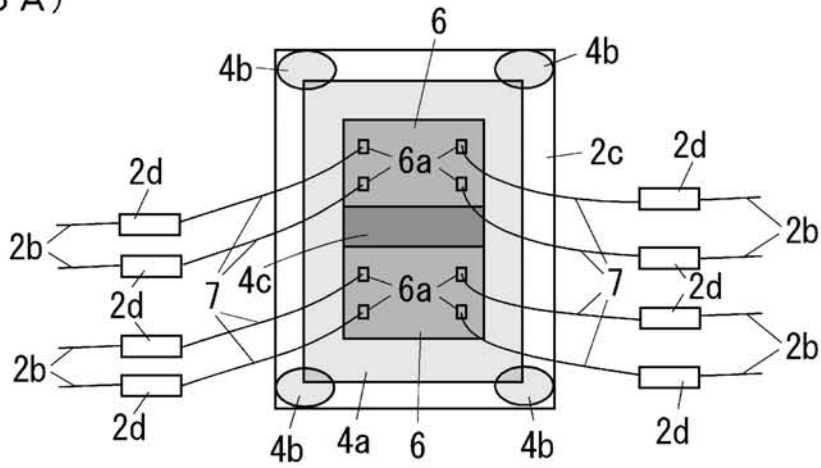


【 図 4 】

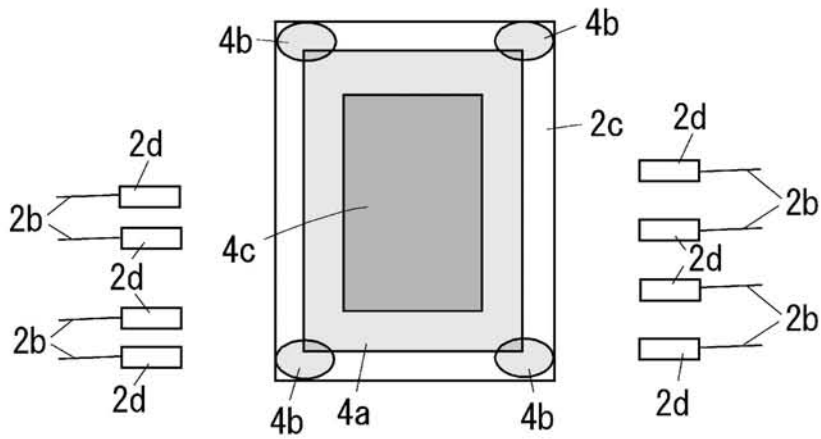


【 図 5 】

(図 5 A)



(図 5 B)



(図 5 C)

