

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5171595号
(P5171595)

(45) 発行日 平成25年3月27日 (2013.3.27)

(24) 登録日 平成25年1月11日 (2013.1.11)

(51) Int. Cl.	F I
G06F 17/50 (2006.01)	G06F 17/50 672R
G01R 31/28 (2006.01)	G06F 17/50 670H
G01R 31/3183 (2006.01)	G01R 31/28 F
	G01R 31/28 Q

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2008-317927 (P2008-317927)	(73) 特許権者	305027401 公立大学法人首都大学東京 東京都新宿区西新宿二丁目8番1号
(22) 出願日	平成20年12月15日 (2008.12.15)	(74) 代理人	100150876 弁理士 松山 裕一郎
(65) 公開番号	特開2010-140385 (P2010-140385A)	(72) 発明者	三浦 幸也 東京都日野市旭が丘六丁目6番地公立大学 法人首都大学東京日野キャンパス内
(43) 公開日	平成22年6月24日 (2010.6.24)	審査官	加舎 理紅子
審査請求日	平成23年9月27日 (2011.9.27)		

最終頁に続く

(54) 【発明の名称】 回路入力及び回路状態評価方法並びに評価装置

(57) 【特許請求の範囲】

【請求項1】

半導体素子を有する回路の入力端子に入力信号を印加する入力ステップと、
前記半導体素子からの出力信号に基づき、前記半導体素子の動作状態を算出する算出ステップと、

前記入力信号の変化量又は印加時間に応じて算出された前記動作状態を連続的に表示する表示ステップと、

詳細評価のために、前記表示ステップにおいて表示された動作状態のうち所定の領域の動作状態を選択する選択ステップと、

前記選択された動作状態を変化させるように、前記入力ステップにおける時間当たりの電圧の増加量又は減少量よりも電圧の増加量又は減少量の少ない入力信号を生成する生成ステップと、

を備えていることを特徴とする回路入力及び回路状態評価方法。

【請求項2】

前記半導体素子が電界効果トランジスタであり、
前記動作状態が、前記電界効果トランジスタの遮断領域、線形領域、飽和領域からなる動作領域の何れか一つであることを特徴とする請求項1記載の回路入力及び回路状態評価方法。

【請求項3】

予め直流電圧又は直流電流を入力信号として印加して、前記半導体素子の動作状態を予

測するDCステップを備えていることを特徴とする請求項1又は2に記載の回路入力及び回路状態評価方法。

【請求項4】

半導体素子を有する回路の入力端子に入力信号を印加する入力部と、
前記半導体素子からの出力信号に基づき、前記半導体素子の動作状態を算出する算出部と、

前記入力信号の変化量又は印加時間に応じて算出された前記動作状態を連続的に表示する表示部と、

詳細評価のために前記表示ステップにおいて表示された動作状態のうち所定の領域の動作状態を選択する選択部と、

前記選択された動作状態を変化させるように、前記入力部で最初に入力した入力信号の時間当たりの電圧の増加量又は減少量よりも電圧の増加量又は減少量の少ない入力信号を生成する生成部と、

を備えていることを特徴とする回路入力及び回路状態評価装置。

【請求項5】

コンピュータを、

半導体素子を有する回路の入力端子に入力信号を印加する入力手段と、

前記半導体素子からの出力信号に基づき、前記半導体素子の動作状態を算出する算出手段と、

前記入力信号の変化量又は印加時間に応じて算出された前記動作状態を連続的に表示する表示手段と、

詳細評価のために前記表示ステップにおいて表示された動作状態のうち所定の領域の動作状態を選択する選択手段と、

連続的に表示された前記動作状態から選択された少なくとも一部の動作状態を変化させるように、前記入力手段で最初に入力した入力信号における時間当たりの電圧の増加量又は減少量よりも電圧の増加量又は減少量の少ない新たな入力信号を生成する生成手段と、
として機能させることを特徴とする回路入力及び回路状態評価プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子を有する回路の回路入力及び回路状態評価方法並びに評価装置に関する。

【背景技術】

【0002】

従来、半導体素子を有する電気回路や電子回路のアナログ動作解析を行う際には、SPICE (Simulation Program with Integrated Circuit Emphasis) 等の回路シミュレータを使用している。この場合、シミュレーションから得られた波形データ若しくは数値データを参照して回路状態を評価している。

【0003】

しかし、波形データ若しくは数値データのみから回路状態を評価するためには、熟練を要する。そこで、評価を容易にするためにシミュレーション結果を視覚化する方法が種々紹介されている(例えば、非特許文献1、2参照)。これらの方法によれば、例えばMOS (Metal Oxide Semiconductor) トランジスタの直流特性として知られる、遮断領域、線形領域、飽和領域を視覚化できる。その結果、MOSトランジスタを含む故障のない正常回路の動作領域と故障時の動作領域とを比較して、その差の有無から故障の有無を解析することができる。

【非特許文献1】 Y. Miura, "Analysis of Analog and Mixed-Signal Circuits by an Operation-Re

10

20

30

40

50

gion Model," I E I C E Trans. INF. & SYST., Vol. E85-D, No. 10, pp. 1551-1557 October 2002.

【非特許文献2】Yukiya Miura and Daisuke Kato, "Analysis and Testing of Analog and Mixed-Signal Circuits by an Operation-Region Model: A Case Study of Application and Implementation," Proc. 18th IEEE Int. Symp. on Defect and Fault Tolerance in VLSI Systems, pp. 279-286, November 2003.

【発明の開示】

10

【発明が解決しようとする課題】

【0004】

しかしながら、上記従来の評価方法及び評価装置であっても、回路入力信号の波形パターンによっては定量的な評価が困難な場合がある。本発明は上記事情に鑑みて成されたものであり、回路入力と回路状態との関係を定量的かつ詳細に評価することができる回路入力及び回路状態評価方法並びに評価装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明は、上記課題を解決するため、以下の手段を採用する。
本発明に係る回路入力及び回路状態評価方法は、半導体素子を有する回路の入力端子に
入力信号を印加する入力ステップと、前記半導体素子からの出力信号に基づき、前記半導体
素子の動作状態を算出する算出ステップと、前記入力信号の変化量又は印加時間に応じて
算出された前記動作状態を連続的に表示する表示ステップと、詳細評価のために前記動作
状態から少なくとも一部の動作状態を一定のアルゴリズムに従って選択する選択ステップ
と、前記選択された動作状態を変化させる新たな入力信号を生成する生成ステップと、を
備えていることを特徴とする。

20

【0006】

また、本発明に係る回路入力及び回路状態評価方法は、前記回路入力及び回路状態評価
方法であって、前記対象半導体素子が電界効果トランジスタであり、前記動作状態が、前
記電界効果トランジスタの遮断領域、線形領域、飽和領域からなる動作領域の何れか一つ
であることを特徴とする。

30

【0007】

また、本発明に係る回路入力及び回路状態評価方法は、前記回路入力及び回路状態評価
方法であって、予め直流電圧又は直流電流を入力信号として印加して、前記半導体素子の
動作状態を予測するDCステップを備えていることを特徴とする。

【0008】

また、本発明に係る回路入力及び回路状態評価装置は、半導体素子を有する回路の入力端
子に入力信号を印加する入力部と、前記半導体素子からの出力信号に基づき、前記半導体
素子の動作状態を算出する算出部と、前記入力信号の変化量又は印加時間に応じて算出さ
れた前記動作状態を連続的に表示する表示部と、詳細評価のために前記動作状態から少な
くとも一部の動作状態を一定のアルゴリズムに従って選択する選択部と、前記選択された
動作状態を変化させる新たな入力信号を生成する生成部と、を備えていることを特徴とす
る。

40

【0009】

また、本発明に係る回路入力及び回路状態評価プログラムは、コンピュータを、半導体
素子を有する回路の入力端子に入力信号を印加する入力手段と、前記半導体素子からの出
力信号に基づき、前記半導体素子の動作状態を算出する算出手段と、前記入力信号の变化
量又は印加時間に応じて算出された前記動作状態を連続的に表示する表示手段と、連続的
に表示された前記動作状態から選択された少なくとも一部の動作状態を変化させる新たな
入力信号を生成する生成手段と、として機能させることを特徴とする。

50

【発明の効果】**【0010】**

本発明によれば、回路入力と回路状態との関係を定量的かつ詳細に評価することができる。

【発明を実施するための最良の形態】**【0011】**

本発明に係る第1の実施形態について図1から図7を参照して説明する。

本実施形態に係る回路入力及び回路状態評価装置1は、図1に示すように、例えば、PMOSトランジスタM11、M21及びNMOSトランジスタM12、M22を有するトランジスタ回路2の回路状態評価に使用される。

10

【0012】

この回路入力及び回路状態評価装置1は、トランジスタ回路2の入力端子10に回路入力として入力電圧（入力信号）を印加する入力部11と、各MOSトランジスタM11、M12、M21、M22からの出力電圧（出力信号）に基づき、これらの動作状態を算出する算出部12と、入力電圧の変化量又は印加時間に応じて算出された動作状態を連続的に表示する表示部13と、詳細評価のために表示された動作状態から少なくとも一部の動作状態を一定のアルゴリズムに従って選択する選択部14と、選択された動作状態を変化させる新たな入力信号を生成する生成部15と、を備えている。

【0013】

トランジスタ回路2は、PMOSトランジスタM11のソースが電源端子（VDD）と接続され、ゲートは入力端子10と接続されている。NMOSトランジスタM12のソースはグランド（GND）と接続され、ドレインはPMOSトランジスタM11のドレインと接続されてノード20を構成している。PMOSトランジスタM21のソースは電源端子（VDD）と接続されている。NMOSトランジスタM22のソースはグランド（GND）と接続され、ドレインはPMOSトランジスタM21のドレインと接続されてノード25を構成している。PMOSトランジスタM11及びNMOSトランジスタM12のドレインと、PMOSトランジスタM21及びNMOSトランジスタM22のゲートと接続されている。

20

【0014】

ここで、MOSトランジスタの場合、表1に示すゲート-ソース間の電圧（ V_{gs} ）、ドレイン-ソース間の電圧（ V_{ds} ）、及びしきい値電圧（ V_t ）の大小関係から、トランジスタの動作状態は、遮断領域（C）、線形領域（L）、飽和領域（S）の何れかの状態となる。

30

【0015】

【表 1】

	n M O S	p M O S
遮断領域 Cut-OFF (C)	$I_d=0$ $V_{gs}<V_{tn}$	$I_d=0$ $V_{gs}>V_{tp}$
線形領域 Linear (L)	$V_{gs}>V_{tn}$ $V_{ds}<V_{gs}-V_{tn}$	$V_{gs}<V_{tp}$ $V_{ds}>V_{gs}-V_{tp}$
飽和領域 Saturation (S)	$V_{gs}>V_{tn}$ $V_{ds}>V_{gs}-V_{tn}$	$V_{gs}<V_{tp}$ $V_{ds}<V_{gs}-V_{tp}$

10

【 0 0 1 6 】

本実施形態に係るトランジスタ回路 2 の場合、NMOS トランジスタ M 1 1 及び PMOS トランジスタ M 1 2、並びに NMOS トランジスタ M 2 1 及び PMOS トランジスタ M 2 2 は、それぞれ CMOS NOT ゲートを構成している。この場合の CMOS NOT ゲートの直流特性を図 2 に示す。

20

【 0 0 1 7 】

トランジスタが正常な場合、例えば、図 2 の A 領域では、PMOS トランジスタは線形領域 (L)、NMOS トランジスタは遮断領域 (C) となる。つまり、PMOS トランジスタは ON、NMOS トランジスタは OFF 状態となる。逆に E 領域では、PMOS トランジスタは遮断領域 (C)、NMOS トランジスタは線形領域 (L) となる。つまり、PMOS トランジスタは OFF、NMOS トランジスタは ON 状態となる。

【 0 0 1 8 】

一方、図 2 の B ~ D 領域の状態も存在し得る。B 領域では、PMOS トランジスタは線形領域 (L)、NMOS トランジスタは飽和領域 (S) となる。C 領域では、何れも飽和領域 (S) となる。D 領域では、PMOS トランジスタは飽和領域 (S)、NMOS トランジスタは線形領域 (L) となる。本実施形態に係る回路入力及び回路状態評価方法は、上述した MOS トランジスタの特性を利用する。

30

【 0 0 1 9 】

この回路入力及び回路状態評価方法は、図 3 に示すように、トランジスタ回路 2 の入力端子 1 0 に入力電圧を印加する入力ステップ (S 0 1) と、各 MOS トランジスタ M 1 1、M 1 2、M 2 1、M 2 2 からの出力電圧 (出力信号) に基づき、各 MOS トランジスタ M 1 1、M 1 2、M 2 1、M 2 2 の動作状態を算出する算出ステップ (S 0 2) と、入力電圧の変化量又は印加時間に応じて算出された動作状態を連続的に表示する表示ステップ (S 0 3) と、詳細評価のために表示された動作状態から少なくとも一部の動作状態を一定のアルゴリズムに従って選択する選択ステップ (S 0 4) と、選択された動作状態を変化させる新たな入力信号を生成する生成ステップ (S 0 5) と、を備えている。

40

【 0 0 2 0 】

まず、入力ステップ (S 0 1) では、図 4 の上段に示すように、0 から電源電圧まで時間とともに直線的に増加する入力電圧を入力端子 1 0 に印加する。このとき、各 MOS トランジスタ M 1 1、M 1 2、M 2 1、M 2 2 からの出力電圧も時間とともに変化する。

【 0 0 2 1 】

次の算出ステップ (S 0 2) では、各 MOS トランジスタ M 1 1、M 1 2、M 2 1、M 2 2 における V_{gs} 、 V_{ds} 、 V_t の大小関係から、入力電圧に対応した動作領域を表 1

50

に示す関係に基づき算出する。

【0022】

表示ステップ(S03)では、図5の右段に示すように、算出された動作領域を時系列に沿って連続的に表示する。

【0023】

ここで、選択ステップ(S04)に移行し、一定のアルゴリズムによって、MOSトランジスタM11, M12がともに飽和領域(S)となる図5の右段におけるP領域が、詳細評価が必要な領域として選択される。その後、生成ステップ(S05)に移行する。

【0024】

生成ステップ(S05)では、実際にP領域の表示範囲を広げるため、図4の下段に示すように変化した入力電圧パターンを生成する。そして、この入力電圧に対して、上記ステップ(S01)からステップ(S03)を再度繰り返すことによって、図5の左段に示すように、P領域を拡大したQ領域を得る。

【0025】

このQ領域をさらに拡大して詳細を評価する必要がある場合には、選択ステップ(S04)及び生成ステップ(S05)にて、さらに別の入力電圧を生成する。

【0026】

こうして、図6の上段に示す入力電圧に対して、図6の下段に示す入力電圧を生成して印加することによって、各MOSトランジスタM11, M12, M21, M22の動作領域表示も、図7に示すように、右段のQ領域が左段のR領域の状態に拡大変化する。この状態で回路状態を評価する。一方、一定のアルゴリズムに基づき詳細評価の必要がない場合には、選択ステップ(S04)の後、終了する。

【0027】

この回路入力及び回路状態評価方法及び装置によれば、各MOSトランジスタM11, M12, M21, M22の動作状態を入力電圧の変化量又は印加時間に応じて連続的に表示するので、動作状態の変化が視覚的に理解しやすくなる。そして、新たな入力電圧を印加することによって、詳細な評価のために選択された少なくとも一部の動作状態を変化させることができ、変化の前後の対比を容易に行うことができる。したがって、回路入力と回路状態との関係を定量的かつ詳細に評価することができる。

【0028】

特にMOSトランジスタの場合、表1に示すようなゲート-ソース間の電圧 V_{ds} と、ドレイン-ソース間の電圧 V_{gs} と、しきい値電圧 V_t との関係から、遮断領域(C)、線形領域(L)、飽和領域(S)を算出でき、回路状態を遮断領域(C)、線形領域(L)、飽和領域(S)にて評価することができる。

【0029】

次に、本発明の第2の実施形態について、図8から図13を参照して説明する。

本実施形態に係る回路入力及び回路状態評価装置は、第1の実施形態に係る装置1と同一である。

【0030】

一方、本実施形態に係る回路入力及び回路状態評価方法と、第1の実施形態との違いは、本実施形態に係る回路入力及び回路状態評価方法が、予め直流電圧又は直流電流を入力信号として印加して、前記半導体素子の動作状態を予測するDCステップ(ST1)をさらに備えているとした点である。

【0031】

本実施形態にて評価する回路は、例えば、図8に示すシュミットトリガー回路30である。このシュミットトリガー回路30は、PMOSトランジスタM31, M33, M35、及びNMOSトランジスタM32, M34, M36を有する。

【0032】

PMOSトランジスタM31のソースは電源端子(VDD)と接続され、ゲートは入力端子40と接続されている。NMOSトランジスタM32のソースはグランド(GND)と

10

20

30

40

50

接続され、ドレインはPMOSトランジスタM31のドレインと接続されてノード50を構成している。PMOSトランジスタM33のゲートは出力ノード60と接続され、ソースは電源端子(VDD)と接続されている。NMOSトランジスタM34のゲートは出力ノード60と接続され、ソースはグランド(GND)と接続されている。PMOSトランジスタM33のドレインとNMOSトランジスタM34のドレインとは、PMOSトランジスタM35及びNMOSトランジスタM36のゲートと接続されている。PMOSトランジスタM35のソースは電源端子(VDD)と接続され、ドレインは出力ノード60を介してPMOSトランジスタM33のゲートと接続されている。NMOSトランジスタM36のソースはグランド(GND)と接続され、ドレインはPMOSトランジスタM35のドレインと接続されてさらに出力ノード60となっている。

10

【0033】

この回路入力及び回路状態評価方法は、図9に示すように、予め直流電圧を入力電圧として印加して、各MOSトランジスタM31, M32, M33, M34, M35, M36の動作状態を予測するDCステップ(ST1)と、第1の実施形態と同様に、トランジスタ回路30の入力端子40に入力電圧を印加する入力ステップ(S01)と、各MOSトランジスタM31, M32, M33, M34, M35, M36からの出力電圧(出力信号)に基づき、動作状態を算出する算出ステップ(S02)と、入力電圧の変化量又は印加時間に応じて算出された動作状態を連続的に表示する表示ステップ(S03)と、詳細評価のために表示された動作状態から少なくとも一部の動作状態を一定のアルゴリズムに従って選択する選択ステップ(S04)と、選択された動作状態を変化させる新たな入力信号を生成する生成ステップ(S05)と、を備えている。なお、DCステップ(ST1)では、トランジスタ回路によっては直流電圧の代わりに直流電流を入力しても構わない。

20

【0034】

DCステップ(ST1)では、第1の実施形態と同様の入力ステップ(S01)にて、図10(a)に示すような0から電源電圧まで直線的に増加する入力電圧を入力端子40に印加する。そして、第1の実施形態と同様の算出ステップ(S02)及び表示ステップ(S03)を実施して、図10(b)に示すように、各MOSトランジスタM31, M32, M33, M34, M35, M36の出力電圧から得られた動作領域を表示させる。

【0035】

同様に、図11(a)に示すように、電源電圧から0まで直線的に増加する入力電圧を入力端子40に印加する。そして、同様に算出ステップ(S02)及び表示ステップ(S03)を実施して、図11(b)に示すように、各MOSトランジスタM31, M32, M33, M34, M35, M36の出力電圧から得られた動作領域を表示させる。こうして、入力ステップ(S01)における入力電圧とこのときの各MOSトランジスタM31, M32, M33, M34, M35, M36の出力電圧との関係を予め把握する。

30

【0036】

以降は、第1の実施形態と同様に、入力ステップ(S01)、算出ステップ(S02)、表示ステップ(S03)、選択ステップ(S04)、生成ステップ(S05)を実施する。こうして、図12の上段から下段に示すように入力電圧を変化させることによって、図13に示すように、S1, S2領域を拡大したT1, T2領域にて回路状態の詳細について評価する。

40

【0037】

この回路入力及び回路状態評価方法及び装置によれば、第1の実施形態と同様の効果だけでなく、MOSトランジスタへのどのような入力電圧によりどのような出力電圧が得られるかを予め把握しておくことができる。したがって、評価を効率よく行うことができる。

【0038】

なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

例えば、トランジスタはMOS型に限らず、バイポーラ型でも構わない。また、ラン

50

ジスタに限らず、ダイオードや抵抗等の他の半導体素子でも構わない。さらに、入力信号及び出力信号は電圧に限らず電流でもよく、回路はデジタル回路、アナログ回路の何れでも構わない。

【0039】

また、回路入力及び回路状態評価方法及び装置を実現するプログラムをコンピュータ読み取り可能な記録媒体に記録し、この記録媒体に記録されたプログラムを実行することもできる。

【図面の簡単な説明】

【0040】

【図1】本発明の第1の実施形態に係る回路入力及び回路状態評価装置及び評価対象回路のブロック図である。 10

【図2】本発明の第1の実施形態に係る回路入力及び回路状態評価方法及び装置におけるMOSトランジスタの動作領域を示す説明図である。

【図3】本発明の第1の実施形態に係る回路入力及び回路状態評価方法を示すフロー図である。

【図4】本発明の第1の実施形態に係る回路入力及び回路状態評価方法及び装置において、当初の及び新たに生成後のそれぞれの入力電圧を示すグラフである。

【図5】本発明の第1の実施形態に係る回路入力及び回路状態評価方法及び装置におけるMOSトランジスタの出力電圧から動作領域を算出した結果を示すグラフである。

【図6】本発明の第1の実施形態に係る回路入力及び回路状態評価方法及び装置において、当初の及び新たに生成後のそれぞれの入力電圧を示すグラフである。 20

【図7】本発明の第1の実施形態に係る回路入力及び回路状態評価方法及び装置におけるMOSトランジスタの出力電圧から動作領域を算出した結果を示すグラフである。

【図8】本発明の第2の実施形態に係る回路入力及び回路状態評価方法及び装置における評価対象回路のブロック図である。

【図9】本発明の第2の実施形態に係る回路入力及び回路状態評価方法を示すフロー図である。

【図10】本発明の第2の実施形態に係る回路入力及び回路状態評価方法及び装置において、当初の及び新たに生成後のそれぞれの入力電圧を示すグラフである。

【図11】本発明の第2の実施形態に係る回路入力及び回路状態評価方法及び装置におけるMOSトランジスタの出力電圧から動作領域を算出した結果を示すグラフである。 30

【図12】本発明の第2の実施形態に係る回路入力及び回路状態評価方法及び装置において、当初の及び新たに生成後のそれぞれの入力電圧を示すグラフである。

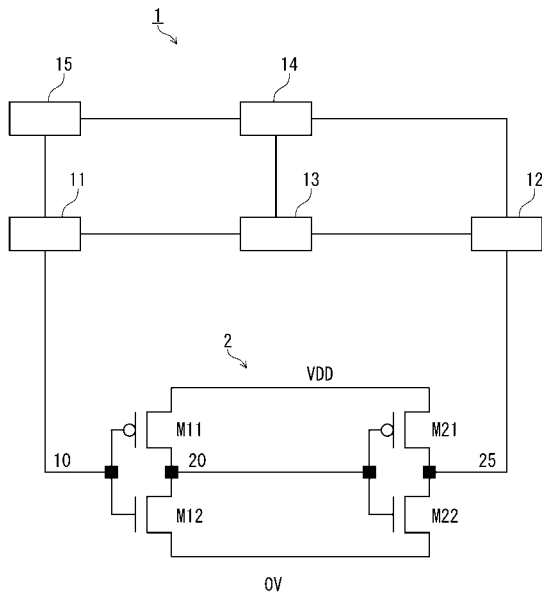
【図13】本発明の第2の実施形態に係る回路入力及び回路状態評価方法及び装置におけるMOSトランジスタの出力電圧から動作領域を算出した結果を示すグラフである。

【符号の説明】

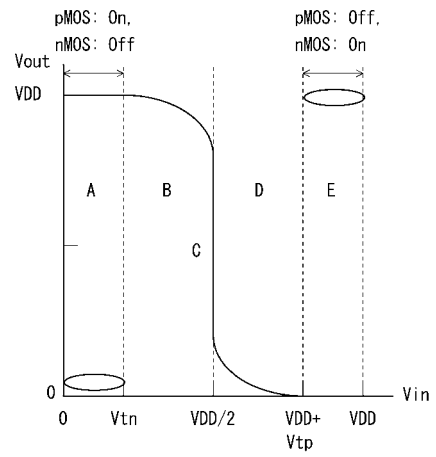
【0041】

- 1 回路入力及び回路状態評価装置
- 2, 30 トランジスタ回路(回路)
- 11 入力部
- 12 算出部
- 13 表示部
- 14 選択部
- 15 生成部
- M11, M12, M21, M22, M31, M32, M33, M34, M35, M36
- MOSトランジスタ(半導体素子)

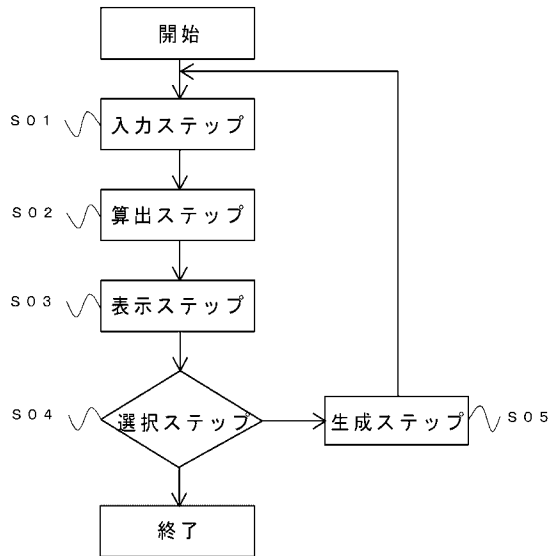
【図1】



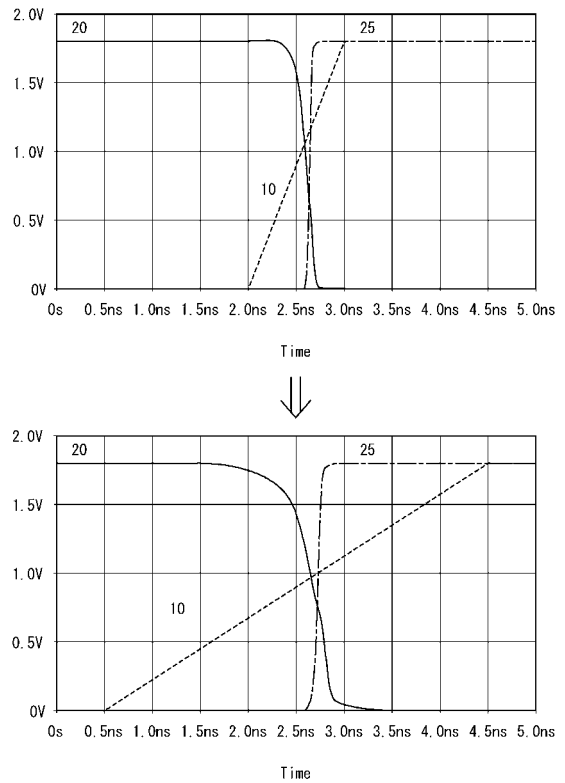
【図2】



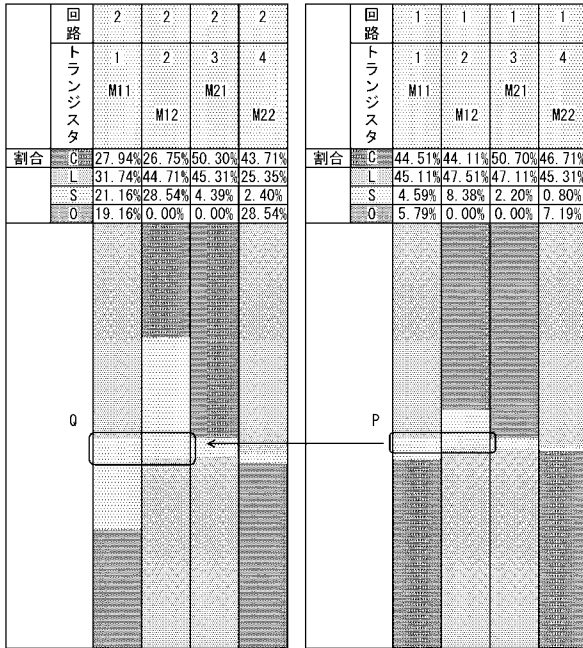
【図3】



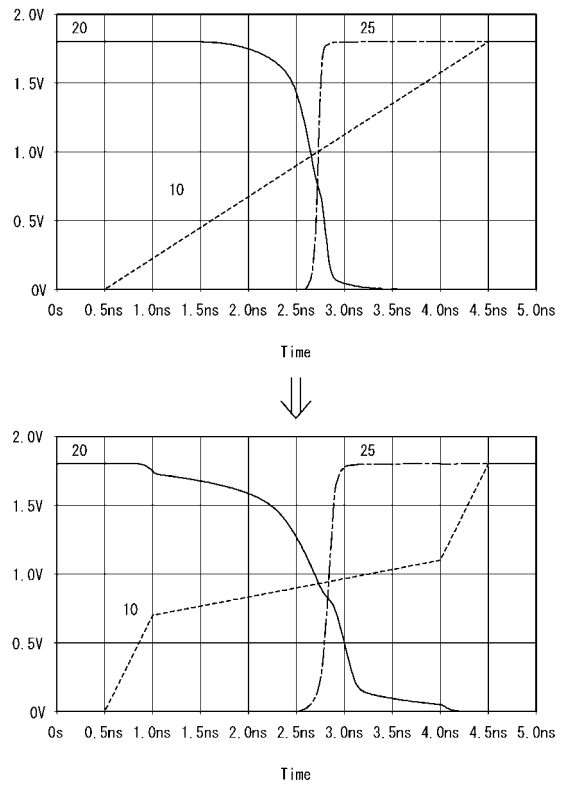
【図4】



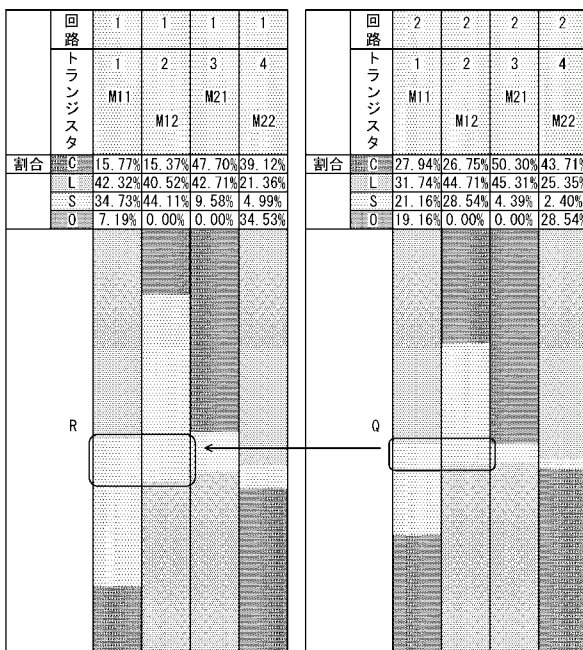
【図5】



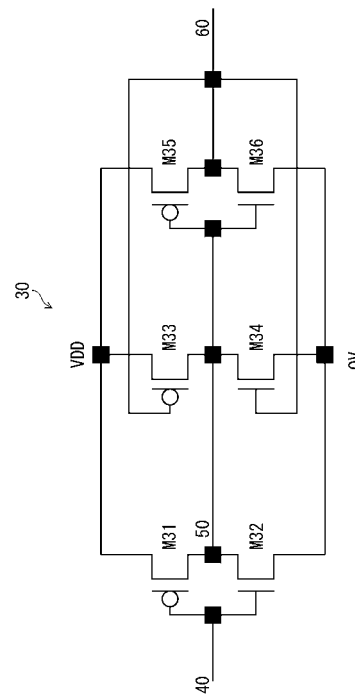
【図6】



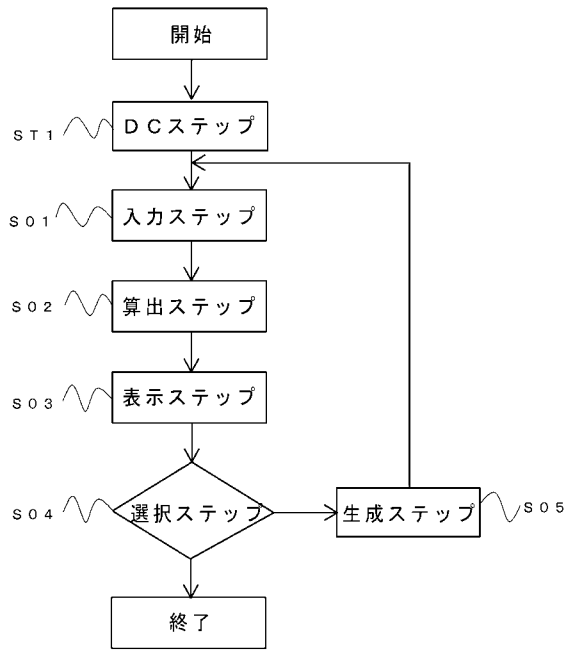
【図7】



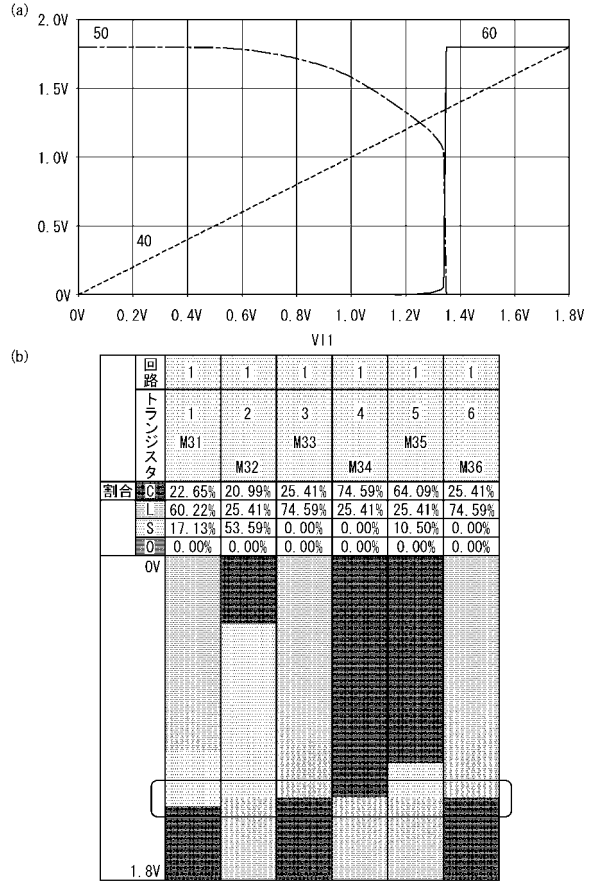
【図8】



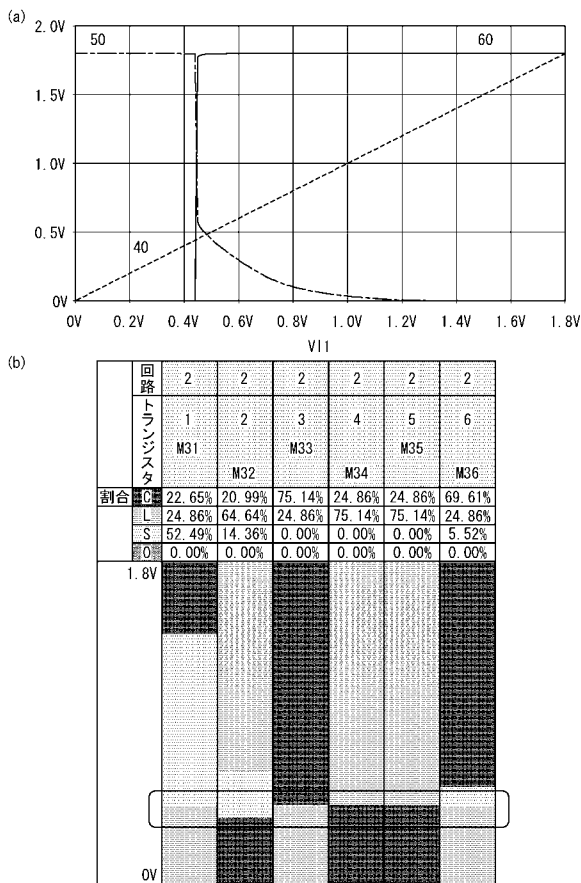
【図9】



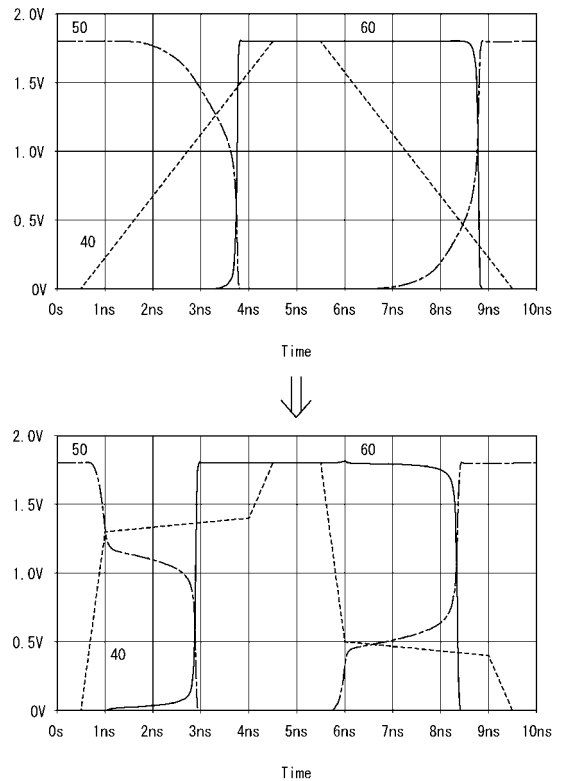
【図10】



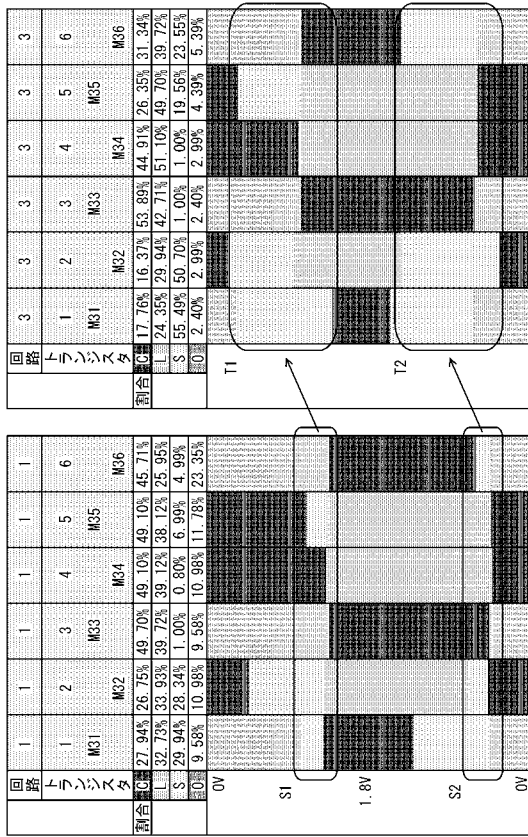
【図11】



【図12】



【 図 1 3 】



フロントページの続き

(56)参考文献 特表2007-521475(JP,A)

特開2004-213267(JP,A)

Yukiya Miura et al., Analysis and Testing of Analog and Mixed-Signal Circuits by an Operation-Region Model: A Case Study of Application and Implementation, Proceedings of the 18th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, 2003年11月3日, p.279-286

(58)調査した分野(Int.Cl., DB名)

G06F 17/50

G01R 31/28

G01R 31/3183

CiNii

JSTPlus(JDreamII)