

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第4143730号  
(P4143730)**

(45) 発行日 **平成20年9月3日(2008.9.3)**

(24) 登録日 平成20年6月27日(2008.6.27)

(51) Int.Cl.		F I		
<b>HO 1 L 27/146 (2006.01)</b>		HO 1 L 27/14		A
<b>HO 1 L 31/10 (2006.01)</b>		HO 1 L 31/10		A

請求項の数 7 (全 9 頁)

<p>(21) 出願番号 特願2006-548983 (P2006-548983)</p> <p>(86) (22) 出願日 平成17年12月20日 (2005.12.20)</p> <p>(86) 国際出願番号 PCT/JP2005/023309</p> <p>(87) 国際公開番号 W02006/068106</p> <p>(87) 国際公開日 平成18年6月29日 (2006.6.29)</p> <p>審査請求日 平成19年7月27日 (2007.7.27)</p> <p>(31) 優先権主張番号 特願2004-369895 (P2004-369895)</p> <p>(32) 優先日 平成16年12月21日 (2004.12.21)</p> <p>(33) 優先権主張国 日本国(JP)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 304027349 国立大学法人豊橋技術科学大学 愛知県豊橋市天伯町雲雀ヶ丘1-1</p> <p>(74) 代理人 100095577 弁理士 小西 富雅</p> <p>(74) 代理人 100114362 弁理士 萩野 幹治</p> <p>(72) 発明者 澤田 和明 愛知県豊橋市王ヶ崎町上原1-3</p> <p>(72) 発明者 丸山結城 愛知県豊橋市橋良町東郷20-4 ハイッ サーティワン2-E</p> <p>審査官 柴山 将隆</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 受光素子

(57) 【特許請求の範囲】

【請求項1】

第1の導電型にドーピングされた半導体基板と、

前記半導体基板に絶縁膜を介して形成される透光性の第1の電極膜と、

前記半導体基板において前記第1の電極膜下の電荷獲得領域であって、該電荷獲得領域は前記半導体基板よりも高い濃度で前記第1の導電型にドーピングされる電荷獲得領域と、

前記半導体基板において該電荷獲得領域へ連続し、前記半導体基板とは異なる第2の導電型にドーピングされた第1の拡散層であって、前記第1の電極膜へ結線された第1の拡散層とを備え、

前記第1の電極膜を通過した光により前記電荷獲得領域で獲得された電荷が前記前記第1の拡散層へ蓄積された結果、該第1の拡散層の電位が変化し、その電位変化を前記第1の電極膜へ帰還して、該第1の電極膜の電位を前記第1の拡散層の電位変化と同方向へ変化させる、ことを特徴とする受光素子。

【請求項2】

前記第1の電極膜と前記第1の拡散層との電位が等しい、ことを特徴とする請求項1に記載の受光素子。

【請求項3】

前記半導体基板はシリコン基板であり、前記第1の導電型はp型であり、前記第2の導電型はn型である、ことを特徴とする請求項2に記載の受光素子。

【請求項4】

10

20

前記第1の電極膜は不純物が添加された多結晶シリコンからなる、ことを特徴とする請求項1～3のいずれかに記載の受光素子。

【請求項5】

前記受光素子には、前記第2の導電型にドーブされた第2の拡散層が更に備えられ、該第2の拡散層と前記第1の拡散層との間に転送ゲートが形成されている、ことを特徴とする請求項1～4に記載の受光素子。

【請求項6】

請求項1～請求項5のいずれかに記載の受光素子が画素として用いられる、ことを特徴とするイメージセンサ。

【請求項7】

第1の導電型にドーブされた半導体基板と、

前記半導体基板に絶縁膜を介して形成される透光性の第1の電極膜と、

前記半導体基板において前記第1の電極膜下の電荷獲得領域であって、該電荷獲得領域は前記半導体基板よりも高い濃度で前記第1の導電型にドーブされる電荷獲得領域と、

前記半導体基板において該電荷獲得領域へ連続し、前記半導体基板とは異なる第2の導電型にドーブされた第1の拡散層とを備える受光素子の制御方法であって、

前記第1の電極膜を通過した光により前記電荷獲得領域で獲得された電荷が前記第1の拡散層へ蓄積された結果、該第1の拡散層の電位が変化し、その電位変化を前記第1の電極膜へ帰還して、該第1の電極膜の電位を前記第1の拡散層の電位変化と同方向へ変化させることにより、前記受光素子のダイナミックレンジを調整することを特徴とする受光素子の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は受光素子に関する。更に詳しくは、フォトゲート型受光素子のダイナミックレンジを拡大することに関する。

【背景技術】

【0002】

近年では以下のように様々な非線形読み出しによる広ダイナミックレンジのセンサが実用化されている。

MOS(Metal Oxide Semiconductor)特性の非線形部分を使用する方法である。

また、感度の異なるセンサを複数使用し、合計して1画素とする方法がある。

また、蓄積時間を可変する方法などがある。

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上記のMOS特性の非線形部分を使用する方法では、埋め込みフォトダイオード構造がとれないため暗電流を小さくできないことと、低照度領域で残像が残る。

また、感度の異なるセンサを複数使用し、合計して1画素とする方法では、1画素の面積が大きくなる。

また、蓄積時間を可変する方法では読み出し回路が複数なため回路部が大きくなる。

本発明は、画素内で配線を工夫し、受光部のしきい値を適切に設定することで、画素毎に受光部の自己抑制作用を持つ広ダイナミックレンジのイメージセンサを提供する。

【課題を解決するための手段】

【0004】

本発明の第1の局面は上記目的を達成するために次なる構成を採用する。即ち、

半導体基板と、

前記半導体基板に絶縁膜を介して形成される、入射光を透過するとともに、ゲート電圧が印加される第1の電極膜と、

前記第1の電極膜に隣接した第1の拡散層とを備え、

10

20

30

40

50

前記第1の電極膜と前記第1の拡散層とが結線されている、ことを特徴とする受光素子。

【0005】

このように構成された受光素子によれば、第1の電極膜を通過した光により第1の電極膜下の電荷獲得領域において生成・獲得された電荷はそれに隣接する第1の拡散層の井戸へ落ち込んでここに蓄積される。その結果、第1の拡散層の電位が変化する。この電位の変化が結線を介して第1の電極膜へ帰還されると、その下に位置する電荷獲得領域の電位が変化し、電荷獲得領域の電荷を獲得効率が低下する。これにより、第1の拡散層の井戸に長時間にわたり電荷の蓄積が可能となる。よって受光素子としてダイナミックレンジの拡大が実現されることとなる。

10

【0006】

第2の局面の発明によれば、既述の第1の局面の受光素子において、半導体基板は第1の導電型にドーブされ、第1の拡散層は半導体基板とは異なる第2の導電型にドーブされ、第1の電極膜下の半導体基板の部分は他の半導体基板よりも高い濃度で第1の導電型にドーブされている。

第1の電極膜下の領域、即ち電荷獲得領域を高い濃度でドーブすることにより、第1の拡散層の電位変化に応じてより確実に電荷獲得能に変化を与えられることとなる。

【0007】

第3の局面の発明によれば、第2の局面の発明において、半導体基板をシリコン基板とし、第1の導電型及び第2の導電型をそれぞれp型、n型とした。

20

かかる構成を採用することにより電荷として電子を利用できることとなる。

【0008】

第4の局面の発明によれば、第1の電極膜を不純物が添加された多結晶シリコンからなるものとした。これにより、汎用的な半導体製造工程を利用して受光素子を製造することができる。

【0009】

第5の局面の発明によれば、第1～第4の局面の発明において、第2の拡散層が更に備えられ、該第2の拡散層と前記第1の拡散層との間に転送ゲートが形成される。

かかる構成により、転送ゲートの電圧を操作することで、電荷蓄積用の蓄積井戸に蓄積された電荷を電圧変換用の蓄積井戸に転送（移動）させることができる。これにより、CDS（相関二重サンプリング）の適用が容易になり、もって雑音の除去が可能となる。

30

【0010】

既述のように第1～第5の局面の発明として規定される受光素子を1つの画素として1次元若しくは多次元に配列することでイメージセンサが構成される。

この発明において、電荷とは、電子若しくは正孔をいう。電荷を獲得する場合は第3の局面の発明のようにp型シリコン半導体基板を用いる。そして、n型不純物をドーブした拡散層を用いることにより、電荷獲得領域を高電位側障壁として拡散層が蓄積井戸となる。かかる構成においては、拡散層へ電子が蓄積するとその電位が低下する。その結果、拡散層に結線されている第1の電極膜の電位が低下し、もって電荷獲得領域のエネルギー準位が高くなる。これにより、電荷獲得領域の電荷を獲得する効率が低下し、拡散層の蓄積井戸に、より長時間に渡って電子の蓄積が可能となる。

40

電荷として電子を扱う場合、シリコン基板等を用いることができる。

【0011】

電荷として正孔を獲得する場合にはn型Si基板を用いることができる。そしてp型不純物をドーブした拡散層を用いることにより、電荷獲得領域を低電位側障壁として拡散層が蓄積井戸となる。かかる構成においては、拡散層へ正孔が蓄積されるとその電位が高くなる。その結果、拡散層に結線されている第1の電極膜の電位が高くなり、もって電荷獲得領域のエネルギー準位が低くなる。これにより、電荷獲得領域の電荷を獲得する効率が低下し、拡散層の蓄積井戸に、より長時間に渡って正孔の蓄積が可能となる。

電荷として正孔を扱う場合、Si基板の他にアモルファスシリコン、多結晶シリコン膜

50

等を用いることができる。

【図面の簡単な説明】

【0012】

【図1】図1は本発明の実施例のフォトゲート型受光素子の構成を示す断面図および周辺回路である。

【図2】図2は実施例のフォトゲート型受光素子の電位分布を示す。

【図3】図3は従来例のフォトゲート型受光素子の電位分布を示す。

【図4】図4は従来例と実施例の動作の違いを示すタイミング図である。

【図5】図5は従来例の動作を示すタイミング図。

【図6】図6は実施例の広ダイナミックレンジ動作を示すタイミング図。

【図7】図7は画素毎に自己抑制作用を持った広ダイナミックレンジCMOSイメージセンサの構成図。

【図8】図8は他の実施例であるフォトゲート型受光素子の構成を示す。

【図9】図9は他の実施例であるフォトゲート型受光素子の電位分布を示す。

【実施例1】

【0013】

図1に本発明の実施例の受光素子の断面図と、周辺回路を示す。参照番号1はp型半導体基板、参照番号2はp型シリコン基板中に形成されるn+拡散層、参照番号3はp型シリコン基板1上に形成されるシリコン酸化膜(SiO<sub>2</sub>)、参照番号6はn+拡散層2に接続されるA1電極、参照番号4はシリコン酸化膜3上に形成され、不純物が添加された多結晶シリコン膜(Poly-Si)、参照番号5はその多結晶シリコン膜4に接続されるゲート電極であり、多結晶シリコン膜4はシリコン酸化膜3を介して光を透過できる第1の電極膜として機能する。参照番号7は基板に接続され、接地される電極、参照番号8はn+拡散層2の電圧変化によって多結晶シリコン膜下の電子獲得能力が変化するように設計された電荷獲得領域であり、p型シリコン基板の他の部分より高濃度に不純物が拡散されている(p型拡散領域)、参照番号9はゲート電極5とn+拡散層2に電圧を印加するためのスイッチ、参照番号10はn+拡散層2に蓄積された電荷を電圧変換するためのソースフォロワ回路、参照番号11はスイッチ9、ソースフォロワ回路10を駆動するための電源電圧、参照番号12はソースフォロワ回路によって電圧変換された出力電圧である。

参照番号15は拡散層2と第1の電極膜4と結線するバイパスである。

かかる構成は、汎用的な半導体製造技術に基づいて製造可能である。

【0014】

このように構成された実施例のデバイスによれば、図2に示すように、第1の電極膜4とn+拡散層2が結線されているため、第1の電極膜4の電位はn+拡散層2の電位と等しくなる。t=t1ではゲート電圧が十分に大きく、入射光に応じた電荷が電荷獲得領域8で獲得されて拡散層2に形成された蓄積井戸に蓄積される。その結果、拡散層2の電位が低下しこの電位の低下はゲート電極5の電圧を低下させる。ゲート電極5の電位が低下すると第1の電極膜4の電位が低下し、その結果電荷獲得領域に印加される電界が弱くなって、電荷獲得領域の電位は低くなる。これにより、電荷を獲得する効率が低下し、t=t2ではt=t1のときよりも獲得する電荷量が少なくなる。したがってt=t3においてもn+拡散層部の電位井戸に、まだ電荷を蓄積する余裕が残る。

この動作によりダイナミックレンジの拡大が実現できる。

【0015】

図3に、一般的なフォトゲート型受光素子の構成を示す断面図と電位分布を示す。この素子では、第1の電極膜へ一定の電圧V<sub>g</sub>が印加されている。入射光強度が一定とすれば、n+拡散層部に形成された蓄積井戸には一定量の電荷が時間に比例して蓄積される。図3ではt=t3では蓄積井戸が電荷で満たされている状態となっている。その結果、蓄積井戸から電荷を排出しない限り、それ以降に電荷獲得領域で獲得した電荷は信号として反映されない。換言すれば、受光素子のダイナミックレンジが拡散層2の蓄積井戸の深さによって制限されてしまう。

10

20

30

40

50

## 【 0 0 1 6 】

図 1 の受光素子として例えば、各領域の不純物濃度としては p 型半導体基板 1 が  $1.5 \times 10^{16} \text{cm}^{-3}$ 、n+拡散層 2 が  $1 \times 10^{19} \text{cm}^{-3}$ 、p 型拡散領域 8 が  $1 \times 10^{17} \text{cm}^{-3}$  とし、Vdd10、Vres9 をそれぞれ 5 V とし、ソースフォロワ回路の利得を 0.7 とする。図 4 は従来型のフォトゲート型の電圧変換後の波形と、本発明（従来型を用いてフォトゲートへの帰還があったと仮定して測定）の擬似的な波形を示す。図 5 に従来型のタイミング図、図 6 に本発明のタイミング図を示す。このようにダイナミックレンズの拡大が実現できる。

## 【 0 0 1 7 】

また、実施例の受光素子を画素としてこれを 1 次元的に若しくは多次元的に配列することにより各画素が自己抑制作用を持ったイメージセンサを得ることができる。

10

図 7 は画素毎に自己抑制作用をもった広ダイナミックレンジ CMOS イメージセンサの構成図である。この図においては、参照番号 13 はセンサアレイ、参照番号 14 は垂直選択器 (V.Scanner)、参照番号 15 は雑音除去回路 (Column CDS)、参照番号 16 は水平選択器 (H.Scanner)、Vsig は光信号出力である。Vbn、Vbp は低電流駆動用バイアスである。

## 【 0 0 1 8 】

以上、詳細に説明したように本発明によれば以下のような効果を奏することができる。

フォトゲート型受光素子のダイナミックレンジの拡大を提供する

前述の受光素子を用いて、画素毎に自己抑制作用をもつ広ダイナミックレンジ CMOS イメージセンサを提供する。

## 【 実施例 2 】

20

## 【 0 0 1 9 】

図 8 は本発明の他の実施例であるフォトゲート型受光素子の構成を示す。図 1 と同一の要素には同一の符号を付してその説明を省略する。

参照番号 21 は転送ゲート電極であり、P 型基板 1 における光検出領域（電荷蓄積用の蓄積井戸）と電圧変換領域（電圧変換用の蓄積井戸）とを電氣的に分離することが可能となる。当該転送ゲート電極 21 は n 拡散層 2 に電荷が蓄積されたときにオンされ、n + 拡散層 22 にその電荷を転送することができる。

参照番号 22 は n + 拡散層であり、n 拡散層 2 から転送されてきた電荷を蓄積し、その電圧を読み出す。読み出された電圧が受光素子の出力信号となる。

## 【 0 0 2 0 】

30

図 9 はフォトゲート型受光素子の電位分布を示す。

前回使用され、n + 拡散層 22 に電荷が蓄積されている場合は、その電荷をリセット（消去）したのち（ $t = t_1$ ）、リセット信号を読み込むことで電荷獲得を開始する（ $t = t_2$ ）。開始直後は、ゲート電圧が十分に大きく、入射光に応じた電荷が電荷獲得領域 8 で獲得され、その電荷は n 拡散層 2 に形成された蓄積井戸に蓄積されていく。その結果、n 拡散層 2 の電位が低下し、この n 拡散層 2 と結線されている A1 電極 4 の電圧も低下させることとなる（ $t = t_3$ ）。この A1 電極 4 の電位の低下により、電荷獲得領域 8 に印加される電界が弱くなって、電荷獲得領域 8 の電位は低くなる。これにより、光電効果による電荷を獲得する効果が低下し、 $t = t_3$  では  $t = t_2$  のときよりも獲得する電荷量が少なくなる。これにより、センサ感度の自動調整を行うことが可能となる。すなわち、低照度の場合は電圧変化が小さいため、電位獲得領域 8 の電位は高い状態が維持され、光電変換効率は高くなる。一方、高照度の場合は電圧変化が大きく、電位獲得領域 8 の電位は低くなり、光電変換効率は低下することとなる。

40

電荷が n 拡散層 2 に蓄積された後、その電荷を読み出すために、転送ゲート 21 をオンする。これにより、蓄積井戸を構成している電位障壁がなくなり、電荷は電圧変換領域にある n + 拡散層 22 に転送される（ $t = t_4$ ）。この n + 拡散層 22 の電圧が出力として読み出されることとなる。

一方、n 拡散層 2 に蓄積されていた電荷がなくなるため、電圧が A1 電極 4 にフィードバックされることがなくなり、電荷獲得領域 8 における電位は初期状態の電位に戻る（ $t = t_5$ ）。

50

なお、 $n +$  拡散層 2 2 の電圧が読み出された後は、次回の電荷を獲得するために、 $n +$  拡散層 2 2 の電荷をリセットすることとなる。

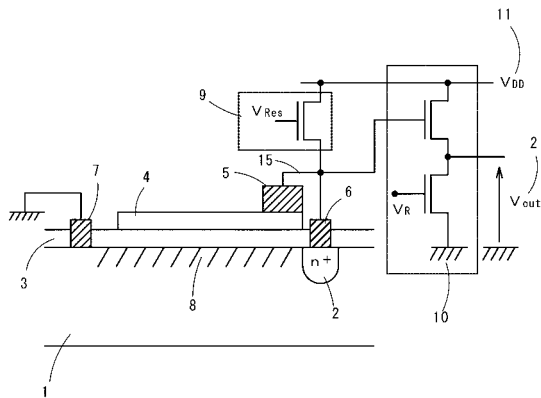
【 0 0 2 1 】

このように、光検出領域（電荷蓄積用の蓄積井戸）と電圧変換領域（電圧変換用の蓄積井戸）とを電気的に分離することで、CDS（相関二重サンプリング）の適用が容易になり、もって雑音の除去が可能となる。

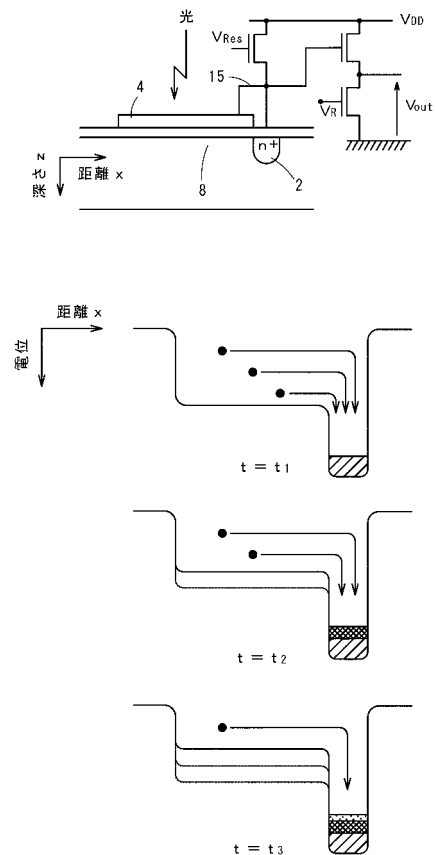
【 0 0 2 2 】

この発明は上記発明の実施の態様及び実施例の説明に何ら限定されるものではない。特許請求の範囲を逸脱せず、当業者が容易に想到できる範囲で種々の変形態様もこの発明に含まれる。

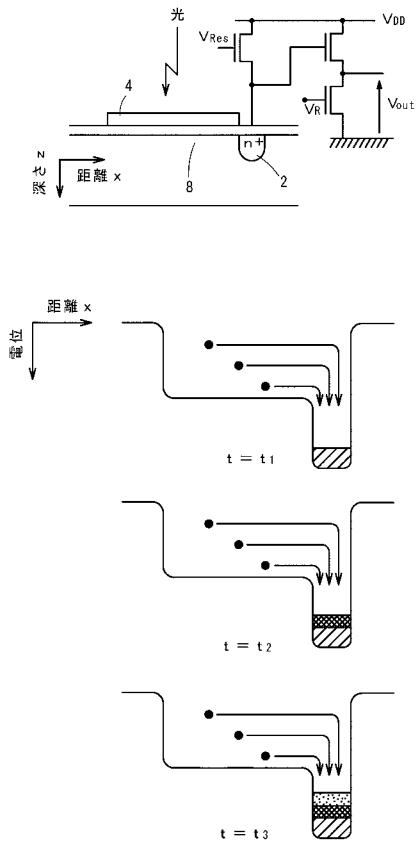
【 図 1 】



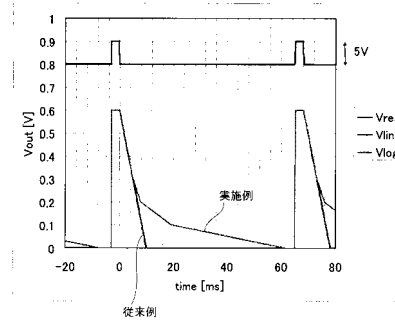
【 図 2 】



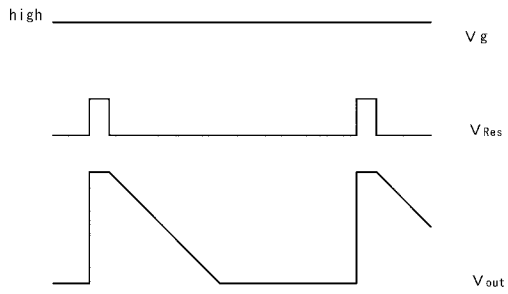
【図3】



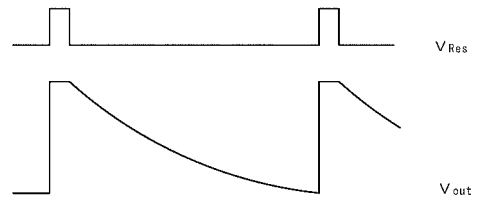
【図4】



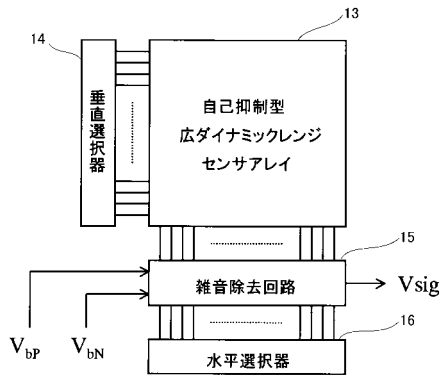
【図5】



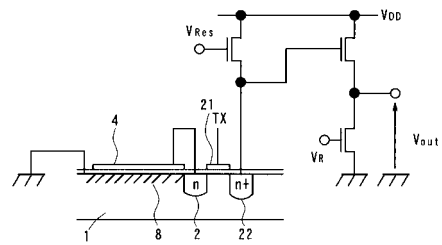
【図6】



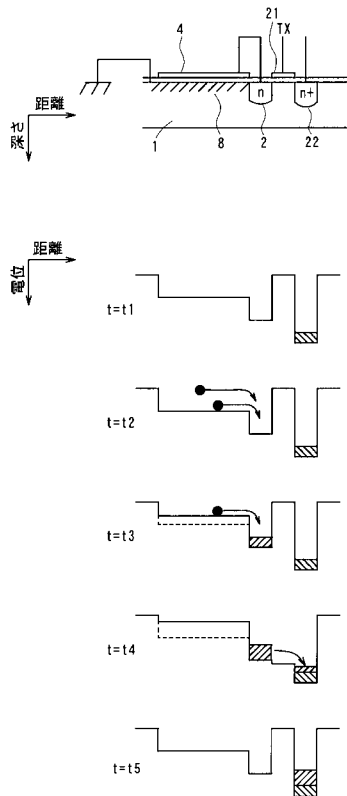
【図7】



【図8】



【図9】





---

フロントページの続き

- (56)参考文献 特開2000-174247(JP,A)  
特開2002-111960(JP,A)  
特開2000-209504(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146  
H01L 31/10