

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4117382号  
(P4117382)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年5月2日(2008.5.2)

(51) Int.Cl. F I  
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 A  
 HO 1 L 31/10 (2006.01) HO 1 L 31/10 E

請求項の数 9 (全 11 頁)

<p>(21) 出願番号 特願2006-548984 (P2006-548984)</p> <p>(86) (22) 出願日 平成17年12月20日 (2005.12.20)</p> <p>(86) 国際出願番号 PCT/JP2005/023310</p> <p>(87) 国際公開番号 W02006/068107</p> <p>(87) 国際公開日 平成18年6月29日 (2006.6.29)</p> <p>審査請求日 平成19年7月27日 (2007.7.27)</p> <p>(31) 優先権主張番号 特願2004-369896 (P2004-369896)</p> <p>(32) 優先日 平成16年12月21日 (2004.12.21)</p> <p>(33) 優先権主張国 日本国(JP)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 304027349                  国立大学法人豊橋技術科学大学                  愛知県豊橋市天伯町雲雀ヶ丘1-1</p> <p>(74) 代理人 100095577                  弁理士 小西 富雅</p> <p>(74) 代理人 100114362                  弁理士 萩野 幹治</p> <p>(72) 発明者 澤田 和明                  愛知県豊橋市王ヶ崎町上原1-3</p> <p>(72) 発明者 丸山結城                  愛知県豊橋市橋良町東郷20-4 ハイッ                  サーティワン2-E</p> <p>審査官 柴山 将隆</p>
---	---

最終頁に続く

(54) 【発明の名称】 電荷蓄積増倍装置及びそれを用いたイメージセンサ

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、

前記半導体基板に絶縁膜を介して形成される、入射光を透過するとともに、ゲート電圧が印加される第1の電極膜と、

前記第1の電極膜に隣接した第2の電極膜と、

前記第2の電極膜に隣接した拡散層とを備え、

前記第1の電極膜に印加されるゲート電圧が第1のゲート電圧であるとき前記入射光により生じた電荷が前記第1の電極膜直下の前記半導体基板中の電荷蓄積井戸層に蓄積され、前記電荷蓄積井戸層へ前記電荷を蓄積した後に、前記ゲート電圧を第2のゲート電圧として前記蓄積された電荷を増倍し、前記第1のゲート電圧と第2のゲート電圧との繰り返し印加回数を調整することで電荷の増倍率を調整する、ことを特徴とする電荷蓄積増倍装置

10

【請求項2】

前記電荷蓄積井戸層において前記電荷が物理的に移動する、ことを特徴とする請求項1に記載の装置。

【請求項3】

前記電荷は基板の表面方向へ移動する、ことを特徴とする請求項2に記載の装置。

【請求項4】

前記電荷蓄積井戸層の表面に前記半導体基板と異なる導電型の不純物がドーブされている

20

、ことを特徴とする請求項 1 ~ 3 のいずれかに記載の装置。

【請求項 5】

前記半導体基板が p 型シリコン半導体基板であり、前記拡散層が n+拡散層である、ことを特徴とする請求項 1 ~ 4 のいずれかに記載の装置。

【請求項 6】

前記ゲート電圧が印加される第 1 の電極膜が、不純物を添加された多結晶シリコンからなる、ことを特徴とする請求項 1 ~ 4 のいずれかに記載の装置。

【請求項 7】

前記第 2 の電極膜へ印加される電圧を低下させることによって、前記電荷蓄積井戸層中の電荷を前記拡散層内へと転送し、該拡散層から読み出し可能とする、ことを特徴とする請求項 1 ~ 4 のいずれかに記載の装置。

10

【請求項 8】

請求項 1 ~ 請求項 7 のいずれかに記載の電荷蓄積増倍装置が画素として用いられる、ことを特徴とする画素毎に電荷増倍可能なイメージセンサ。

【請求項 9】

半導体基板と、

前記半導体基板に絶縁膜を介して形成される、入射光を透過するとともに、ゲート電圧が印加される第 1 の電極膜と、

前記第 1 の電極膜に隣接した第 2 の電極膜と、

前記第 2 の電極膜に隣接した拡散層とを備えてなる電荷蓄積増倍装置の駆動方法であって、

20

前記第 1 の電極膜に第 1 のゲート電圧を印加して前記入射光により生じた電荷を前記第 1 の電極膜直下の前記半導体基板中の電荷蓄積井戸に蓄積するステップと、

前記電荷蓄積井戸へ前記電荷を蓄積した後に、前記第 1 の電極膜に第 2 のゲート電圧を印加して前記電荷蓄積井戸を深くし、前記電荷蓄積井戸層に蓄積された電荷を前記電荷蓄積井戸の底へ移動させて衝突電離現象を引き起こさせ、もって電荷を増倍するステップと、を含み、

前記第 1 のゲート電圧と第 2 のゲート電圧との繰り返し印加回数を調整することで電荷の増倍率を調整する、ことを特徴とする電荷蓄積増倍装置の駆動方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は電荷蓄積増倍装置及びそれを用いたイメージセンサに関する。

【背景技術】

【0002】

キャリア増倍方式を採用している固体方式の装置は市場に数多くあり、それらは“電子なだれ(アバランシェ)フォトダイオード(APD)”と呼ばれ、エリアイメージセンサとしての応用もなされている。

また、CCD方式を用いてCCD転送路(増倍部)中で電荷キャリアの衝突電離を起こし、電荷増倍を行う装置もある(特許文献1及び特許文献2参照)。

40

なお、本発明に関連する文献として特許文献3を参照されたい。

【特許文献1】特開平7-176721号公報

【特許文献2】特開平10-30426号公報

【特許文献3】特開平10-332423号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

APD方式の装置は、画素アレイ中に組み込むためには大きすぎ、また増倍利得も制限される。さらに、CCD方式を用いた装置では、イメージセンサアレイとは別に増倍部を設ける必要があり、装置として大型化する。

50

また、画素毎に電荷を増倍はできない。よって、1つの画素で生成される電荷が前記画素に対応する蓄積井戸に蓄積され、該蓄積井戸の電荷が直接読み出されて信号処理されるタイプのイメージセンサ（例えばCMOSイメージセンサ）には既述の増倍部を付設することができない。

そこで、本発明は何ら増幅部を設けることなく、画素毎に電荷を増倍可能とすることを目的とする。

【課題を解決するための手段】

【0004】

本発明の第1の局面は上記課題を解決するものであり、次の構成を採用する。

半導体基板と、

前記半導体基板に絶縁膜を介して形成される、入射光を透過するとともに、ゲート電圧が印加される第1の電極膜と、

前記第1の電極膜に隣接した第2の電極膜と、

前記第2の電極膜に隣接した拡散層を備え、

前記第1の電極膜に印加されるゲート電圧が第1のゲート電圧であるとき前記入射光により生じた電荷が前記第1の電極膜直下の前記半導体基板中の電荷蓄積井戸に蓄積され、前記ゲート電圧が第2のゲート電圧であるとき前記蓄積された電荷が増倍される、ことを特徴とする電荷蓄積増倍装置。

【0005】

このように構成された第1の局面の発明によれば、第1の電極膜へ第1のゲート電圧が印加されているとき、画素の受光部を構成する第1の電極膜を通して生成される電荷が第1の電極膜直下の半導体基板の蓄積井戸に蓄積される。

第1の電極膜へ印加される電圧を第2のゲート電圧とすることにより、蓄積井戸層にかかる電界を変化させ、もって蓄積井戸を深くする。これにより、電荷が蓄積井戸の底へと移動するときに衝突電離現象を引き起こし、電荷が増倍されることとなる。このようにして電荷を増倍すれば、増倍部を別個に設ける必要がない。よって装置が小型化される。

また、CMOSタイプのイメージセンサにおいても画素毎の電荷増倍が可能となる。

電荷を物理的に移動させることにより該電荷と結晶格子との衝突が生じる。これにより衝突電離現象が引き起こされてより確実に電荷が増倍される。

【0006】

第2の局面の発明では前記第1のゲート電圧と第2のゲート電圧との比を調整することによって電荷の増倍率を調整する。

電荷蓄積状態の蓄積井戸の深さ（底のエネルギー準位）と電荷増倍状態の蓄積井戸の深さとのエネルギーギャップの大きさが電荷増倍率が変化する。両者のエネルギーギャップが大きければ大きいほど大きな衝撃力で電荷が衝突するので、増倍率が大きくなる。ここに、電荷蓄積状態の蓄積井戸層の深さは第1のゲート電圧で規定され、他方電荷増倍状態の蓄積井戸の深さは第2のゲート電圧で規定される。従って、両者の電圧比を調整することにより、増倍率を調整することができる。

【0007】

第3の局面の発明では前記第1のゲート電圧と第2のゲート電圧との繰り返し印加回数を調整することで、電荷の増倍率を調整する。

第1の電極膜へ第1のゲート電圧と第2のゲート電圧を繰り返し印加すると、当該繰り返しの都度、電荷の衝突も繰り返される。よって、繰り返しの回数を多くすれば増倍率が向上することとなる。

【0008】

第4の局面の発明では半導体基板をp型シリコン半導体基板、前記拡散層をn+拡散層とした。

かかる構成を採用することにより、電子を増倍することが可能となる。

【0009】

第5の局面の発明では第1の電極膜を不純物が添加された多結晶シリコン膜で形成した。

かかる構成を採用することにより、汎用的な半導体製造工程を利用して装置の製造が可能となる。

【0010】

第6の局面の発明は次のように規定される。即ち、

前記第2の電極膜へ印加される電圧を低下させることによって、前記電荷蓄積井戸中の電荷を前記拡散層内へと転送し、該拡散層から読み出し可能とする。

このように構成された電荷蓄積増倍装置によれば、イメージセンサへ組み込みが可能となる。

【0011】

既述のように第1～第6の局面の発明として規定される電荷蓄積増倍装置は、1つの画素で生成される電荷が当該画素に対応する蓄積井戸に蓄積され、該蓄積井戸の電荷が直接読み出されて信号処理されるイメージセンサに好適に使用される。

ここに、蓄積井戸は第1の電極膜の直下に存在する必要は無く、画素を構成する単位デバイスの何れかに存在すればよい。蓄積井戸において増倍された電荷を直接読み出すとは、この電荷をイメージセンサ内において更に増倍することがないことを指す。従って、蓄積井戸において増倍された電荷を一旦他の井戸に蓄積し、この井戸から当該電荷を読み出してもよい。

【0012】

基板中において蓄積井戸を構成する部分に不純物をドーピングすることもできる。

本発明者らの検討によれば、蓄積井戸の表面に当該蓄積井戸の導電型と異なる導電型の不純物をドーピングすることにより、蓄積井戸において電荷の存在する位置がその表面より深い位置に変化する。当該蓄積井戸へ印加する電界を変化させると、当該電界の変化にともない電荷が蓄積井戸の表面側へ移動して（電荷の位置が物理的に変化して）蓄積井戸を構成する格子へ衝突する。これにより衝突電離が確実に引き起こされて、電荷増倍が促進される。

【0013】

以上、受光デバイスにおける電荷増倍について説明してきたが、この発明は、電荷を蓄積する蓄積井戸層を有する全ての半導体デバイスに適用することができる。例えば、物理的又は化学的な量の大きさに対応して深さを変化するように構成された井戸層を有する半導体デバイスでは当該井戸層に電荷が蓄積されるので、当該井戸層へ印加する電界を変化させて当該井戸層内で電荷の衝突電離現象を引き起こし、もって電荷を増倍させることができる。ここに、物理量としては赤外線等の光量、音波量、電磁波量、温度等を挙げることもできる。化学量としてはpH等のイオン濃度、分子濃度等を挙げることもできる。

【0014】

この発明において、電荷とは、電子若しくは正孔をいう。電子を増倍する場合は第4の局面の発明のようにp型シリコン半導体基板を用いればよい。シリコン基板において電荷の衝突が発生したとき、電界により電子は蓄積井戸の底に集められる。他方、正孔はシリコン基板の基板側に流れ出てしまうので当該正孔はそれ以上の衝突に関与しない。電子増倍用の基板としてシリコンの他にアモルファスシリコン、多結晶シリコン等を挙げることもできる。

【0015】

電荷として正孔を増倍する場合にはn型Si基板を用いることができる。セレン基板において電荷の衝突が発生したとき、電界（シリコン基板のときとは逆方向）により正孔は蓄積井戸の底に集められる。他方、電子はセレン基板の界面側に流れるので当該電子はそれ以上の衝突に関与しない。正孔増倍用の基板としてセレン材料を挙げることもできる。

【図面の簡単な説明】

【0016】

【図1】図1は本発明の実施例の電荷蓄積増倍装置の構成を示す断面図である。

【図2】図2はVgが第1のゲート電圧が第1の電極膜へ印加されているときの蓄積井戸の電位分布を示す。

10

20

30

40

50

【図3】図3はVgが第2のゲート電圧が第1の電極膜へ印加されているときの蓄積井戸の電位分布を示す。

【図4】図4はVgが第2のゲート電圧が第1の電極膜へ印加されているときの蓄積井戸の電界分布を示す。

【図5】図5は電荷蓄積増倍動作を示すタイミング図である。

【図6】図6は電荷蓄積増倍装置の蓄積井戸における電荷蓄積時、電荷増倍時の2次元電位分布を示す模式図である。

【図7】図7は電荷蓄積増倍部面積 $25 \times 10^{-8} \text{cm}^2$ とし、波長550nm、光強度 $1 \times 10^{-8} \text{W/cm}^2$ の光が一定で照射されたときの1回の増倍を行った場合と、行わない場合のシミュレーション結果を示すグラフ図である。

10

【図8】図8は電荷蓄積増倍部面積 $25 \times 10^{-8} \text{cm}^2$ とし、波長550nm、光強度 $1 \times 10^{-8} \text{W/cm}^2$ の光が一定で照射されたときの5回の増倍を行った場合のシミュレーション結果を示すグラフ図である。

【図9】図9は電荷増倍因子Mと第2のゲート電圧の関係を示すグラフ図である。

【図10】図10は実施例の電荷蓄積増倍装置を画素毎に組み込んだCMOSイメージセンサの構成図である。

【図11】図11(A)は他の実施例である電荷蓄積増倍装置の断面図である。(B)は電荷蓄積増倍装置における第1の電極膜5の直下の蓄積井戸における横方向(X方向)、深さ方向(Z方向)の電位分布である。

【図12】図12は第2の実施例の電荷蓄積井戸層のプロファイルを示し、図12Aは不純物濃度、図12Bはゲート電圧が5Vのときの電荷蓄積井戸層の電位分布、図12Cはゲート電圧が12Vのときの電荷蓄積井戸層の電位分布をそれぞれ示す。

20

【図13】蓄積井戸層の電位分布の変化に伴い生じる電荷の衝突を模式的に表したものである。

【図14】第2の実施例における電荷増倍率と印加したゲート電圧の関係を示す。

【実施例1】

【0017】

図1は本発明装置の断面図である。図1において参照番号1はp型シリコン基板、参照番号2はp型シリコン基板中に形成されるn+拡散層、参照番号3はp型シリコン基板1上に形成されるシリコン酸化膜(SiO<sub>2</sub>)、参照番号4はn+拡散層2に接続されるAl電極、参照番号5はシリコン酸化膜3上に形成され、不純物が添加された多結晶シリコン膜(Poly-Si)、参照番号6はその多結晶シリコン膜5に接続されるゲート電極であり、多結晶シリコン膜5はシリコン膜3を介して光を透過できる第1の電極膜として機能する。参照番号7は不純物が添加された多結晶シリコン膜5下で増倍された電子をn+拡散層2へと転送するための転送用電極(第2の電極膜)、参照番号8はp型シリコン基板1と接続するとともに、接地される電極である。

30

図1に示す構成は周知の半導体素子の製造方法により形成される。

【0018】

図3, 4は図1の電荷蓄積増倍装置の特性図であり、図3はゲート電圧Vgが第1のゲート電圧(2V)の場合(電荷捕獲・蓄積)、図4はゲート電圧Vgが第2のゲート電圧(10V)の場合(電荷増倍)の電位分布である。

40

図4は図1の電荷蓄積増倍装置の特性図であり、ゲート電圧Vgが第2のゲート電圧(10V)の場合(電荷増倍)の電界分布である。シリコン基板1中で電子の衝突電離が著しく起こる電界は $3 \times 10^5 \text{V/cm}$ 以上であり、図4より第2のゲート電圧において表面の電界は $35 \text{V}/\mu\text{m}$ ( $3.5 \times 10^5 \text{V/cm}$ )であり、衝突電離が十分に発生することがわかる。

図5は本発明の電荷蓄積増倍動作を示すタイミング図である。図5では5回の増倍を行った場合を示す。

【0019】

図6は本発明の電荷蓄積増倍装置における第1の電極膜5の直下の蓄積井戸における横方向(X方向)、深さ方向(Z方向)の電位分布である。

50

あらかじめ第1のゲート電圧(2V)で直流バイアスされた蓄積井戸が第1の電極膜5の下のp型シリコン半導体基板内に形成され、第1の電極膜5を透過した入射光により電子が発生し、蓄積される(図5参照、 $t=t_1$ )。  $t=t_2$ において第1の電極膜5に高バイアス(第2のゲート電圧(10V))を印加すると、第1の電極膜5の下は高電界領域となり、蓄積井戸中の電子が衝突電離をおこし、電子・正孔対が生成される。電子のみが蓄積井戸中に集められ、電荷の増倍が行われる。正孔はp型シリコン基板の界面側へ流れ、増倍機能には何ら寄与しなくなる。その後、 $t=t_3$ において第1の電極膜5に印加される電圧を第1のゲート電圧(2V)に戻す。

図5の例では、第1のゲート電圧の印加と第2のゲート電圧の印加とを5回繰り返して行っている。第2のゲート電圧を印加する毎に電子が衝突電離を起こし、そのたびに電子の増倍が行われる。即ち、第1のゲート電圧の印加と第2のゲート電圧の印加との繰り返し回数を調整することにより増倍率を制御することができる。

また、図4から明らかとなり、第1のゲート電圧と第2のゲート電圧の比を調整することにより増倍率を制御することも可能である。

#### 【0020】

図7は電荷蓄積増倍部面積 $25 \times 10^{-8} \text{cm}^2$ とし、波長550nm、光強度 $1 \times 10^{-8} \text{W/cm}^2$ の光が一定で照射されたときの一回の増倍を行った場合と、行わない場合のシミュレーション結果である。増倍を行うことで0.1 $\mu\text{s}$ 後には14倍に増倍されている。

図8は電荷蓄積増倍部面積 $25 \times 10^{-8} \text{cm}^2$ とし、波長550nm、光強度 $1 \times 10^{-8} \text{W/cm}^2$ の光が一定で照射されたときの5回の増倍を行った場合のシミュレーション結果である。これにより増倍の回数によって増倍率を変化できることが確認できる。

図9は本実施例の装置の電荷増倍率と第2のゲート電圧(横軸)の関係である。ここに、電荷増倍率は電子又は正孔が増える割合を指し、第1のゲート電圧は2Vである。図9の結果より第2のゲート電圧(横軸)によっても増倍率を制御できることが確認できる。

#### 【0021】

図10は、図1の電荷蓄積増倍装置を画素ごとに備えたCMOSイメージセンサの構成図である。この図において、参照番号9はセンサアレイ、参照番号10は垂直選択器(V.Scanner)、参照番号11は雑音除去回路(Column CDS)、参照番号12は水平選択器(H.Scanner)である。図1の電極4に垂直選択器11若しくは水平選択器12が接続される。Vsigは光信号出力である。Vbn、Vbpは低電流駆動用バイアスである。

#### 【実施例2】

#### 【0022】

図11(A)は本発明の他の実施例である電荷蓄積増倍装置の断面図である。図6と同一の要素には同一の符号を付して、その説明を省略する。

p型シリコン基板1にはその表面付近にn型不純物をドーピングしてドーピング領域21を形成する。本実施例においては、基板即ち蓄積井戸層のp型不純物濃度が $1 \times 10^{16} \text{cm}^{-3}$ に対して、n型不純物としてリンを $1 \times 10^{17} \text{cm}^{-3}$ の濃度でドーピングした。ドーピングの方式にイオン注入法を採用した。イオン注入の飛程は250nmであり、接合深さは500nmである。

#### 【0023】

かかる不純物をドーピング下蓄積井戸層の不純物濃度を図12Aに示す。図12Bは当該蓄積井戸層の電位分布(ゲート電圧:5V)を示す。他方、図12(C)はゲート電圧を12Vまで昇圧したときの電位分布を示す。

図12Bと図12Cとの比較から、電圧の変化させたとき、ポテンシャルの井戸の底が深さ方向(グラフでは横方向)へ移動することがわかる。電荷はポテンシャル井戸に溜まっているので、電圧の変化即ち井戸にかかる電界が変化すると、深さ方向へ移動することがわかる。この例では、電界が大きくなると電荷は井戸の表面方向へ移動する。

図13には、当該電荷の移動を模式的に表してある。

ここに、インパクトイオン化とは、高電界中で加速された電子(または正孔)が格子に衝突し、新しく電子(または正孔)を発生させる現象をいう。

10

20

30

40

50

【0024】

図11(B)は電荷蓄積増倍装置における第1の電極膜5の直下の蓄積井戸における横方向(X方向)、深さ方向(Z方向)の電位分布である。

基板1には第1のゲート電圧(5V)で直流バイアスされた蓄積井戸が形成され、第1の電極膜5を通過した入射光により電荷(電子)が発生し、蓄積井戸に電荷が蓄積される(t=t1)。p型シリコン基板1にはn型不純物21がドーピングされているため、電荷の存在する位置(基板深さ方向の距離)は基板表面よりも深い位置に存在することとなる。

次に、第2のゲート電圧(12V)を印加することにより(t=t2)、第1の電極膜5の直下は高電界となり、蓄積井戸中の電荷が衝突電離を起こし、電子・正孔対が生成され、その電子は蓄積井戸に集められることとなる。

10

また、この電界により、基板表面付近に位置していた電荷が表面側へと物理的に移動して、蓄積井戸を構成する格子へ衝突し、電荷の増倍が促進される。

その後、第1の電極膜5に印加される電圧を第1のゲート電圧に戻し(t=t3)、更に第2のゲート電圧を印加することにより繰り返し増倍させることができる。

【0025】

このように、基板と異なる不純物をドーピングして印加電圧を変化させることにより、電子衝突電離が生じて電荷が増倍されるとともに、電荷の物理的な位置が表面方向へと移動することに伴い電荷が格子と衝突するため、電荷を増倍させることができる。

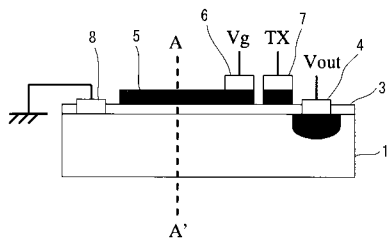
図14は、電荷増倍率と印加電圧との関係を示している。実施例1における同様な関係を示す図9と比較すると、この実施例では小さな電圧変化においても電荷増倍効果が認められる。これにより、電荷増倍効率が向上することがわかる。

20

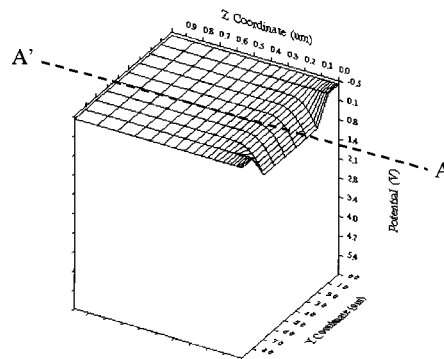
【0026】

この発明は上記発明の実施の態様及び実施例の説明に何ら限定されるものではない。特許請求の範囲を逸脱せず、当業者が容易に想到できる範囲で種々の変形態様もこの発明に含まれる。

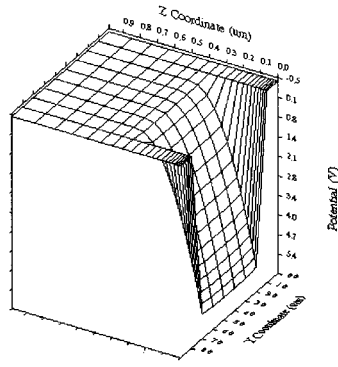
【図1】



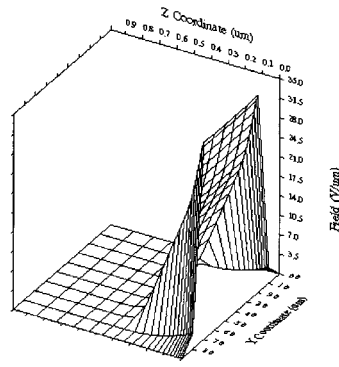
【図2】



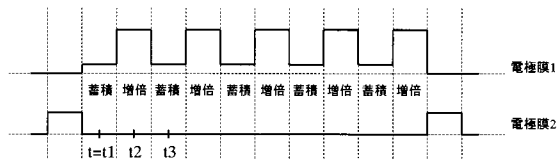
【図3】



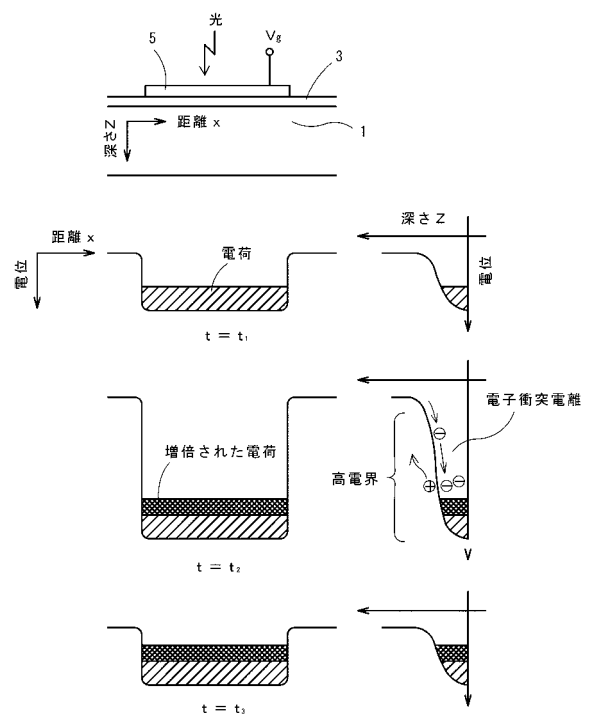
【図4】



【図5】

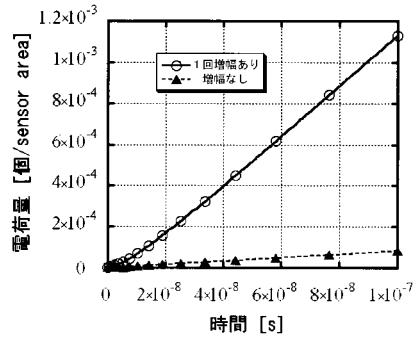


【図6】

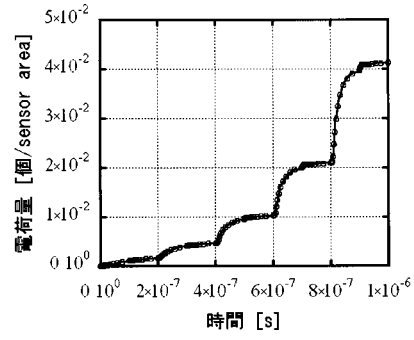




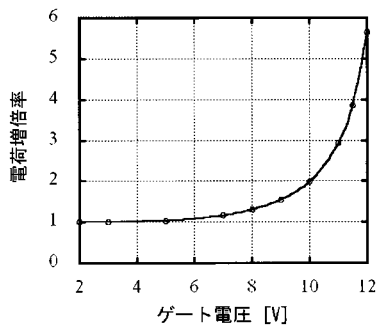
【図7】



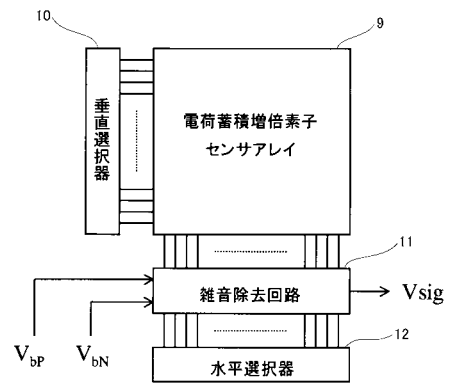
【図8】



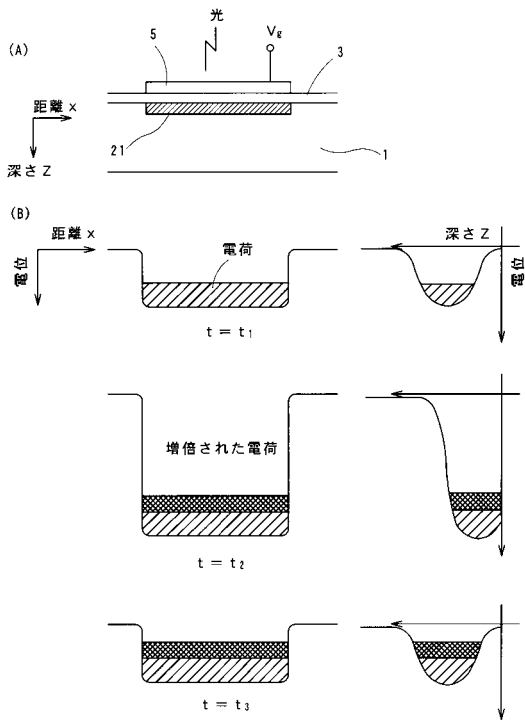
【図9】



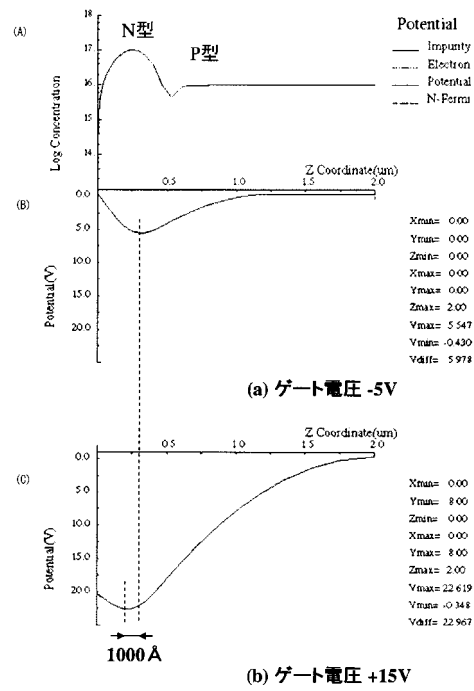
【図10】



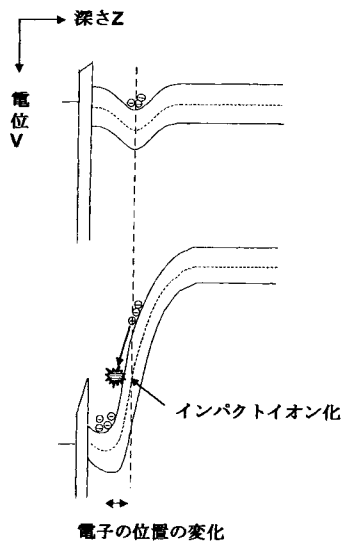
【図 1 1】



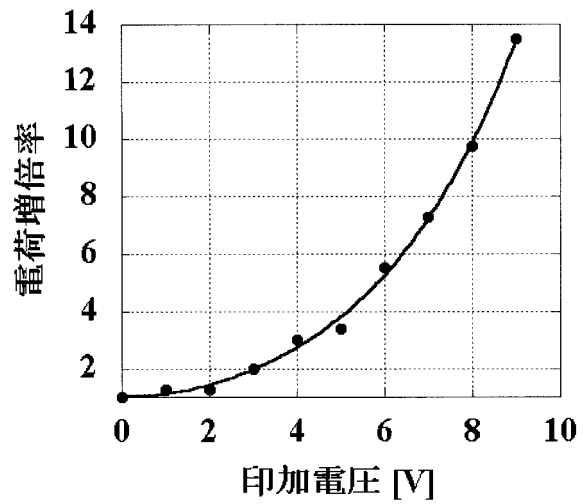
【図 1 2】



【図 1 3】



【図 1 4】



---

フロントページの続き

(56)参考文献 特開2004-319576(JP,A)  
特開平05-335549(JP,A)  
特開平08-097395(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146

H01L 31/10