

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-223088

(P2006-223088A)

(43) 公開日 平成18年8月24日(2006.8.24)

(51) Int. Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

W

テーマコード(参考)

5H730

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2005-139431 (P2005-139431)
 (22) 出願日 平成17年5月12日(2005.5.12)
 (31) 優先権主張番号 特願2005-8336 (P2005-8336)
 (32) 優先日 平成17年1月14日(2005.1.14)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 304028726
 国立大学法人 大分大学
 大分県大分市大字旦野原700番地
 (72) 発明者 西嶋 仁浩
 大分県大分市大字旦野原700番地 大分大学
 構内宿舎1-23
 Fターム(参考) 5H730 AA04 AA14 AA16 AS01 BB13
 BB83 BB88 DD04 FD01 FG05

(54) 【発明の名称】 多相式のスイッチングコンバータとその制御方法

(57) 【要約】 (修正有)

【課題】従来の多相式降圧形コンバータに比べてスイッチング損失が少なく、出力電圧リップルが小さく、かつ、各相のインダクタ電流にアンバランスが生じないコンバータを提供する。

【解決手段】従来の多相式の降圧形コンバータと異なり、本発明では、追加したコンデンサ C_i を、第1の降圧形コンバータの第1メインスイッチング素子 S_a に直列接続し、この接続点に、第2の降圧形コンバータの入力正側端子を接続する。この構成により、コンデンサ C_i が、入力電源電圧 E_i を半分に分圧するため、見かけ上、半分の入力電圧で各コンバータが動作しているように作用する。この作用により、スイッチング損失や出力電圧リップルを低減する。また、コンデンサ C_i の電圧は、コンバータ内のインダクタ L_a と L_b を流れる電流を自動的にバランス変化させる。

【選択図】 図1

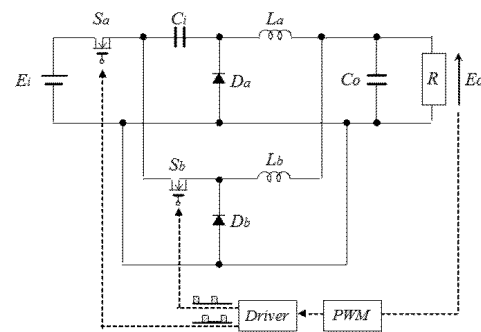


図1

【特許請求の範囲】

【請求項 1】

入力電源の正極から負荷の正側端子へ第 1 のスイッチング素子、入力平滑コンデンサ、第 1 のインダクタを順に直列接続し、前記負荷の負側端子を入力電源のアースに接続し、前記負荷の正・負側端子両端に出力平滑コンデンサを並列接続し、前記入力平滑コンデンサと第 1 のインダクタとの中間点と前記入力電源のアースとの間に第 1 の整流素子を接続し、前記第 1 のスイッチング素子と入力平滑コンデンサの中間点から前記負荷の正側端子へ順に第 2 のスイッチング素子、第 2 のインダクタを接続し、前記第 2 のスイッチング素子と第 2 のインダクタの中間点と前記入力電源のアースとの間に第 2 の整流素子を接続したことを特徴とする多相式のスイッチングコンバータ。

10

【請求項 2】

入力電源の正極から負荷の正側端子へ第 1 のスイッチング素子、入力平滑コンデンサ、第 1 のインダクタを順に直列接続し、前記負荷の負側端子を入力電源のアースに接続し、前記負荷の正・負側端子両端に出力平滑コンデンサを並列接続し、前記入力平滑コンデンサと第 1 のインダクタとの中間点と前記入力電源のアースとの間に第 1 の整流素子を接続し、前記第 1 のスイッチング素子と入力平滑コンデンサの中間点から前記負荷の正側端子へ順に第 2 のスイッチング素子、第 2 のインダクタを接続し、前記第 2 のスイッチング素子と第 2 のインダクタの中間点と前記入力電源のアースとの間に第 2 の整流素子を接続して 2 相式のスイッチングコンバータを構成し、前記第 1 及び第 2 のスイッチング素子を、所定角度の位相差、かつ、所定の時比率で駆動させて、第 1 の期間において第 1 のスイッチング素子のみをオンさせ、第 2 の期間において第 1 及び第 2 のスイッチング素子を両方ともオフさせ、第 3 の期間において第 2 のスイッチング素子のみをオンさせ、第 4 の期間において第 1 及び第 2 のスイッチング素子を両方ともオフさせる一連の制御を繰り返して直流電圧を負荷に供給することを特徴とする多相式のスイッチングコンバータの制御方法。

20

【請求項 3】

入力電源の正極から負荷の正側端子へ第 1 のスイッチング素子、入力平滑コンデンサ、第 1 のインダクタを順に直列接続し、前記負荷の負側端子を入力電源のアースに接続し、前記負荷の正・負側端子両端に出力平滑コンデンサを並列接続し、前記入力平滑コンデンサと第 1 のインダクタとの中間点と前記入力電源のアースとの間に第 3 のスイッチング素子を接続し、前記第 1 のスイッチング素子と入力平滑コンデンサの中間点から前記負荷の正側端子へ順に第 2 のスイッチング素子、第 2 のインダクタを接続し、前記第 2 のスイッチング素子と第 2 のインダクタの中間点と前記入力電源のアースとの間に第 4 のスイッチング素子を接続したことを特徴とする多相式のスイッチングコンバータ。

30

【請求項 4】

入力電源の正極から負荷の正側端子へ第 1 のスイッチング素子、入力平滑コンデンサ、第 1 のインダクタを順に直列接続し、前記負荷の負側端子を入力電源のアースに接続し、前記負荷の正・負側端子両端に出力平滑コンデンサを並列接続し、前記入力平滑コンデンサと第 1 のインダクタとの中間点と前記入力電源のアースとの間に第 3 のスイッチング素子を接続し、前記第 1 のスイッチング素子と入力平滑コンデンサの中間点から前記負荷の正側端子へ順に第 2 のスイッチング素子、第 2 のインダクタを接続し、前記第 2 のスイッチング素子と第 2 のインダクタの中間点と前記入力電源のアースとの間に第 4 のスイッチング素子を接続して 2 相式のスイッチングコンバータを構成し、前記第 1 及び第 2 のスイッチング素子を、所定角度の位相差、かつ、所定の時比率で駆動させて、第 1 の期間において第 1 のスイッチング素子のみをオンさせ、第 2 の期間において第 1 及び第 2 のスイッチング素子を両方ともオフさせ、第 3 の期間において第 2 のスイッチング素子のみをオンさせ、第 4 の期間において第 1 及び第 2 のスイッチング素子を両方ともオフさせる一連の制御を繰り返すと共に前記第 3 のスイッチ素子を前記第 1 のスイッチ素子と交互にスイッチングさせ、前記第 4 のスイッチ素子を前記第 2 のスイッチング素子と交互にスイッチングさせて直流電圧を負荷に供給することを特徴とする多相式のスイッチングコンバータの制御方法。

40

50

【請求項 5】

前記 2 相式のスイッチングコンバータの 2 相の励磁電流波形が正負に振れるようにし、前記第 1 のスイッチング素子と前記第 3 のスイッチング素子のスイッチング転換時に、両方のスイッチング素子がオフとなるデッドタイム期間を作り、同様に、前記第 2 のスイッチング素子と前記第 4 のスイッチング素子のスイッチング転換時に、両方のスイッチング素子がオフとなるデッドタイム期間を作ること、零電圧ソフトスイッチングを行うことを特徴とする請求項 3 に記載の多相式のスイッチングコンバータの制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多相式のスイッチングコンバータとその制御方法に関し、より詳しくは、電力効率の向上と低出力電圧リップル特性、インダクタ電流のバランス制御回路の除去を実現するための技術に関する。

【背景技術】

【0002】

多相式の降圧形コンバータは、出力電圧リップルの低減や、負荷応答特性の向上のために、一般的に用いられている。多相式の降圧形コンバータとは、並列接続された複数の降圧形コンバータから成り、これらのコンバータの位相を所定角度ずらして駆動させることで、上記の特性が得られる。

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、多相式コンバータは、入出力電圧の降圧比が大きいほど、並列接続するコンバータ数を増やさなければ低出力電圧リップル特性が得られない。しかも、回路部品の特性のばらつきなどに起因して、各コンバータのインダクタ電流にアンバランスが生じる問題があり、電流をバランスさせる制御回路が必要不可欠となる。

さらに、降圧形コンバータでは、スイッチング転換時に、ドレイン・ソース電圧が、入力電源の電圧から 0 V まで変化するため、入力電源電圧が高いほどに、スイッチング損失が増加する。そのため、入出力電圧の降圧比が大きい用途では、著しく電力効率が低下する。

【課題を解決するための手段】

【0004】

そこで本発明方法の特徴は、次の (1) ~ (2) の通りである。

(1)、入力電源の正極から負荷の正側端子へ第 1 のスイッチング素子、入力平滑コンデンサ、第 1 のインダクタを順に直列接続し、前記負荷の負側端子を入力電源のアースに接続し、前記負荷の正・負側端子両端に出力平滑コンデンサを並列接続し、前記入力平滑コンデンサと第 1 のインダクタとの中間点と前記入力電源のアースとの間に第 1 の整流素子を接続し、前記第 1 のスイッチング素子と入力平滑コンデンサの中間点から前記負荷の正側端子へ順に第 2 のスイッチング素子、第 2 のインダクタを接続し、前記第 2 のスイッチング素子と第 2 のインダクタの中間点と前記入力電源のアースとの間に第 2 の整流素子を接続してなる多相式 (2 相式以上を言う以下同じ) のスイッチングコンバータ。

(2)、上記 (1) の 2 相式のスイッチングコンバータの前記第 1 及び第 2 のスイッチング素子を、所定角度好ましくは 180 度の位相差、かつ、所定の時比率好ましくは時比率 $D = 0.5$ で駆動させて、第 1 の期間において第 1 のスイッチング素子のみをオンさせ、第 2 の期間において第 1 及び第 2 のスイッチング素子を両方ともオフさせ、第 3 の期間において第 2 のスイッチング素子のみをオンさせ、第 4 の期間において第 1 及び第 2 のスイッチング素子を両方ともオフさせる一連の制御を繰り返して直流電圧を負荷に供給する多相式のスイッチングコンバータの制御方法。

【発明の効果】

【0005】

10

20

30

40

50

本発明の多相式のスイッチングコンバータの制御方法は、従来の多相式の降圧形コンバータに比べて、2倍の降圧比が得られ、スイッチング損失が少なくなると共に、出力電圧リップルも小さくできる。さらに、各相を流れるインダクタ電流が、自動的にバランスされるため、電流バランスのための制御回路が不要である。なお、本発明の多相式のスイッチングコンバータ制御方法は、従来の多相式の降圧形コンバータに、コンデンサを1個追加しただけの部品数で実現可能である。

【発明を実施するための最良の形態】

【0006】

即ち本発明(1)における多相式降圧形コンバータは、新たに追加した、コンデンサが入力電圧を半分に分圧するため、見かけ上、コンバータが入力電源電圧の半分で動作しているかのように振舞う。この作用によって、スイッチング損失や出力電圧リップルが低減される。また、このコンデンサの電圧は、コンバータ内の各インダクタを流れる電流をバランスさせる様に自動的に変化するため、電流バランスのための制御回路が不要となる。

10

また本発明(2)は、前記のように第1及び第2のスイッチング素子を、所定の角度好ましくは180度の位相差、かつ、所定の時比率好ましくは時比率 $D = 0.5$ で駆動することで、第1の期間において、第1のスイッチング素子のみをオンさせ、第2の期間において、第1及び第2のスイッチング素子を両方ともオフさせ、第3の期間において、第2のスイッチング素子のみをオンさせ、第4の期間において、第1及び第2のスイッチング素子を両方ともオフさせる制御を繰り返すことにより、前記入力平滑コンデンサに電源電圧の約半分の電圧を生成し、前記第1の期間において、前記第1のインダクタに前記入力電源の電圧から前記入力コンデンサと出力平滑コンデンサの電圧を引いた電圧を加え、前記第2から第4の期間において、第1のインダクタに、前記出力平滑コンデンサの電圧を前記第1の期間とは逆方向に印加し、一方、前記第3の期間において、前記第2のインダクタに、前記入力コンデンサから前記出力平滑コンデンサの端子電圧を引いた電圧を加え、前記第1、第2及び第4の期間において、第2のインダクタに前記出力平滑コンデンサの電圧を前記第3の期間とは逆方向に加えることで、前記第1及び第2のインダクタに、例えば2相の三角波電流波形を誘導し、前記2相の三角波電流波形が、前記出力平滑コンデンサによって平滑されることにより、直流電圧を負荷に供給するものである。

20

また、前記第1の整流素子を第3のスイッチング素子とし、前記第2の整流素子を第4のスイッチング素子として、しかも前記第3のスイッチング素子を前記第1のスイッチング素子と交互にスイッチングさせ、前記第4のスイッチング素子を前記第2のスイッチング素子と交互にスイッチングさせても同様の制御の作用効果が得られる。

30

【0007】

また、前記2相式のスイッチングコンバータの2相の励磁電流波形が正負に振れるようにし、前記第1のスイッチング素子と前記第3のスイッチング素子のスイッチング転換時に、両方のスイッチング素子がオフとなるデッドタイム期間を作り、同様に、前記第2のスイッチング素子と前記第4のスイッチング素子のスイッチング転換時に、両方のスイッチング素子がオフとなるデッドタイム期間を作ってもよい。これにより零電圧ソフトスイッチングが実現できる。

【0008】

40

本発明における多相式のスイッチングコンバータの構成する具体的な回路構成例は複数存在しており、以下で述べる回路例に限定されるものではない。

【実施例1】

【0009】

図1に本発明における多相式のスイッチングコンバータ例として2相式スイッチングコンバータの回路図を示す。本例コンバータの回路構成が、従来の2相式の降圧形コンバータと異なる点は、1相目の降圧形コンバータのメインスイッチと直列に入力平滑コンデンサ C_i が直列接続され、この接続点に、もう1相目の降圧形コンバータの入力正側端子が接続されている点である。1相目の降圧形コンバータは、MOSFETである第1メインスイッチング素子 S_a 、整流素子であるダイオード D_a 、及び、インダクタ L_a から成り、2相目の降圧形

50

コンバータは、第2メインスイッチング素子Sb、ダイオードDb、及び、インダクタLbから成る。なお、Coは出力平滑コンデンサ、Viは入力直流電源、Rは負荷である。制御部は、PWM (Pulse Width Modulator) と、ドライバDriverとを含む。

【0010】

入力直流電源の正極Eiは、第1メインスイッチング素子Saのドレインと接続され、第1メインスイッチング素子Saのソースは、入力平滑コンデンサCiの一端と接続され、入力平滑コンデンサCiの他端は、インダクタLaの一端と接続され、インダクタLaの他端は、負荷Rの一端と接続され、負荷Rの他端は入力直流電源Eiの負極と接続される。また、ダイオードDaのアノードは、入力平滑コンデンサCiとインダクタの接続点に接続され、ダイオードDaのカソードは、入力直流電源Eiの負極と接続される。第2メインスイッチング素子Sbのドレインは、第1メインスイッチング素子Saのソースと入力平滑コンデンサCiの接続点に接続され、第2メインスイッチング素子SbのソースはインダクタLbの一端と接続され、インダクタLbの他端は、インダクタLaと負荷Rの接続点に接続される。また、ダイオードDbのアノードは、第2メインスイッチング素子SbとインダクタLbの一端の接続点に接続され、ダイオードDbのカソードは、入力直流電源Eiの負極に接続される。

10

【0011】

v_{GSa} 制御部のPWMには負荷Rの出力電圧Eoが入力されている。PWMの出力はドライバに出力されている。ドライバの出力は、第1スイッチング素子Saに接続される第1の出力と、第2メインスイッチング素子Sbに接続される第2の出力とを含む。なお、第1の出力、つまりゲート電圧は、第1メインスイッチング素子Saを、時比率 $D < 0.5$ (時比率D: スwitching周期に対するスイッチオン期間の割合) の範囲内でオン/オフさせ、第2の出力、つまりゲート電圧 v_{GSb} には、ゲート電圧 v_{GSa} の位相を 180° ずらした波形が生じ、第2メインスイッチング素子SbをSaと 180° の位相差でオン/オフさせる。

20

【0012】

図2～図4に本実施例の各スイッチング状態における等価回路を示し、図5に回路各部の電圧電流波形を示す。

v_{GSa} なお、第1メインスイッチング素子Saのドレイン・ソース間電圧をとし、ドレイン・ソース間電流を i_{sa} とする。同様に、第2メインスイッチング素子Sbのドレイン・ソース間電圧を v_{sb} とし、ドレイン・ソース間電流を i_{sb} とする。インダクタLaの電圧を v_{La} とし、インダクタ電流を i_{La} とする。同様に、インダクタLbの電圧を v_{Lb} とし、インダクタ電流を i_{Lb} とする。ダイオードDaのアノード・カソード間電圧を v_{Da} 、電流を i_{Da} とし、ダイオードDbのアノード・カソード間電圧を v_{Db} 、電流を i_{Db} とする。入力平滑コンデンサCiの電圧を V_{Ci} とする。出力平滑コンデンサCoに流れ込む電流を i_{Co} 、出力電圧をEoとする。

30

【0013】

まず、状態aでは、図2に示す等価回路のように、第1メインスイッチング素子Saがオン、第2メインスイッチング素子Sbがオフとなり、インダクタLaが、入力直流電源Ei、入力平滑コンデンサCi、出力平滑コンデンサCoと連結される。これにより、入力直流電源EiからインダクタLaにエネルギーが蓄積されると共に、インダクタ電流 i_{La} が線形的に増加する。なお、この状態におけるインダクタ電流の変化量 i_{LaON} は、次式で表される。

40

【0014】

【数1】

$$\Delta i_{LaON} = \frac{(E_i - V_{ci} - E_o) T_{ON}}{L_a}$$

状態b～cでは、図3、図4に示す等価回路のように、第1メインスイッチング素子Saがオフとなり、インダクタLaが、出力平滑コンデンサCoと連結される。これにより、インダクタLaに蓄えられているエネルギーが出力平滑コンデンサCoへ供給されると共に、インダク

50

タ電流 i_{La} が線形的に減少する。なお、この状態におけるインダクタ電流の変化量 i_{LaOFF} は、次式で表される。

【 0 0 1 5 】

【数 2】

$$\Delta i_{LaOFF} = -\frac{E_o T_{OFF}}{L_a}$$

一方、状態 c では、図 4 に示す等価回路のように、第 1 メインスイッチング素子 S_a がオフ、第 2 メインスイッチング素子 S_b がオンとなり、第 2 メインスイッチング素子 S_b とダイオード D_a を通して、インダクタ L_b が、入力平滑コンデンサ C_i と出力平滑コンデンサ C_o に連結される。これにより、入力平滑コンデンサ C_i からインダクタ L_b にエネルギーが蓄積されると共に、インダクタ電流 i_{La} が線形的に増加する。なお、この状態におけるインダクタ電流の変化量 i_{LbON} は、次式で表される。

【 0 0 1 6 】

【数 3】

$$\Delta i_{LbON} = \frac{(V_{C_i} - E_o) T_{ON}}{L_b}$$

状態 a、b、d では、図 2、図 3 に示す等価回路のように、第 2 メインスイッチング素子 S_b がオフとなり、インダクタ L_b が、出力平滑コンデンサ C_o と連結される。これにより、インダクタ L_b に蓄えられているエネルギーが出力平滑コンデンサ C_o へ供給されると共に、インダクタ電流 i_{Lb} が線形的に減少する。なお、この状態におけるインダクタ電流の変化量 i_{LbOFF} は、次式で表される。

【 0 0 1 7 】

【数 4】

$$\Delta i_{LbOFF} = -\frac{E_o T_{OFF}}{L_b}$$

定常状態では、式 (1) と (2) の和は零となるため、次式が得られる。

【 0 0 1 8 】

【数 5】

$$(E_i - V_{C_i} - E_o) T_{ON} - E_o T_{OFF} = 0$$

同様に、式 (3) と (4) の和も零となるため、次式が得られる。

【 0 0 1 9 】

【数 6】

$$(V_{C_i} - E_o) T_{ON} - E_o T_{OFF} = 0$$

式 (5)、(6) より、入力平滑コンデンサの電圧 V_{C_i} は、次式で求められる。

【 0 0 2 0 】

【数 7】

$$V_{C_i} = \frac{E_i}{2}$$

式 (5)、(7) から、入出力電圧の変換率 (E_o/E_i) は、次の式として求められる。

【 0 0 2 1 】

【数 8】

$$\frac{E_o}{E_i} = \frac{1}{2} \frac{T_{ON}}{T_{ON} + T_{OFF}} = \frac{D}{2}$$

10

20

30

40

50

式(8)から分かるように、本発明における2相式のスイッチングコンバータは、従来の降圧形コンバータの2倍の降圧比を得ることが可能である。したがって、メインスイッチのオン時間を2倍取れるため、出力電流リップルが低減できる。また、図5に示すように、各状態の転換時において、メインスイッチング素子とダイオードの両端電圧の変化幅は、入力電源電圧の半分であるため、スイッチング損失が低減される。

【0022】

≠本発明のコンバータ装置は、インダクタ電流 i_{La} 、 i_{Lb} のバランスを自動的に取ることが可能である。もし、第1メインスイッチング素子 S_a と第2メインスイッチング素子 S_b の時比率を D_{ra} 、 D_{rb} ($D_{ra}D_{rb}$)としてアンバランスが生じていた場合、入力平滑コンデンサの電圧 V_{Ci} は、次式に書き換えられる。

10

【0023】

【数9】

$$V_{Ci} = \frac{D_{ra}}{D_{ra} + D_{rb}} E_i$$

また、入出力電圧の変換比は次式に書き換えられる。

【0024】

【数10】

$$\frac{E_o}{E_i} = \frac{D_{ra} D_{rb}}{D_{ra} + D_{rb}}$$

20

この入力平滑コンデンサ電圧 V_{Ci} の変化により、自動的に、インダクタ電流の平均値が負荷電流の半分($I_o/2$)にバランスされる。

【実施例2】

【0025】

スイッチング電源では通常、整流素子にダイオードを用いているが、この整流用ダイオードは、少なくとも0.5Vの順方向電圧降下が生じるため、低電圧電源においては、大幅に電力効率が低下してしまう。よって、低電圧出力の場合には、整流用ダイオードの代わりに半導体スイッチング素子を用い、メインスイッチング素子と交互にオン・オフさせる同期整流方式が有効である。この場合、FETのオン抵抗は数mΩと小さいため、電源効率を大幅に改善できる。

30

そこで、図1に示した回路の整流素子であるダイオードを図6に示すように同期整流用のスイッチング素子に置き換えることも可能である。すなわち、図1と異なり、ダイオード D_a の代わりに第3メインスイッチング素子(同期整流スイッチ) S_{Ra} が設けられ、入力平滑コンデンサ C_i とインダクタ L_a の接続点に第3メインスイッチング素子(同期整流スイッチ素子) S_{Ra} のドレインが接続され、第3メインスイッチング素子 S_{Ra} のソースは、入力直流電源 E_i の負極に接続される。一方、ダイオード D_b の代わりに第4メインスイッチング素子(同期整流スイッチ素子) S_{Rb} が設けられ、第1メインスイッチング素子 S_a とインダクタ L_a の接続点に第4メインスイッチング素子 S_{Rb} のドレインが接続され、第4メインスイッチング素子 S_{Rb} のソースは、入力直流電源 E_i の負極に接続される。

40

【0026】

V_{G_a} なお、同期整流を行うには、制御部から第3メインスイッチング素子 S_{Ra} を第1メインスイッチング素子 S_a と交互にスイッチングさせ、第4メインスイッチング素子 S_{Rb} を第2メインスイッチング素子 S_b と交互にスイッチングさせる。つまり、第1メインスイッチング素子 S_a と第2メインスイッチング素子 S_b のゲート電圧と v_{gs} をNOT回路NOTa、NOTbで反転させた波形をゲート電圧 $V_{G_{Ra}}$ と $V_{G_{Rb}}$ とし、第3メインスイッチング素子 S_{Ra} と第4メインスイッチング素子 S_{Rb} をスイッチングさせればよい。

【0027】

50

図7の模式図に示すように、FETメインスイッチング素子Sa、Sb、SRa、SRbは、寄生容量C_{Sa}、C_{Sb}、C_{SRa}、C_{SRb}を持つ。そのため、スイッチング素子がオフの期間中に寄生容量に蓄えられていたエネルギーが、スイッチがオンした瞬間に短絡電流として放電され、スイッチングサージと電力損失を生み出す。このスイッチング転換時の問題を解決するために、実施例2の回路にソフトスイッチングと呼ばれる技術を適用する。ソフトスイッチングを実現するには、図8に示すように、状態aと状態bの間に状態a'という第1メインスイッチング素子Sa及び第3メインスイッチング素子SRaが両方ともオフとなる期間と、状態bと状態cの間に状態b'という第2メインスイッチング素子Sb及び第4メインスイッチング素子SRbが両方ともオフとなる期間と、状態cと状態dの間に状態c'という第2メインスイッチング素子Sb及び第4メインスイッチング素子SRbが両方ともオフとなる期間と、状態dと状態aの間に状態d'という第1メインスイッチング素子Sa及び第3メインスイッチング素子SRaが両方ともオフとなる期間とを、デッドタイムとして設け、なおかつ、図8に示すようにインダクタの三角波状のインダクタ電流*i*_{La}、と*i*_{Lb}が、常に正負に振れるようにインダクタンスを設定すれば、ソフトスイッチングが可能となる。

上記のように、本実施の形態では、特別な部品などを追加することなく、デッドタイム期間a'、b'、c'及びd'において上記のようなスイッチング状態を生成することで実現できる。

10

20

30

40

50

【0028】

v_{SRa} 図9～図11に、状態aから状態bに転換する時のソフトスイッチング動作を示す。先ず、状態aにおいて、第3メインスイッチング素子SRaのドレイン・ソース間電圧には、図9に示すように、電源電圧E_iを分圧したV_i/2の電圧が生じており、寄生容量C_{Sa}にエネルギーが蓄えられている。なお、この期間において、インダクタ電流*i*_{Lia}は正側の向きに流れている。続いて、第1メインスイッチング素子Saと第3メインスイッチング素子SRaが両方オフとなるデッドタイム期間a'に移ると、正側の向きのインダクタ電流*i*_{La}の作用によって、回路内を流れる電流は、図10に示す方向に流れる。これにより、第3メインスイッチング素子SRaの寄生容量C_{SRa}に蓄えられているエネルギーが放電され、同時に、第1メインスイッチ素子Saの寄生容量C_{Sa}にはエネルギーが充電される。したがって、第1メインスイッチング素子Saのドレイン・ソース間電圧*v*_{Sa}は0VからE_i/2まで増加し、第3メインスイッチング素子SRaのドレイン・ソース電圧*v*_{SRa}はE_i/2から0Vまで減少する。該第3メインスイッチング素子の電圧*v*_{SRa}が0Vになった以降は、インダクタ電流が第3メインスイッチング素子のボディダイオードを流れてフライホイール状態となるため、0Vを保持し続ける。したがって、このフライホイール期間中に同期整流スイッチである第3メインスイッチング素子SRaをオンにすれば、図11に示すように、スイッチング損失やサージが発生しない。同様に、第1メインスイッチング素子Sa、第2メインスイッチング素子Sb、第4メインスイッチング素子SRbについても、同様の原理によりデッドタイム期間中にエネルギーが回生されるため、ソフトスイッチングが達成される。

【0029】

図6に示した本実施の形態を評価するために、以下の回路パラメータで実験を行った。

E_i : 12 V、E_o : 1.2 V、C_i : 100mF、C_o : 500mF、L_a、L_b : 0.45mH、
 スwitchング周波数 : 250 kHz。

図12に、時比率に対する出力電圧の関係を示す。12Vの入力電圧に対して、出力電圧は、時比率の半分に比例して降圧されていることが分かる。図13に、従来の2相式降圧形コンバータとの効率の比較を示す。なお、この実験では、時比率を調整し、出力電圧をE_o:1.2Vに固定している。この条件の下、効率は、特に軽負荷時に改善されており5%前後の改善が見られた。また、効率は、特に軽負荷時に改善されており5%前後の改善が見られている。重負荷時においても2%の効率改善が確認された。図14に、第1・第2メインスイッチング素子(同期整流スイッチ素子)のドレイン・ソース間電圧波形を示す。スイッチの電圧は、約6Vであり、入力電源電圧の半分であることが分かる。

図15に、図1の2相方式を3相に拡張した場合の回路図を示す。この場合、2相目の降圧形コンバータのメインスイッチ S_b と直列に入力平滑コンデンサ C_{ib} を接続し、3相目の降圧形コンバータの入力端子を、入力平滑コンデンサ C_{ib} とメインスイッチ S_b との中間点に接続すればよい。なお、3相の場合は、各スイッチを90度の位相差でスイッチングさせ、時比率は0から約0.33の範囲内で利用する。また、同様の原理で、本方式は、さらに多相化することも可能である。図16は、4相の場合を示す。

【産業上の利用可能性】

【0030】

多相式のコンバータは、出力電圧リップルの低減や負荷応答特性の高速化が可能である等の理由から、デジタルIC用電源に利用されている。本発明は、前記手段とする2相式の降圧形コンバータの制御によって、スイッチング損失の削減、出力電圧リップルの低減、インダクタ電流のバランス回路の除去が可能となるため、該デジタルIC用電源装置などの製造産業に多大な貢献を呈するものである。

10

【図面の簡単な説明】

【0031】

【図1】実施例1における回路図である。

【図2】実施例1における回路の状態aにおける等価回路を示す図である。

【図3】実施例1における回路の状態b及びdにおける等価回路を示す図である。

【図4】実施例1における回路の状態cにおける等価回路を示す図である。

【図5】回路各部の電圧電流波形図である。

20

【図6】実施例2における回路図である。

【図7】実施例2における回路のFETの寄生成分の模式図である。

【図8】実施例2における回路におけるソフトスイッチングを行う際の電圧電流波形図である。

【図9】実施例2における回路のソフトスイッチングを行う際の状態dにおける等価回路を示す図である。

【図10】実施例2における回路のソフトスイッチングを行う際のデッドタイム期間 d' における等価回路を示す図である。

【図11】実施例4における回路のソフトスイッチングを行う際の状態aにおける等価回路を示す図である。

30

【図12】実施例2における回路の時比率と出力電圧との関係を示す図である。

【図13】実施例2における回路と従来の2相式降圧形コンバータの電力効率を比較した図である。

【図14】実施例2における回路と従来の同期整流スイッチのドレイン・ソース間電圧を示す図である。

【図15】図1の2相方式を3相に拡張した場合の回路図である。

【図16】図1の2相方式を4相に拡張した場合の回路図である。

【符号の説明】

【0032】

E_i	入力直流電源	40
S_a 、 S_b 、 S_{Ra} 、 S_{Rb}	第1～第4メインスイッチング素子	
C_i 、 C_o	コンデンサ	
L_a 、 L_b	インダクタ	
D_a 、 D_b	ダイオード	
R	負荷	

【 図 1 】

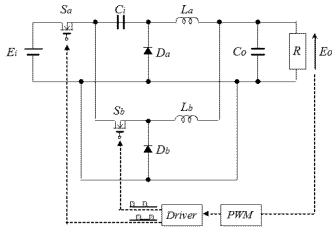


図1

【 図 2 】

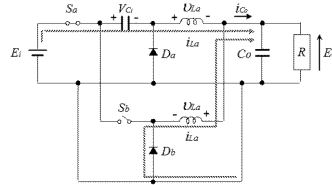


図2

【 図 3 】

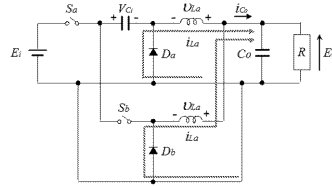


図3

【 図 6 】

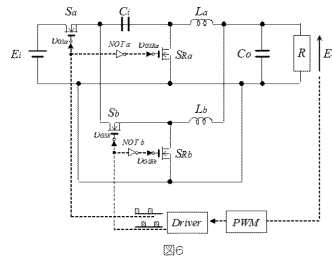


図6

【 図 7 】

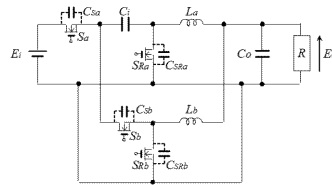


図7

【 図 4 】

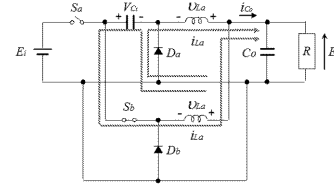


図4

【 図 5 】

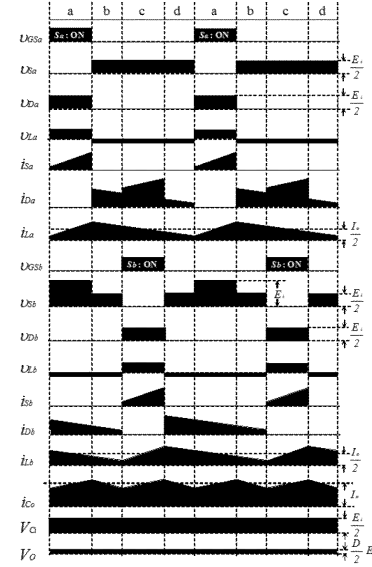


図5

【 図 8 】

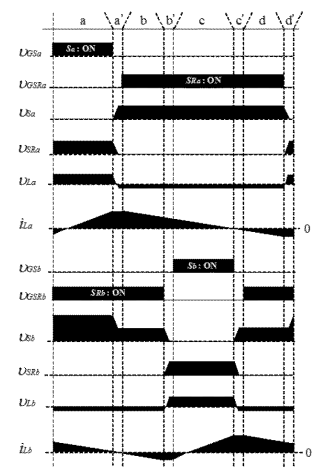


図8

【 図 9 】

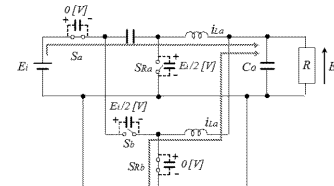


図9

【図10】

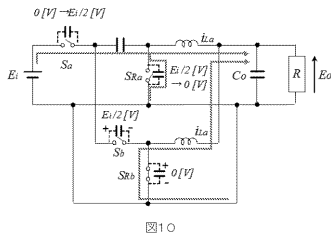


図10

【図11】

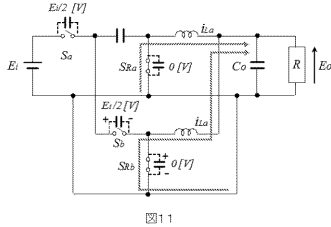


図11

【図12】

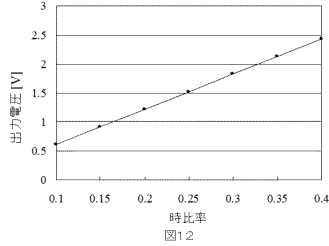


図12

【図15】

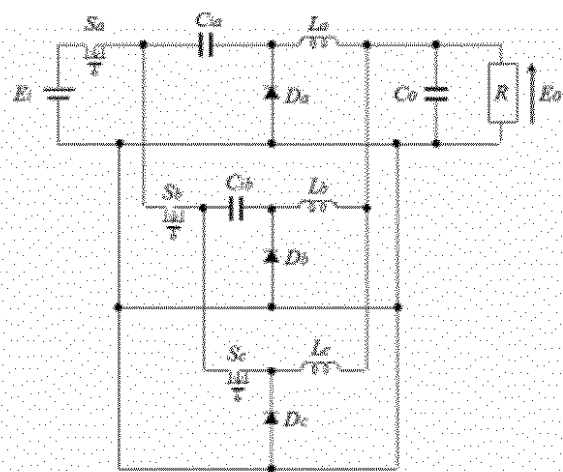


図15

【図13】

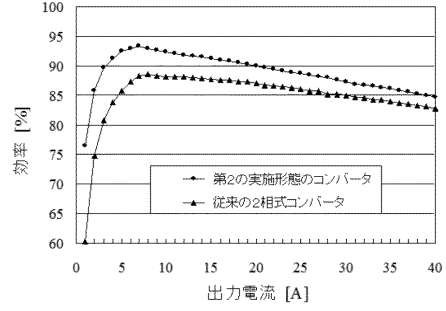


図13

【図14】

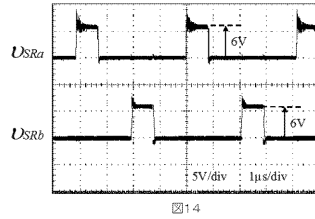


図14

【図16】

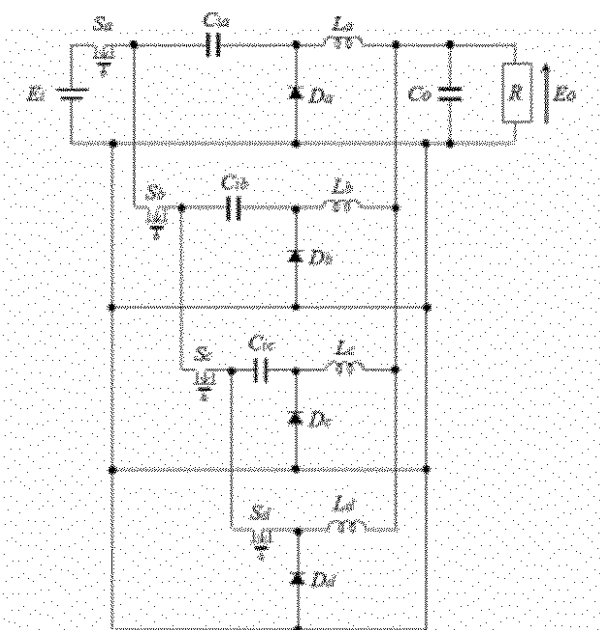


図16