

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-72834

(P2008-72834A)

(43) 公開日 平成20年3月27日(2008.3.27)

(51) Int.Cl. F I テーマコード(参考)  
 H02M 3/155 (2006.01) H02M 3/155 H 5H730

審査請求 有 請求項の数 1 O L (全 10 頁)

(21) 出願番号 特願2006-248974 (P2006-248974)  
 (22) 出願日 平成18年9月14日(2006.9.14)

(71) 出願人 304028726  
 国立大学法人 大分大学  
 大分県大分市大字旦野原700番地  
 (72) 発明者 西嶋 仁浩  
 大分県大分市旦野原700番地国立大学法  
 人大分大学内  
 Fターム(参考) 5H730 AA04 AA14 AS01 AS05 BB13  
 BB57 BB83 BB84 DD04 FG01

(54) 【発明の名称】 非絶縁形コンバータ

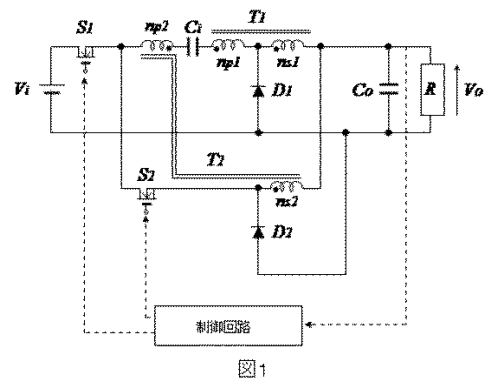
(57) 【要約】

【課題】 大幅に電圧変換しても、高効率、低出力電圧リップル特性を実現する非絶縁形コンバータに関する。

【解決手段】

第1、第2のスイッチ素子を駆動する際に位相差を持たせ時比率を特定範囲に制限して、第1～第4の期間において第1と第2のスイッチ素子を一連の特定のオンオフ制御を繰り返して、第1、第2のトランスの1次巻線と分圧用コンデンサとからなる直列回路を、第1の期間に入力電源と第1のトランスの2次巻線および出力平滑コンデンサとに直列接続させ、第3の期間に第2のトランスの2次巻線と出力平滑コンデンサとに直列接続させて、第1、第2のトランスに2相の励磁電流を生成し、これらの励磁電流が前記整流手段によって整流して直流電圧を負荷に供給する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

1次巻線と2次巻線をそれぞれに巻装した第1および第2のトランスと、分圧用コンデンサと、第1および第2のスイッチ素子を備えて形成したスイッチング手段と、前記スイッチ素子をスイッチングさせるスイッチ制御手段と、第1および第2の整流素子を備えて形成した整流手段と、出力平滑コンデンサとを備え、前記第1および第2のスイッチ素子を駆動する際に位相差を持たせ、かつ、時比率を0から0.5までの範囲に制限して、第1の期間において第1のスイッチ素子のみをオンさせ、第2の期間において第1及び第2のスイッチ素子を両方ともオフさせ、第3の期間において第2のスイッチ素子のみをオンさせ、第4の期間において第1及び第2のスイッチ素子を両方ともオフさせる一連の制御を繰り返して、前記第1および第2のトランスの1次巻線と分圧用コンデンサとからなる直列回路を、前記第1の期間に入力電源と前記第1のトランスに巻装された2次巻線および出力平滑コンデンサとに直列接続させ、ならびに、前記第3の期間に前記第2のトランスに巻装された2次巻線と出力平滑コンデンサとに直列接続させて、前期第1および第2のトランスに2相の励磁電流を生成し、これらの励磁電流が前記整流手段によって整流することで直流電圧を負荷に供給することを特徴とする非絶縁形コンバータ。

10

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、非絶縁形コンバータに関し、比較的大幅に電圧変換する場合において、高効率、低出力電圧リップル特性を実現するための技術に関する。

20

**【背景技術】****【0002】**

周知のように、電圧を降圧する場合には、図12に示す降圧形コンバータが広く用いられている。

また、降圧形コンバータを図13に示すように並列接続し、位相をずらしてスイッチングさせる多相方式は、出力電圧リップルの低減や、負荷応答特性の向上のために広く利用されている。

**【発明の開示】****【発明が解決しようとする課題】**

30

**【0003】**

しかし、降圧形コンバータは、降圧比が大きくなるほどに電力効率が低下する傾向にあるため、電圧を大幅に降圧する用途には不向きである。また、出力電圧リップルについても、降圧比が大きくなるほどに増加する傾向にあるため、並列接続する相数を増やさざるを得ない。なお、多相方式では、各相の電流にバラツキが生じる問題もあり、電流をバランスさせる制御回路が必要不可欠となる。

**【課題を解決するための手段】****【0004】**

本発明における非絶縁形コンバータは、1次巻線と2次巻線をそれぞれに巻装した第1および第2のトランスと、分圧用コンデンサと、第1および第2のスイッチ素子を備えて形成したスイッチング手段と、前記スイッチ素子をスイッチングさせるスイッチ制御手段と、第1および第2の整流素子を備えて形成した整流手段と、出力平滑コンデンサとを備え、前記第1および第2のスイッチ素子を駆動する際に位相差を持たせ、かつ、時比率を0から0.5までの範囲に制限することで、第1の期間において第1のスイッチ素子のみをオンさせ、第2の期間において第1及び第2のスイッチ素子を両方ともオフさせ、第3の期間において第2のスイッチ素子のみをオンさせ、第4の期間において第1及び第2のスイッチ素子を両方ともオフさせる一連の制御を繰り返すことで、前記第1および第2のトランスの1次巻線と分圧用コンデンサとからなる直列回路を、前記第1の期間に入力電源と前記第1のトランスに巻装された2次巻線および出力平滑コンデンサとに直列接続させ、ならびに、前記第3の期間に前記第2のトランスに巻装された2次巻線と出力平滑コンデ

40

50

ンサとに直列接続させることで、前期第 1 および第 2 のトランスに 2 相の励磁電流を生成し、これらの励磁電流が前記整流手段によって整流されることで直流電圧を負荷に供給することを特徴とする。

【 0 0 0 5 】

本発明における 2 相式のスイッチングコンバータの構成する具体的な回路構成例は複数存在しており、以下で述べる回路例に限定されるものではない。

【 発明の効果 】

【 0 0 0 6 】

本発明における非絶縁形コンバータは、トランスの巻数比を大きく取らなくても、大幅な電圧変換率が得られる。また、出力電圧リップルの低減、スイッチ素子や整流素子における損失やサージの低減が可能である。さらに、2 つのトランスを流れる電流が自動的にバランスされるため、電流バランスのための制御回路が不要である。

10

【 発明を実施するための最良の形態 】

【 0 0 0 7 】

発明を実施するための最良の形態については本発明の実施例により詳細に説明する。

【 実施例 1 】

【 0 0 0 8 】

図 1 に本発明における非絶縁形コンバータの回路例を示す。このコンバータは、タップドインダクタコンバータを 2 相構成にしたものに似ている。1 相目のコンバータは、1 次巻線 np1 と 2 次巻線 ns1 を持つトランス T1、スイッチ素子 S1、ダイオード D1 で構成され、2 相目のコンバータは、1 次巻線 np2 と 2 次巻線 ns2 を持つトランス T2、スイッチ素子 S2、ダイオード D2 で構成される。また、1 次巻線 np1、np2 と直列に、分圧用コンデンサ Ci が接続され、出力に平滑コンデンサ Co が接続される。なお、Vi は直流電源、R は負荷である。

20

【 0 0 0 9 】

制御回路は、スイッチ素子 S1 と S2 に位相差を持たせてオン/オフさせる。ただし、これらのスイッチの時比率は、 $0 < D < 0.5$  の範囲内（時比率 D：スイッチング周期に対するスイッチオン期間の割合）に制限される。これにより、順に、スイッチ素子 S1 のみオン、両方のスイッチ素子がオフ、スイッチ素子 S2 のみオン、両方のスイッチ素子がオフ、を繰り返す。なお、出力電圧リップルを最小にする最良の形態としては、理論的には、スイッチ素子 S1 と S2 の時比率を同じにし、位相差を  $180^\circ$  にした時である。

30

【 0 0 1 0 】

図 2 ~ 図 4 に本実施例の各スイッチング状態における等価回路を示し、図 5 に回路各部の電圧電流波形を示す。

$v_{GS1}$  なお、スイッチ素子 S1 のゲート・ソース間電圧を、ドレイン・ソース間電圧を  $v_{S1}$  とし、ドレイン・ソース間電流を  $i_{S1}$  とする。同様に、スイッチ素子 S2 のゲート・ソース間電圧を  $v_{GS2}$ 、ドレイン・ソース間電圧を  $v_{S2}$  とし、ドレイン・ソース間電流を  $i_{S2}$  とする。分圧用コンデンサ Ci の電圧を  $v_{Ci}$ 、電流を  $i_{Ci}$  とする。トランス T1 の 1 次巻線電圧を  $v_{tp1}$ 、2 次巻線電圧を  $v_{ts1}$  とし、励磁電流を  $i_{Lm1}$ 、2 次巻線電流を  $i_{ms1}$  とする。同様に、トランス T2 の 1 次巻線電圧を  $v_{tp2}$ 、2 次巻線電圧を  $v_{ts2}$  とし、励磁電流を  $i_{Lm2}$ 、2 次巻線電流を  $i_{ms2}$  とする。ダイオード D1 の電圧を  $v_{D1}$  とし、ダイオードの電流を  $i_{D1}$  とする。同様に、ダイオード D2 の電圧を  $v_{D2}$  とし、ダイオードの電流を  $i_{D2}$  とする。出力平滑コンデンサの電流  $i_{Co}$  をとし、出力電圧を  $V_o$  とする。

40

【 0 0 1 1 】

$i_{Lm1}$  先ず、 $t_0$ から $t_1$ までの期間では、図2に示すように、スイッチ素子 $S_1$ がオン、スイッチ素子 $S_2$ がオフとなる。これにより、2つのトランスの1次巻線 $n_{p1}$ 、 $n_{p2}$ と分圧用コンデンサ $C_i$ で構成された直列回路が、直流電源 $V_i$ とトランス $T_1$ の2次巻線 $n_{s1}$ と出力平滑コンデンサ $C_o$ に連結される。この際、ダイオード $D_1$ は逆バイアスされているので、トランス $T_1$ は、トランスとしてではなく、単なるインダクタとして機能する。したがって、トランス $T_1$ を流れる電流、つまり、励磁電流と2次巻線電流 $i_{ms1}$ は、直線的に増加しながら負荷側へ流れ込む。同時に、トランス $T_1$ を流れる電流は、トランス $T_2$ の1次巻線 $n_{p2}$ も貫通しているため、2次巻線 $n_{s2}$ を通して負荷側へ電流が流れ込む。さらに、トランス $T_2$ に蓄えられている励磁エネルギーも2次巻線 $n_{s2}$ を通して負荷側へ放出される。これにより、トランス $T_2$ の励磁電流 $i_{Lm2}$ は線形的に減少する。

10

## 【0012】

$i_{Lm1}$  続いて、 $t_1$ から $t_2$ までの期間では、図3に示すように、2つのスイッチ素子が両方ともオフとなる。これにより、各トランスの励磁エネルギーが各2次巻線 $n_{s1}$ 、 $n_{s2}$ を通して負荷側へ放出される。したがって、トランス $T_1$ と $T_2$ の励磁電流、 $i_{Lm2}$ は線形的に減少する。

## 【0013】

$i_{Lm2}$   $t_2$ から $t_3$ までの期間では、図4に示すように、スイッチ素子 $S_1$ がオフ、スイッチ素子 $S_2$ がオンとなり、2つのトランスの1次巻線 $n_{p1}$ 、 $n_{p2}$ と分圧用コンデンサ $C_i$ で構成された直列回路が、トランス $T_2$ の2次巻線 $n_{s2}$ と出力平滑コンデンサ $C_o$ に接続される。この際、分圧用コンデンサ $C_i$ に発生している直流電圧 $V_{Ci}$ が電源の代わりとなる。これにより、ダイオード $D_2$ が逆バイアスされ、トランス $T_2$ は、単なるインダクタとして機能する。これにより、トランス $T_2$ を流れる電流、つまり、励磁電流と2次巻線電流 $i_{ms2}$ が直線的に増加しながら負荷側へ流れ込む。同時に、トランス $T_2$ を流れる電流は、トランス $T_1$ の1次巻線 $n_{p1}$ も貫通しているため、2次巻線 $n_{s1}$ を通して負荷側へ電流が流れ込む。さらに、トランス $T_1$ に蓄えられている励磁エネルギーもトランス $T_1$ の2次巻線 $n_{s1}$ を通して負荷側へ放出される。これにより、トランス $T_1$ の励磁電流 $i_{Lm1}$ は線形的に減少する。

20

## 【0014】

$i_{Lm1}$   $t_3$ から $t_4$ までの期間では、 $t_1$ から $t_2$ までの期間と同様に、2つのスイッチ素子が両方ともオフとなる。これにより、各トランスの励磁エネルギーが各2次巻線を通して負荷側へ放出される。したがって、トランス $T_1$ と $T_2$ の励磁電流、 $i_{Lm2}$ は線形的に減少する。

30

## 【0015】

本発明のコンバータの定常解析を行う。なお、それぞれのトランスの1次巻線の巻数を $n_1$ 、2次巻線の巻数を $n_2$ とする。また、スイッチ素子のオン時間を $T_{on}$ 、オフ時間を $T_{off}$ とする。

$\Delta\phi_{T1on}$  先ず、トランス $T_1$ について考えると、スイッチ素子 $S_1$ がオンの期間、つまり、 $t_0$ から $t_1$ までの期間では、磁束の増加量が次の数1式で得られる。

40

## 【0016】

## 【数1】

$$(V_i - V_{Ci} - V_{np2} - V_o) \cdot T_{on} = (n_1 + n_2) \cdot \Delta\phi_{T1on}$$

ここで、トランス $T_2$ の2次巻線 $n_{s2}$ には出力電圧 $V_o$ が加わっているため、トランス $T_2$ の1次巻線電圧 $V_{np2}$ は、トランスの巻数比に比例した値

## 【0017】

【数 2】

$$V_{np2} = \frac{n1}{n2} V_o$$

となる。数 2 を数 1 に代入すれば、

【0 0 1 8】

【数 3】

$$(V_i - V_{C1} - \frac{n1}{n2} V_o - V_o) \cdot T_{on} = (n1 + n2) \cdot \Delta\phi_{T1on}$$

10

また、スイッチ素子S1がオフの期間、つまり、t1からt4までの期間では、磁束の減少量が次の数 4 式で得られる。

【0 0 1 9】

【数 4】

$$V_o \cdot T_{off} = n2 \Delta\phi_{T1off}$$

$\Delta\phi_{T2on}$  一方、トランスT2について考えると、スイッチ素子S2がオンの期間、つまり、t2からt3までの期間では、磁束の増加量が次の数 5 式で得られる。

【0 0 2 0】

20

【数 5】

$$(V_{C1} - V_{np1} - V_o) \cdot T_{on} = (n1 + n2) \cdot \Delta\phi_{T2on}$$

ここで、トランスT1の 2 次巻線ns1には出力電圧Voが加わっているため、トランスT1の 1 次巻線電圧Vnp1は、トランスの巻数比に比例した値

【0 0 2 1】

【数 6】

$$V_{np1} = \frac{n1}{n2} V_o$$

30

となる。数 6 を数 5 に代入すれば、数 7 となり

【0 0 2 2】

【数 7】

$$(V_{C1} - \frac{n1}{n2} V_o - V_o) \cdot T_{on} = (n1 + n2) \cdot \Delta\phi_{T2on}$$

スイッチ素子S2がオフの期間、つまり、t1からt2までとt3からt4までを合わせた期間では、次の数 8 式が得られる。

【0 0 2 3】

【数 8】

$$V_o \cdot T_{off} = n2 \Delta\phi_{T2off}$$

40

また、磁束の連続性から、

【0 0 2 4】

【数 9】

$$\Delta\phi_{T1on} = \Delta\phi_{T1off}$$

【0 0 2 5】

## 【数 1 0】

$$\Delta\phi_{T_{2on}} = \Delta\phi_{T_{1off}}$$

であるから、これらの式から、数 1 1 が数 1 2 が得られる。

## 【0 0 2 6】

## 【数 1 1】

$$\frac{V_o}{V_i} = \frac{n_2}{2(n_1+n_2)} \frac{T_{on}}{T_{on}+T_{off}} = \frac{n_2}{2(n_1+n_2)} D$$

## 【0 0 2 7】

## 【数 1 2】

$$V_{C_i} = \frac{V_i}{2}$$

## 【0 0 2 8】

$i_{ns1}$  本発明のコンバータは、分圧用コンデンサ $C_i$ が各トランスを流れる電流をバランスさせる役割を持つ。コンデンサ $C_i$ は、 $t_0$ から $t_1$ までの期間に、トランス $T_1$ を流れる電流によって充電され、 $t_2$ から $t_3$ までの期間に、トランス $T_2$ を流れる電流 $i_{ns2}$ によって放電される。したがって、トランスの電流にアンバランスがあると、コンデンサの充放電量にもアンバランスが生じるため、コンデンサの電圧が変化しはじめる。例えば、何らかの要因で、 $i_{ns1} \neq i_{ns2}$ になったとすると、コンデンサ $C_i$ の充電量が放電量より多くなるため、コンデンサ $C_i$ の電圧が高くなりはじめる。すると、 $t_0$ から $t_1$ までの期間では、トランス $T_1$ に加わる電圧が減少し、逆に、 $t_2$ から $t_3$ までの期間では、トランス $T_2$ に加わる電圧が増加する。この電圧変化は、トランス $T_1$ を流れる電流 $i_{ns1}$ を減少させ、トランス $T_2$ を流れる電流 $i_{ns2}$ を増加させる向きであるから、自動的に、トランスを流れる電流がバランスされる。

## 【0 0 2 9】

図 1 に示した本実施の形態を評価するために、以下の回路パラメータで実験を行った。  
 $V_i$ :140V、 $V_o$ :12V、 $C_i$ :4.4 $\mu$ F、 $C_o$ :282 $\mu$ F、各トランスの 1 次巻線  $np_1$ 、 $np_2$ : 6 巻、トランスの 1 次巻線  $ns_1$ 、 $ns_2$ : 5 巻、トランスの励磁インダクタンス  $Lm_1$ 、 $Lm_2$ : 8  $\mu$ H、スイッチング周波数: 200 kHz。

図 6 に、時比率に対する電圧変換率の関係を示すが、本発明におけるコンバータは、トランスの巻数比が 1:1 の場合において、従来の降圧形コンバータに比べて 4 倍の降圧比が得られている。図 7 に、スイッチ素子である MOSFET S1、S2 のドレイン・ソース間電圧波形を示し、図 8 に、整流素子であるダイオード D1、D2 のアノード・カソード間電圧波形を示す。従来の降圧形コンバータでは、スイッチ素子や整流素子にかかる耐圧が電源電圧  $V_i$  と同じ値となるのに対して、本発明におけるコンバータでは、スイッチ素子や整流素子に加わる電圧が電源電圧より低く抑えられる。そのため、スイッチング損失やスイッチングサージを低減でき、また、低耐圧の部品も利用できる。図 9 に、従来の 2 相式降圧形コンバータとの効率の比較を示すが、8%前後の大幅な改善が見られている。図 10 に電流リップルの波形を示す。従来の 2 相式降圧形コンバータが最大 6.2A のリップルがあるのに対し、図 1 の実施例では、1.8A へ削減できている。図 11 に、2.5A 負荷時における各相の 2 次巻線電流波形を示すが、電流にバラツキが生じていないことがわかる。

## 【産業上の利用可能性】

## 【0 0 3 0】

本発明は、前記手段とするコンバータ構成によって、大きな降圧比を必要とする用途に対して、スイッチング損失やサージの削減、出力電圧リップルの低減、トランスを流れる電流の自動バランスが可能となるため、この種産業に多大な貢献を呈するものである。

## 【図面の簡単な説明】

10

20

30

40

50

## 【 0 0 3 1 】

【図 1】実施例 1 の回路図である。

【図 2】実施例 1 の回路において、 $t_0$  から  $t_1$  までの期間における等価回路を示す図である。

【図 3】実施例 1 の回路において、 $t_1$  から  $t_2$  までの期間、および、 $t_3$  から  $t_4$  までの期間における等価回路を示す図である。

【図 4】実施例 1 の回路において、 $t_3$  から  $t_4$  までの期間における等価回路を示す図である。

【図 5】回路各部の電圧電流波形図である。

【図 6】実施例 1 の回路と従来の降圧形コンバータとの、時比率と電圧変換率との関係を示す図である。 10

【図 7】実施例 1 の回路と従来の降圧形コンバータとの、スイッチ素子のドレイン・ソース間電圧を示す図である。

【図 8】実施例 1 の回路と従来の降圧形コンバータとの、整流素子のアノード・カソード間電圧を示す図である。

【図 9】実施例 1 の回路と従来の 2 相式降圧形コンバータとの、効率の比較を示す図である。

【図 10】実施例 1 の回路と従来の 2 相式降圧形コンバータとの、出力平滑コンデンサの電流リップルの比較を示す図である。

【図 11】実施例 1 の回路の、各トランスを流れる電流波形を示す図である。 20

【図 12】従来の降圧形コンバータの回路図を示す。

【図 13】従来の降圧形コンバータを並列接続した多相方式の回路図を示す。

## 【符号の説明】

## 【 0 0 3 2 】

$V_i$	入力直流電源
$S_1$ 、 $S_2$ 、	スイッチ素子
$C_i$ 、 $C_o$	コンデンサ
$T_1$ 、 $T_2$	トランス
$np_1$ 、 $np_2$	トランスの 1 次巻線
$ns_1$ 、 $ns_2$	トランスの 2 次巻線
$D_1$ 、 $D_2$	ダイオード
$R$	負荷

10

20

30

【 図 1 】

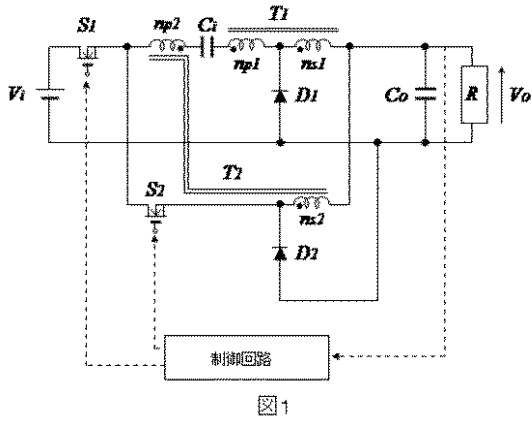


図1

【 図 2 】

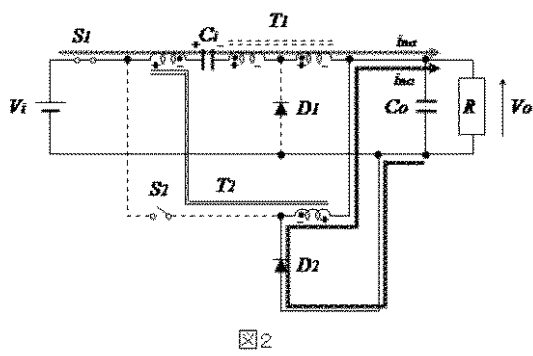


図2

【 図 5 】

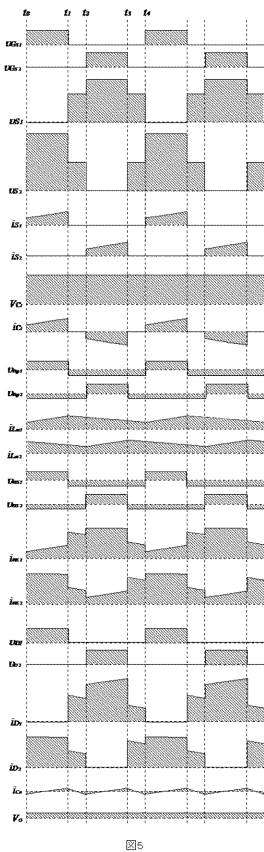


図5

【 図 3 】

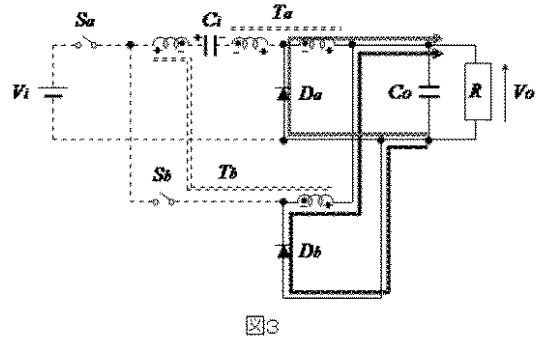


図3

【 図 4 】

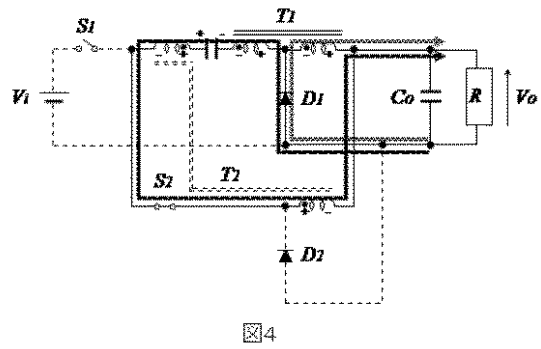


図4

【 図 6 】

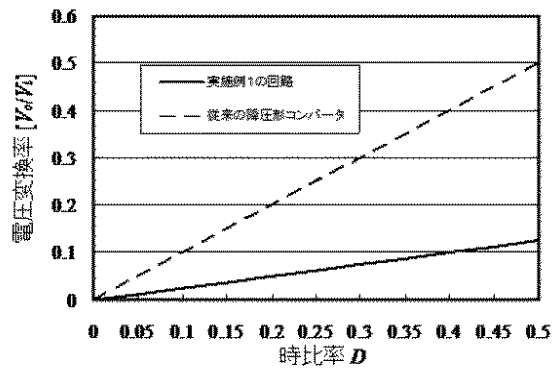


図6

【 図 7 】

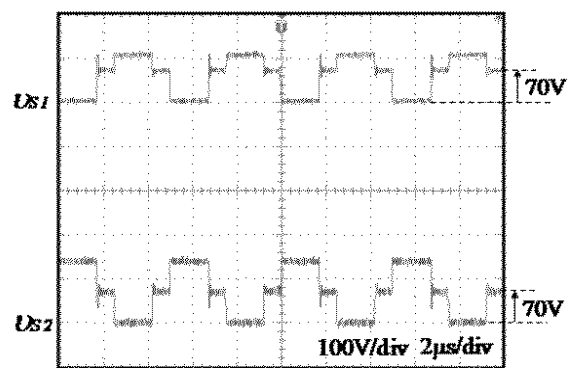


図7



【 図 8 】

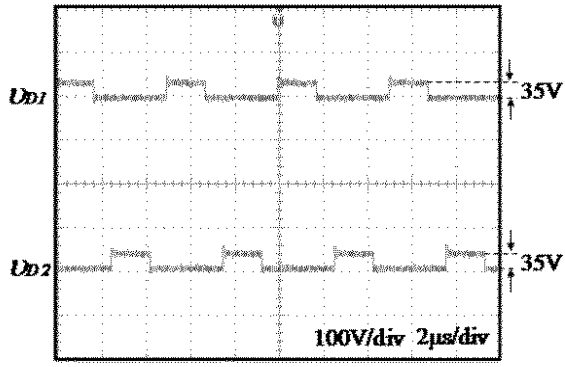


図8

【 図 9 】

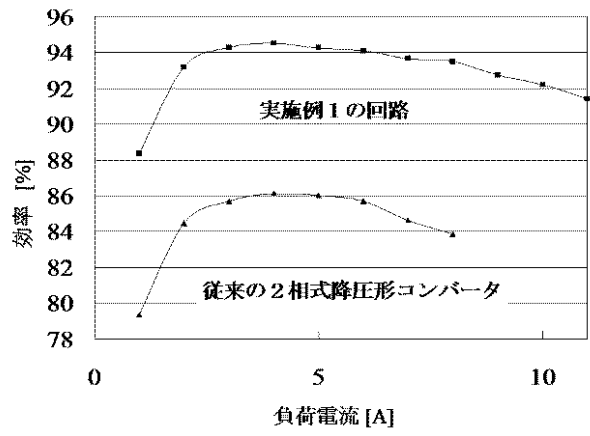


図9

【 図 10 】

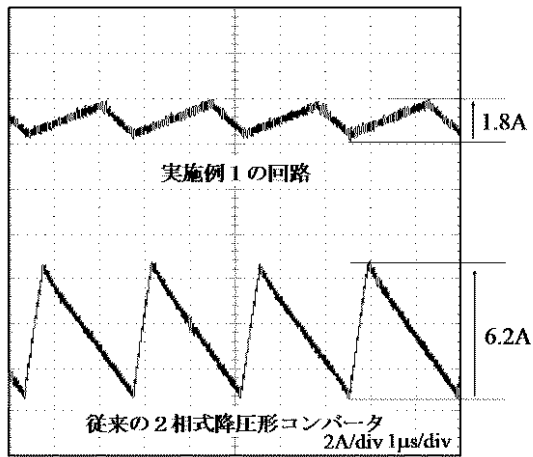


図10

【 図 11 】

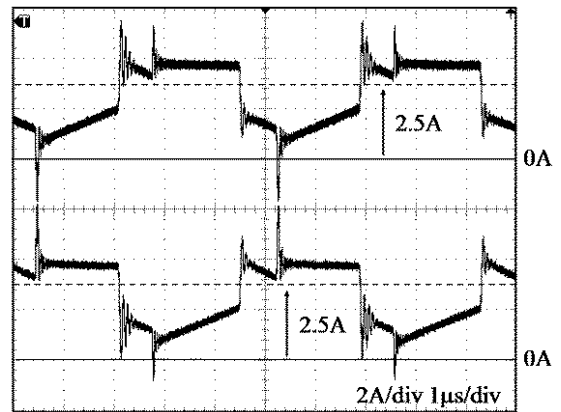


図11

【 図 12 】

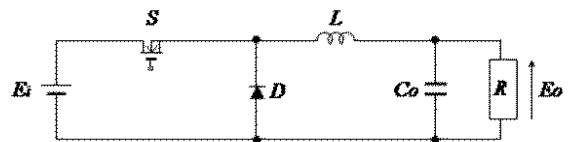


図12

【 図 1 3 】

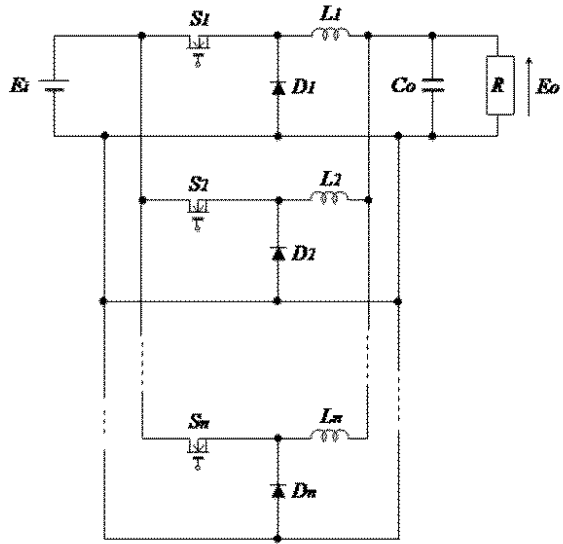


図 13