

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-250867

(P2008-250867A)

(43) 公開日 平成20年10月16日(2008.10.16)

(51) Int.Cl.		F I		テーマコード (参考)
<b>G06F 11/34</b>	<b>(2006.01)</b>	G06F 11/34	N	5B042
<b>G06F 11/28</b>	<b>(2006.01)</b>	G06F 11/28	310E	
		G06F 11/34	C	

審査請求 未請求 請求項の数 19 O L (全 25 頁)

(21) 出願番号	特願2007-94075 (P2007-94075)	(71) 出願人	391043332 財団法人福岡県産業・科学技術振興財団 福岡県福岡市中央区天神1丁目1番1号
(22) 出願日	平成19年3月30日 (2007.3.30)	(71) 出願人	504145342 国立大学法人九州大学 福岡県福岡市東区箱崎六丁目10番1号
		(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100124626 弁理士 榎並 智和
		(72) 発明者	吉松 則文 福岡県福岡市中央区天神一丁目1番1号 財団法人福岡県産業・科学技術振興財団内 最終頁に続く

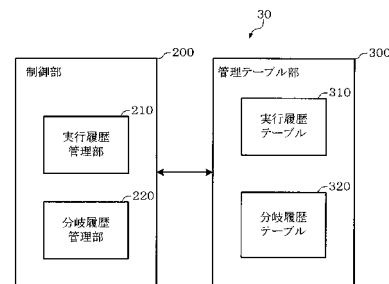
(54) 【発明の名称】 実行パス検出装置、情報処理装置、実行パス検出方法、プログラム及び記録媒体

(57) 【要約】

【課題】 少ないメモリ容量で、高速に実行頻度の高い命令列の実行パスを検出できる実行パス検出装置等を提供する。

【解決手段】 実行頻度が高い命令列の実行パスを検出するための実行パス検出装置は、分岐命令を含む命令列を1ブロックとする命令列ブロックの先頭アドレスの命令の実行回数が格納される実行履歴テーブル310と、分岐命令の分岐履歴が格納される分岐履歴テーブル320と、分岐命令の分岐履歴を収集する処理を行う分岐履歴管理部220とを含み、実行回数が所与の閾値を超えたことを条件に、分岐履歴管理部220が、分岐履歴の収集を開始すると共に、実行パスを特定するためのパス情報を分岐履歴に基づいて出力する。

【選択図】 図6



**【特許請求の範囲】****【請求項 1】**

実行頻度が高い命令列の実行パスを検出するための実行パス検出装置であって、  
分岐命令を含む命令列を 1 ブロックとする命令列ブロックの先頭アドレスの命令の実行回数が格納される実行履歴テーブルと、  
前記分岐命令の分岐履歴が格納される分岐履歴テーブルと、  
前記分岐命令の分岐履歴を収集する処理を行う分岐履歴管理部とを含み、  
前記実行回数が所与の閾値を超えたことを条件に、前記分岐履歴管理部が、前記分岐履歴の収集を開始すると共に、前記実行パスを特定するためのパス情報を、前記分岐履歴に基づいて出力することを特徴とする実行パス検出装置。

10

**【請求項 2】**

請求項 1 において、  
前記命令列ブロックの先頭アドレスの命令の実行回数をカウントするカウンタを含み、  
前記実行履歴テーブルは、  
前記先頭アドレスの命令毎に、実行回数を記憶することを特徴とする実行パス検出装置。

**【請求項 3】**

請求項 1 又は 2 において、  
前記実行履歴テーブルの記憶領域の少なくとも一部が、前記分岐履歴テーブルの記憶領域と重複していることを特徴とする実行パス検出装置。

20

**【請求項 4】**

請求項 1 又は 2 において、  
前記分岐履歴テーブルに登録すべき情報の少なくとも一部が、前記実行履歴テーブルの記憶領域に書き込まれることを特徴とする実行パス検出装置。

**【請求項 5】**

請求項 1 乃至 4 のいずれかにおいて、  
前記実行履歴テーブルに、  
分岐命令の戻り方向の分岐先アドレスの命令の実行回数が格納されることを特徴とする実行パス検出装置。

**【請求項 6】**

請求項 1 乃至 5 のいずれかにおいて、  
前記実行履歴テーブルが、前記先頭アドレス及び前記実行回数を記憶し、  
前記分岐履歴管理部が、  
前記閾値を超えた前記実行回数に関連付けて記憶される先頭アドレスを用いて、前記分岐履歴の収集を開始することを特徴とする実行パス検出装置。

30

**【請求項 7】**

請求項 1 乃至 6 のいずれかにおいて、  
前記分岐履歴テーブルが、  
記憶情報をセットアソシアティブ方式で記憶し、  
各セットには、  
前記先頭アドレス、当該命令列ブロックに含まれる分岐命令のターゲットアドレス、及び分岐回数が記憶され、  
該分岐命令に対応して記憶されたターゲットアドレスのうち分岐回数が最も多いセットのターゲットアドレスを出力することを特徴とする実行パス検出装置。

40

**【請求項 8】**

請求項 1 乃至 7 のいずれかにおいて、  
前記分岐履歴管理部が、  
前記分岐命令の分岐先アドレスをインデックスとして前記分岐履歴テーブルを検索して得られたターゲットアドレスをパス情報として出力することを特徴とする実行パス検出装置。

50

## 【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

前記分岐命令の分岐先が前記実行履歴テーブルに記録された先頭アドレスとならないとき、又は予め決められた分岐命令の実行回数が所与のサンプリング時間内に達しなかったとき、

前記分岐履歴管理部が、

前記分岐履歴テーブルの記憶情報を無効化することを特徴とする実行パス検出装置。

## 【請求項 10】

請求項 1 乃至 9 のいずれか記載の実行パス検出装置と、

アプリケーションプログラムを実行処理する中央演算処理装置とを含み、

前記パス検出装置からの前記パス情報に基づいて、前記アプリケーションプログラムの処理が最適化されることを特徴とする情報処理装置。

10

## 【請求項 11】

請求項 1 乃至 9 のいずれか記載の実行パス検出装置と、

アプリケーションプログラムを実行処理する中央演算処理装置と、

前記パス検出装置からの前記パス情報に基づいて、前記アプリケーションプログラムの処理を最適化するパス処理部とを含むことを特徴とする情報処理装置。

## 【請求項 12】

実行頻度が高い命令列の実行パスを検出するための実行パス検出方法であって、

分岐命令を含む命令列を 1 ブロックとする命令列ブロックの先頭アドレスの命令の実行回数を実行履歴テーブルに記憶するステップと、

20

前記実行回数が所与の閾値を超えたことを条件に前記分岐命令の分岐履歴の収集を開始し、該分岐履歴を分岐履歴テーブルに記憶するステップと、

前記実行パスを特定するためのパス情報を、前記分岐履歴に基づいて出力するステップとを含むことを特徴とする実行パス検出方法。

## 【請求項 13】

請求項 12 において、

前記実行履歴テーブルの記憶領域の少なくとも一部が、前記分岐履歴テーブルの記憶領域と重複していることを特徴とする実行パス検出方法。

## 【請求項 14】

30

請求項 12 又は 13 において、

前記先頭アドレスが、

分岐命令の戻り方向の分岐先アドレスであり、

前記実行履歴テーブルが、前記先頭アドレス及び前記実行回数を記憶し、

前記閾値を超えた前記実行回数に関連付けて記憶される先頭アドレスを用いて、前記分岐履歴の収集を開始することを特徴とする実行パス検出方法。

## 【請求項 15】

請求項 12 乃至 14 のいずれかにおいて、

前記分岐履歴テーブルが、

記憶情報をセットアソシアティブ方式で記憶し、

40

各セットには、

前記先頭アドレス、当該命令列ブロックに含まれる分岐命令のターゲットアドレス、及び分岐回数が記憶され、

該分岐命令に対応して記憶されたターゲットアドレスのうち分岐回数が最も多いセットのターゲットアドレスを出力することを特徴とする実行パス検出方法。

## 【請求項 16】

請求項 12 乃至 15 のいずれかにおいて、

該分岐命令の分岐先アドレスをインデックスとして前記分岐履歴テーブルを検索して得られたターゲットアドレスをパス情報として出力することを特徴とする実行パス検出方法。

50

## 【請求項 17】

請求項 12 乃至 16 のいずれかにおいて、

前記分岐命令の分岐先が前記実行履歴テーブルに記録された先頭アドレスとならないとき、又は予め決められた分岐命令の実行回数が所与のサンプリング時間内に達しなかったとき、

前記分岐履歴テーブルの記憶情報を無効化することを特徴とする実行パス検出方法。

## 【請求項 18】

コンピュータに、請求項 12 乃至 17 のいずれか記載の実行パス検出方法を実行させるためのプログラム。

## 【請求項 19】

請求項 18 記載のプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、実行パス検出装置、情報処理装置、実行パス検出方法、プログラム及び記録媒体に関する。

## 【背景技術】

## 【0002】

アプリケーションプログラムを実行するプロセッサの処理の高速化や低消費電力化を実現するために、プログラムの局所性に着目した手法が提案されている。この手法は、プログラムを実行する上でクリティカルな命令列を発見し、該命令列の処理の最適化を図ることで処理の高速化や低消費電力化を実現するものである。このようなクリティカルな命令列を発見する手法として、命令列に含まれる分岐命令の実行履歴を利用する手法がある。

## 【0003】

例えば特許文献 1 には、命令列の命令が実行される方向とは逆方向である戻り方向に分岐する分岐命令の実行回数に着目してループ構造の命令部分を検出し、ループ構造の命令の実行回数が多いと判断されるパス経路を記録する分岐履歴記録装置が開示されている。即ち、特許文献 1 では、プログラムのループ構造の部分に局所性が存在するという仮定の下で、該パス経路を実行頻度の高い命令列の実行パスとして検出する。

## 【0004】

また、例えば特許文献 2 には、分岐命令の分岐履歴が格納されるプロファイラテーブルと、戻り方向の分岐先アドレス及び分岐回数が格納される戻り分岐先テーブルとを設け、戻り分岐先テーブルの分岐先アドレスとプロファイラテーブルに格納された分岐履歴とに基づいて、実行頻度の高い命令列の実行パスを検出する推定装置が開示されている。

【特許文献 1】特開 2000 - 148482 号公報

【特許文献 2】特開 2005 - 92532 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、特許文献 1 が開示された分岐履歴記録装置では、ソフトウェアで処理する必要がある。そのため、実行頻度の高い命令列の実行パスを検出するための処理時間が長くなり、プロセッサの処理中に、所望の命令列の実行パスを特定することが困難であるという問題がある。

## 【0006】

また、特許文献 2 が開示された推定装置では、膨大な分岐履歴や分岐先アドレスを記録しておく必要があり、分岐履歴や分岐先アドレス等を記憶する記憶領域が膨大になってしまうという問題がある。このような推定装置において、記憶領域を少なくしようとすると、退避等の必要性から処理が中断されてしまい、所望の命令列の実行パスを検出するための処理時間が長くなる。更に、特許文献 2 における SW プロファイラ部による処理が複雑

10

20

30

40

50

であるため、ハードウェア化が困難であり、ソフトウェアで実現せざるを得なくなる。従って、特許文献1と同様に、プロセッサの処理中に、所望の命令列の実行パスを特定することは困難となる。

【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、少ないメモリ容量で、高速に実行頻度の高い命令列の実行パスを検出できる実行パス検出装置、情報処理装置、実行パス検出方法、その実行パス検出方法をコンピュータに実現させるプログラム、及び該プログラムを記録する記録媒体を提供することにある。

【課題を解決するための手段】

【0008】

上記課題を解決するために本発明は、  
実行頻度が高い命令列の実行パスを検出するための実行パス検出装置であって、  
分岐命令を含む命令列を1ブロックとする命令列ブロックの先頭アドレスの命令の実行回数が格納される実行履歴テーブルと、  
前記分岐命令の分岐履歴が格納される分岐履歴テーブルと、  
前記分岐命令の分岐履歴を収集する処理を行う分岐履歴管理部とを含み、  
前記実行回数が所与の閾値を超えたことを条件に、前記分岐履歴管理部が、前記分岐履歴の収集を開始すると共に、前記実行パスを特定するためのパス情報を、前記分岐履歴に基づいて出力する実行パス検出装置に係する。

10

【0009】

また本発明に係る実行パス検出装置では、  
前記命令列ブロックの先頭アドレスの命令の実行回数をカウントするカウンタを含み、  
前記実行履歴テーブルは、  
前記先頭アドレスの命令毎に、実行回数を記憶することができる。

20

【0010】

上記のいずれかの発明によれば、アプリケーションプログラムの局所性に着目して、高頻度で実行される命令列の繰り返し部分を検出してから、該繰り返し部分の分岐履歴を収集するようにしたので、アプリケーションプログラムにおいて実行頻度が高い命令列の実行パスを検出する際に膨大な分岐履歴を収集する必要がなくなる。そのため、本発明によれば、実行パスの検出精度の低下を抑えつつ、少ないメモリ容量で、高速に実行頻度の高い命令列の実行パスを検出できるようになる。

30

【0011】

また本発明に係る実行パス検出装置では、  
前記実行履歴テーブルの記憶領域の少なくとも一部が、前記分岐履歴テーブルの記憶領域と重複していてもよい。

【0012】

また本発明に係る実行パス検出装置では、  
前記分岐履歴テーブルに登録すべき情報の少なくとも一部が、前記実行履歴テーブルの記憶領域に書き込まれてもよい。

【0013】

上記のいずれかの発明においては、まず実行履歴テーブルを用いて高頻度で実行される命令列の繰り返し部分を検出してから、分岐履歴テーブルに該繰り返し部分の分岐履歴を収集する。そのため、分岐履歴を収集する段階では実行履歴テーブルを不要にできるため、本発明によれば、実行履歴テーブルと分岐履歴テーブルの記憶領域を共用するようにしたので、両テーブルのために必要な記憶容量の削減を図ることができる。

40

【0014】

また本発明に係る実行パス検出装置では、  
前記実行履歴テーブルに、  
分岐命令の戻り方向の分岐先アドレスの命令の実行回数が格納されてもよい。

【0015】

50

本発明によれば、戻り方向の分岐命令の実行履歴のみを収集するようにしたので、少ないメモリ容量で、高頻度で繰り返される実行部分を検出できるようになる。

【0016】

また本発明に係る実行パス検出装置では、  
前記実行履歴テーブルが、前記先頭アドレス及び前記実行回数を記憶し、  
前記分岐履歴管理部が、  
前記閾値を超えた前記実行回数に関連付けて記憶される先頭アドレスを用いて、前記分岐履歴の収集を開始することができる。

【0017】

本発明によれば、実行履歴テーブルを用いて検出した高頻度の繰り返し部分の分岐履歴の収集を行うことができるので、少ないメモリ容量で分岐履歴テーブルを構成できるようになる。

10

【0018】

また本発明に係る実行パス検出装置では、  
前記分岐履歴テーブルが、  
記憶情報をセットアソシアティブ方式で記憶し、  
各セットには、  
前記先頭アドレス、当該命令列ブロックに含まれる分岐命令のターゲットアドレス、及び分岐回数が記憶され、  
該分岐命令に対応して記憶されたターゲットアドレスのうち分岐回数が最も多いセットのターゲットアドレスを出力することができる。

20

【0019】

また本発明に係る実行パス検出装置では、  
前記分岐履歴管理部が、  
前記分岐命令の分岐先アドレスをインデックスとして前記分岐履歴テーブルを検索して得られたターゲットアドレスをパス情報として出力することができる。

【0020】

上記のいずれかの発明によれば、分岐履歴テーブルに基づいてターゲットアドレス出力できるので、無駄なソフトウェア処理を省略して、高速に、実行パスを特定できるようになる。

30

【0021】

また本発明に係る実行パス検出装置では、  
前記分岐命令の分岐先が前記実行履歴テーブルに記録された先頭アドレスとならないとき、又は予め決められた分岐命令の実行回数が所与のサンプリング時間内に達しなかったとき、  
前記分岐履歴管理部が、  
前記分岐履歴テーブルの記憶情報を無効化することができる。

【0022】

本発明によれば、分岐履歴の収集を開始した後に、高頻度で繰り返される実行が行われなかったことを検出して分岐履歴テーブルを無効化するようにしたので、無駄にパス情報を収集する必要がなくなる。

40

【0023】

また本発明は、  
上記のいずれかが記載の実行パス検出装置と、  
アプリケーションプログラムを実行処理する中央演算処理装置とを含み、  
前記パス検出装置からの前記パス情報に基づいて、前記アプリケーションプログラムの処理が最適化される情報処理装置に係る。

【0024】

また本発明は、  
上記のいずれかが記載の実行パス検出装置と、

50

アプリケーションプログラムを実行処理する中央演算処理装置と、  
前記バス検出装置からの前記バス情報に基づいて、前記アプリケーションプログラムの  
処理を最適化するバス処理部とを含む情報処理装置に係る。

【0025】

上記のいずれかの発明によれば、少ないメモリ容量で、高速に実行頻度の高い命令列の  
実行バスを検出できる実行バス検出装置が適用され、処理が最適化された情報処理装置を  
提供できる。

【0026】

また本発明は、  
実行頻度が高い命令列の実行バスを検出するための実行バス検出方法であって、  
分岐命令を含む命令列を1ブロックとする命令列ブロックの先頭アドレスの命令の実行  
回数を実行履歴テーブルに記憶するステップと、  
前記実行回数が所与の閾値を超えたことを条件に前記分岐命令の分岐履歴の収集を開始  
し、該分岐履歴を分岐履歴テーブルに記憶するステップと、  
前記実行バスを特定するためのバス情報を、前記分岐履歴に基づいて出力するステップ  
とを含む実行バス検出方法に係る。

10

【0027】

また本発明に係る実行バス検出方法では、  
前記実行履歴テーブルの記憶領域の少なくとも一部が、前記分岐履歴テーブルの記憶領  
域と重複していてもよい。

20

【0028】

また本発明に係る実行バス検出方法では、  
前記先頭アドレスが、  
分岐命令の戻り方向の分岐先アドレスであり、  
前記実行履歴テーブルが、前記先頭アドレス及び前記実行回数を記憶し、  
前記閾値を超えた前記実行回数に関連付けて記憶される先頭アドレスを用いて、前記分  
岐履歴の収集を開始することができる。

【0029】

また本発明に係る実行バス検出方法では、  
前記分岐履歴テーブルが、  
記憶情報をセットアソシアティブ方式で記憶し、  
各セットには、  
前記先頭アドレス、当該命令列ブロックに含まれる分岐命令のターゲットアドレス、及  
び分岐回数が記憶され、  
該分岐命令に対応して記憶されたターゲットアドレスのうち分岐回数が最も多いセット  
のターゲットアドレスを出力することができる。

30

【0030】

また本発明に係る実行バス検出方法では、  
該分岐命令の分岐先アドレスをインデックスとして前記分岐履歴テーブルを検索して得  
られたターゲットアドレスをバス情報として出力することができる。

40

【0031】

また本発明に係る実行バス検出方法では、  
前記分岐命令の分岐先が前記実行履歴テーブルに記録された先頭アドレスとならないと  
き、又は予め決められた分岐命令の実行回数が所与のサンプリング時間内に達しなかつた  
とき、  
前記分岐履歴テーブルの記憶情報を無効化することができる。

【0032】

上記のいずれかの発明によれば、少ないメモリ容量で、高速に実行頻度の高い命令列の  
実行バスを検出できる実行バス検出方法を提供できる。

【0033】

50

また本発明は、  
コンピュータに、上記のいずれか記載の実行パス検出方法を実行させるためのプログラムに係する。

【0034】

本発明によれば、少ないメモリ容量で、高速に実行頻度の高い命令列の実行パスを検出できる実行パス検出方法をコンピュータに実現させるプログラムを提供できる。

【0035】

また本発明は、

上記記載のプログラムを記録したコンピュータ読み取り可能な記録媒体に係する。

【0036】

本発明によれば、少ないメモリ容量で、高速に実行頻度の高い命令列の実行パスを検出できる実行パス検出方法をコンピュータに実現させるプログラムを記録した記録媒体を提供できる。

【発明を実施するための最良の形態】

【0037】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0038】

1. 情報処理装置

図1に、本実施形態における情報処理装置の構成例のブロック図を示す。

【0039】

情報処理装置100は、中央演算処理装置(Central Processing Unit: CPU)10と、アクセラレータ20と、プロファイラ(実行パス推定装置、実行パス検出装置)30とを含む。情報処理装置100は、バス50を含み、バス50を介して、CPU10、アクセラレータ20及びプロファイラ30との間でデータやアドレスのやり取りが行われる。また、情報処理装置100の外部には、メモリバス52を介してバス50と接続されるメモリ110が設けられており、CPU10、アクセラレータ20及びプロファイラ30はバス50及びメモリバス52を介してメモリ110にアクセスできるようになっている。

【0040】

CPU10は、CPU10の内蔵メモリ又はメモリ110に格納されたアプリケーションプログラムを読み込んで、該プログラムに対応した命令を実行する。

【0041】

アクセラレータ20は、CPU10に代わってCPU10が実行すべき処理を行う。アクセラレータ20の処理時間は、CPU10の処理時間より短い。アクセラレータ20の機能は、ハードウェア又はソフトウェアにより実現される。アクセラレータ20の機能がソフトウェアにより実現される場合には、アクセラレータ20がCPU及びメモリを有し、該メモリ又は図1のメモリ110に格納されたアクセラレータ用プログラムを読み込んで該プログラムに対応した処理を実行するCPUによりアクセラレータ20の機能が実現される。

【0042】

このようなアクセラレータ20は、例えば、より処理時間が短くなるように、又はより低消費電力となるように、CPU10が処理すべきプログラムの命令列を最適化させた状態で該プログラムの処理結果を生成する。アクセラレータ20は、例えばCPU10が処理すべきプログラムのうち不要な命令列が削除された命令列を実行することで、該プログラムを実行した場合のCPU10の処理結果と同じ結果をより短時間で得られるようになっている。また、例えばアクセラレータ20は、CPU10が処理すべきプログラムの命令列を並列に処理することで、該プログラムを実行した場合のCPU10の処理結果と同じ結果をより短時間で得られるようになっている。

10

20

30

40

50



## 【 0 0 4 3 】

プロファイラ（広義には実行パス検出装置）30は、プログラムの実行中に実行頻度の高いループ構造のパス（実行パス、命令パス、ホットパス）を高精度で検出（推定）し、検出したパスを特定するための情報であるホットパス情報（広義にはパス情報）を出力する。プロファイラ30は、CPU10が実行するプログラムを構成する命令列のうち繰り返し実行される命令列を検出し、繰り返し実行される命令列の分岐履歴に基づいて実行頻度の高いパスを特定する処理を行う。

## 【 0 0 4 4 】

更に情報処理装置100の外部には、ホットパス処理部120が設けられている。ホットパス処理部120は、プロファイラ30からのホットパス情報に基づいて実行頻度の高いループ構造のパスを特定し、このパスの処理を最適化することで情報処理装置100の処理時間を短縮させたり情報処理装置100の処理中の消費電力を低減させたりする。

10

## 【 0 0 4 5 】

例えば、ホットパス処理部120は、プロファイラ30からのホットパス情報に基づいて特定した命令列のパスを並列処理させるように命令列を最適化したり、実行不要な命令を削除して命令列を最適化したりする。このとき、ホットパス処理部120は、最適化処理後の命令列をアクセラレータ20や該アクセラレータ20がアクセスするメモリに格納する。

## 【 0 0 4 6 】

或いは、例えばホットパス処理部120は、プロファイラ30からのホットパス情報に基づいて特定した命令列のパスの処理時間が短くなるようにアクセラレータ20のハードウェア構成を変更したり、或いは該パスを処理する上で情報処理装置100の消費電力が低減するようにアクセラレータ20のハードウェア構成を変更したりする処理を行う。この場合、アクセラレータ20は動的再構成可能な回路であり、ホットパス処理部120が、動的再構成に必要なハードウェア構成情報をアクセラレータ20に供給する。

20

## 【 0 0 4 7 】

次に、図1の情報処理装置100の処理の概要について説明する。

## 【 0 0 4 8 】

本実施形態では、基本ブロックと呼ばれる命令列ブロックを単位に、命令列の実行パスを考える。

30

## 【 0 0 4 9 】

図2に、本実施形態における基本ブロックの説明図を示す。

## 【 0 0 5 0 】

アプリケーションプログラムを構成する命令列の実行パスを考えると、アプリケーションプログラムを構成する命令は、プログラムの実行の流れを変える分岐命令と、分岐命令以外の他の命令とに区別できる。そして、プログラムを構成する命令が、アドレス値の小さい命令からアドレス値の大きい命令の方向に順番に実行されるため、実行の流れを変える分岐命令毎に、命令列のブロックを区分できる。このブロックが、基本ブロックである。基本ブロックは、例えば直前の基本ブロックの最後の分岐命令の次の命令から始まり、アドレス値の大きい方向に命令が実行されたときの最初の分岐命令で終わる命令列のブロックである。

40

## 【 0 0 5 1 】

図2では、基本ブロックBB1、BB2、・・・、BBK（Kは3以上の正の整数）が示されている。基本ブロックBB1は、このブロックの先頭アドレスBSA1の命令“inst1”に始まり、命令の実行方向に順次命令が実行され、アドレスBIA1の分岐命令“bne”で終わる。ここで分岐命令“bne”が条件分岐命令であるとすると、条件が「真」のときの分岐先アドレスがBSA3、条件が「偽」のときの分岐先アドレスがアドレスBIA1の次のアドレスであるBSA2である。

## 【 0 0 5 2 】

基本ブロックBB2は、このブロックの先頭アドレスBSA2の命令“inst2”に

50

始まり、命令の実行方向に順次命令が実行され、アドレス B I A 2 の分岐命令 “ b r ” で終わる。アドレス B S A 2 は、アドレス B I A 1 の分岐命令の分岐先アドレスであるため、アドレス B S A 2 は分岐ターゲットアドレス B T A 1 である。

【 0 0 5 3 】

基本ブロック B B 3 は、このブロックの先頭アドレス B S A 3 の命令 “ i n s t 3 ” に始まり、命令の実行方向に順次命令が実行され、同様にアドレス B I A 3 の分岐命令（図示せず）で終わる。アドレス B S A 3 は、アドレス B I A 1 の分岐命令の分岐先アドレスであるため、アドレス B S A 3 の分岐ターゲットアドレス B T A 2 である。

【 0 0 5 4 】

従って、命令の実行パスを、基本ブロック B B 1、B B 2 のパスとして表したり、基本ブロック B B 1、B B 3 のパスとして表したりすることができる。

10

【 0 0 5 5 】

図 3 に、図 1 の情報処理装置 1 0 0 の処理の一例の概要のフローを示す。

【 0 0 5 6 】

まず、情報処理装置 1 0 0 のプロファイラ 3 0 は、アプリケーションプログラムを実行する C P U 1 0 の実行履歴を収集し、アプリケーションプログラムを構成する命令列のうち高頻度で繰り返し実行される実行命令部分を検出する（ステップ S 1 0）。このとき、アプリケーションプログラムを構成する命令列が、それぞれ 1 つの分岐命令を含む基本ブロックに区分でき、基本ブロック間の流れでプログラムの実行パスを特定できる。その結果、図 4 に示すように、例えば基本ブロック F から基本ブロック A に戻るパスが高頻度で繰り返し実行される実行命令部分として検出される。なお、図 4 では、基本ブロック A ~ F が示されており、基本ブロック A から基本ブロック B ~ G のいずれかの方向にプログラムの実行が流れるものとする。

20

【 0 0 5 7 】

図 3 に示すように、次に、情報処理装置 1 0 0 は、ステップ S 1 0 で検出した実行頻度の高い実行命令部分の分岐履歴の収集を開始する。そして、情報処理装置 1 0 0 は、収集した分岐履歴情報に基づいてパスを特定するホットパス情報を出力する（ステップ S 1 1）。

【 0 0 5 8 】

ホットパス処理部 1 2 0 は、プロファイラ 3 0 からのホットパス情報を受けて、上述のようにホットパスの処理の最適化を行い（ステップ S 1 2）、一連の処理を終了する（エンド）。

30

【 0 0 5 9 】

図 5 に、図 3 のホットパスの説明図を示す。

【 0 0 6 0 】

図 5 において、図 4 と同じ基本ブロック A ~ F が示されている。各基本ブロックは、当該基本ブロックの先頭アドレス（Basic block Start Address : B S A）の命令 F I と、当該基本ブロックの最終アドレスである分岐命令アドレス（Branch Instruction Address : B I A）の分岐命令 B I とを含む。各基本ブロック間を接続する矢印は、分岐命令により処理の流れが変えられたことを示し、この矢印に付される数値は該分岐命令による分岐回数を示す。

40

【 0 0 6 1 】

例えば基本ブロック A の分岐命令 B I の分岐先が 2 つあり、該分岐命令 B I が条件分岐命令であることを示す。基本ブロック A から基本ブロック B への矢印は、例えば基本ブロック A の分岐命令 B I の条件が「真」のときの分岐先アドレスが基本ブロック B の先頭アドレス B S A であることを示す。そして、基本ブロック A から基本ブロック B への処理の流れの変更が、履歴として 8 0 0 回であったことを意味している。また、基本ブロック A から基本ブロック C への矢印は、例えば基本ブロック A の分岐命令 B I の条件が「偽」のときの分岐先アドレスが基本ブロック C の先頭アドレス B S A であることを示す。そして、基本ブロック A から基本ブロック C への処理の流れの変更が、履歴として 2 0 0 回であ

50

ったことを意味している。

【 0 0 6 2 】

これに対して、例えば基本ブロック D の分岐命令 B I の分岐先は 1 つであり、該分岐命令 B I が無条件分岐命令であることを示す。この無条件分岐は、履歴として 7 0 0 回であることを意味する。

【 0 0 6 3 】

以上のような履歴を履歴情報として収集するため、基本ブロックの開始アドレス B S A、分岐先アドレス B T A (Branch Target Address) (広義にはターゲットアドレス)、分岐命令のアドレス B I A、分岐回数がテーブルを用いて管理される。そして、各基本ブロック間の分岐回数が多いルートがホットパスとして特定される。図 5 では、基本ブロック A、B、D、F のルートがホットパスとなり、ホットパス情報として、基本ブロック A、B、D、F の各基本ブロックの先頭アドレス列を出力することでホットパスが特定される。

10

【 0 0 6 4 】

その結果、基本ブロック A、B、D、F のパスの命令列の最適化により一層高い負荷をかける等して情報処理装置 1 0 0 の処理を重点的に最適化することができる。

【 0 0 6 5 】

このように、本実施形態においては、プログラムの局所性に着目して、高頻度で実行される命令列の繰り返し部分を検出してから、該繰り返し部分の分岐履歴を収集するようにしたので、アプリケーションプログラムのホットパスを検出する際に膨大な分岐履歴を収集する必要がなくなる。そのため、本実施形態によれば、パスの検出精度の低下を抑えつつ、少ないメモリ容量で、高速に実行頻度の高い命令列の実行パスを検出できるようになる。

20

【 0 0 6 6 】

2 . プロファイラの説明

次に、このようなホットパスの検出を行う図 1 のプロファイラ 3 0 について説明する。

【 0 0 6 7 】

図 6 に、図 1 のプロファイラ 3 0 の構成の概要を示す。

【 0 0 6 8 】

プロファイラ 3 0 は、制御部 2 0 0 と、管理テーブル部 3 0 0 とを含む。制御部 2 0 0 は、実行履歴管理部 2 1 0、分岐履歴管理部 2 2 0 を含む。管理テーブル部 3 0 0 は、実行履歴テーブル 3 1 0、分岐履歴テーブル 3 2 0 を含む。

30

【 0 0 6 9 】

なお、制御部 2 0 0 の機能は、ソフトウェアで実現されてもよいし、専用のハードウェアにより実現されてもよい。制御部 2 0 0 がソフトウェアで実現される場合、後述する実行パスの検出方法を実現するプログラムを読み込んだプロファイラ 3 0 の C P U が処理を行う。また、管理テーブル部 3 0 0 は、後述するように実行履歴テーブル 3 1 0 と分岐履歴テーブル 3 2 0 の記憶領域を共用することが望ましい。

【 0 0 7 0 】

実行履歴管理部 2 1 0 は、実行履歴テーブル 3 1 0 を管理する制御を行う。

40

【 0 0 7 1 】

図 7 に、図 6 の実行履歴テーブル 3 1 0 の構成の概要を示す。

【 0 0 7 2 】

実行履歴テーブル 3 1 0 は、複数のエントリを有する。各エントリには、基本ブロックの先頭アドレス B S A に関連付けて (対応して)、該先頭アドレス B S A の命令の実行回数 C O U N T が記憶される。即ち、基本ブロックの先頭アドレス B S A の命令の実行回数がカウントされ、実行履歴テーブル 3 1 0 には、基本ブロックの先頭アドレスの命令毎に、実行回数が記憶される。

【 0 0 7 3 】

ここで、先頭アドレス B S A は、分岐命令の戻り方向の分岐先アドレスである。そのた

50

め、実行履歴テーブル 310 には、基本ブロックの先頭アドレス BSA ではなく、該先頭アドレス BSA を戻り方向の分岐先アドレスとして登録してもよい。このように戻り方向の分岐命令の実行履歴のみを収集することで、少ないメモリ容量で、高頻度で繰り返される実行部分を検出できるようになる。

【0074】

そこで、実行履歴管理部 210 は、分岐命令を含む命令列を 1 ブロックとする基本ブロック（命令列ブロック）の先頭アドレス BSA、該先頭アドレス BSA の命令の実行回数を実行履歴テーブル 310 に登録、追加、検索等をする管理制御を行う。

【0075】

図 6 において、分岐履歴管理部 220 は、実行履歴テーブル 310 で管理される基本ブロックの先頭アドレスのうちいずれかの先頭アドレスの命令の実行回数が所与の閾値 TH1 を超えたことを条件に、分岐命令の分岐履歴の収集を開始し、その後、分岐履歴を収集する処理を行う。

10

【0076】

図 8 に、図 6 の分岐履歴テーブル 320 の構成の概要を示す。

【0077】

分岐履歴テーブル 320 は、複数のエントリを有する。各エントリには、基本ブロックの先頭アドレス BSA に関連付けて、分岐命令のアドレス BIA、該分岐命令の分岐先アドレス BTA、該分岐命令の分岐回数 COUNT が記憶される。ここで、先頭アドレス BSA は、分岐命令の戻り方向の分岐先アドレスであったり、分岐命令の順方向の分岐先アドレスであったりする。

20

【0078】

そこで、分岐履歴管理部 220 は、基本ブロックの先頭アドレス BSA、分岐命令のアドレス、該分岐命令の分岐先アドレス、分岐回数を分岐履歴テーブル 320 に登録、追加、検索等をする管理制御を行う。また分岐履歴管理部 220 は、分岐履歴テーブル 320 に登録された分岐履歴に基づいてホットパス情報（実行頻度の高い実行パスを特定するためのパス情報）を出力する。

【0079】

なお、図 8 において、分岐履歴テーブル 320 に分岐命令のアドレス BIA を記憶させなくてもよい。しかしながら、分岐履歴テーブル 320 に分岐命令のアドレス BIA を記憶させることで、分岐先アドレス BTA の情報として分岐命令のアドレス BIA を基準としたオフセット情報を用いることができるので、分岐先アドレス BTA の記憶領域を削減できるようになる。

30

【0080】

ところで、本実施形態では、まず実行履歴テーブル 310 を用いて高頻度で実行される命令列の繰り返し部分を検出してから、分岐履歴テーブル 320 に該繰り返し部分の分岐履歴を収集するようにしている。そのため、分岐履歴を収集する段階では、実行履歴テーブル 310 を不要にできる。そこで、本実施形態では、実行履歴テーブル 310 と分岐履歴テーブル 320 の記憶領域を共用し、管理テーブル部 300 に設けられる記憶容量の削減を図ることができる。

40

【0081】

図 9 (A)、図 9 (B) に、本実施形態における管理テーブル部 300 の説明図を示す。

【0082】

図 9 (A) は、管理テーブル部 300 が有する共用テーブルの構成の概要を示す。共用テーブルは、複数のエントリを有する。各エントリには、基本ブロックの先頭アドレス BSA に関連付けて、分岐命令のアドレス BIA、該分岐命令の分岐先アドレス BTA、該分岐命令の分岐回数 COUNT が記憶される。即ち、共用テーブルは、図 8 に示す分岐履歴テーブル 320 と同様の構成を有する。

【0083】

50

本実施形態では、図9(A)に示す共用テーブルを用いて、図7に示す実行履歴テーブル310の機能を実現する。

【0084】

即ち、図9(B)に示すように、図9(A)の管理テーブルのうち分岐命令のアドレスBIAと分岐先アドレスBTAの欄がディセーブルにされる(図9(B)の斜線部分)。その結果、共用履歴テーブルが実行履歴テーブル310として機能する場合には、基本ブロックBSAと回数COUNTの欄のみがイネーブルとなる。これにより、図9(A)に示す共用テーブルで、実行履歴テーブル310及び分岐履歴テーブル320の両方の機能を実現できる。

【0085】

このため、本実施形態では、実行履歴テーブル310の記憶領域の少なくとも一部が、分岐履歴テーブル320の記憶領域と重複しているといえることができる。また、分岐履歴テーブル320に登録すべき情報の少なくとも一部を、実行履歴テーブル310の記憶領域に書き込むことができる。

【0086】

以下では、管理テーブル部300が、図9(A)に示す共用テーブルの構成を有しているものとする。

【0087】

2.1 プロファイラの処理例

図10に、本実施形態におけるプロファイラ30の処理の概要のフローを示す。

【0088】

まず、プロファイラ30の分岐履歴管理部220は、共用テーブルを図9(B)に示すように実行履歴テーブルとして用いるための初期化処理を行う(ステップS20)。

【0089】

次に実行履歴管理部210は、実行履歴テーブルとして機能する共用テーブルを用いて実行履歴を収集する(ステップS21)。そして、実行履歴テーブルとして機能する共用テーブルに格納される基本ブロックの先頭アドレスの命令の実行回数が所与の閾値TH1を超えたか否かを判断することで、高頻度の繰り返しがあるか否かを判別する(ステップS22)。

【0090】

ステップS22において、高頻度の繰り返しがないと判別したとき(ステップS22:N)、実行履歴管理部210は、ステップS21に戻って実行履歴の収集を継続する。

【0091】

ステップS22において、高頻度の繰り返しがあると判別したとき(ステップS22:Y)、実行履歴管理部210は、その旨を分岐履歴管理部220に通知する。実行履歴管理部210又は分岐履歴管理部220は、共用テーブルを図9(A)に示すように分岐履歴テーブルとして用いるための初期化処理を行う(ステップS23)。

【0092】

その後、分岐履歴管理部220は、閾値TH1を超えた実行回数に関連付けて記憶される先頭アドレスを用いて、分岐履歴の収集を開始する。そして分岐履歴管理部220は、分岐履歴テーブルとして機能する共用テーブルを用いて分岐履歴の収集を行うと共に、分岐命令が入力される毎に分岐履歴情報に基づいて分岐回数の多い分岐先アドレスをパス情報として出力する(ステップS24)。分岐履歴管理部220は、公知の分岐履歴収集手法を用いて分岐命令、分岐先アドレスを登録、追加、リプレース等を行うが、更に分岐回数についても登録する。

【0093】

次に、分岐履歴管理部220は、分岐命令が入力される毎に、分岐履歴テーブルがミスヒットし、且つ該分岐命令の分岐先アドレスが、実行履歴テーブルに一度記録された基本ブロックの先頭アドレスと一致するか否かを検出することで、繰り返し処理の有無を判別する(ステップS25)。繰り返し処理がないと判別されたとき(分岐命令の分岐先が実

10

20

30

40

50

行履歴テーブルに記録された先頭アドレスとならないとき) (ステップS 2 5 : Y)、分岐履歴管理部 2 2 0 は、分岐履歴テーブルの分岐履歴を廃棄(無効化、初期化)し(ステップS 2 6)、ステップS 2 0に戻る(リターン)。

【0094】

分岐履歴管理部 2 2 0 は、分岐命令の実行回数を保持している。そしてステップS 2 5において、繰り返し処理があると判別されたとき(ステップS 2 5 : N)、分岐履歴管理部 2 2 0 は、所与のサンプリング期間内に分岐命令の実行回数が所与の閾値THX以上であるか否かを判別する(ステップS 2 7)。サンプリング期間内に分岐命令の実行回数が閾値THX以上であると判別されたとき(ステップS 2 7 : Y)、分岐履歴管理部 2 2 0 は、ステップS 2 4に戻り、分岐履歴の収集とホットパス情報の出力を継続する。一方、サンプリング期間内に分岐命令の実行回数が閾値THX以上ではないと判別されたとき(ステップS 2 7 : N)、分岐履歴管理部 2 2 0 は、分岐履歴テーブルの分岐履歴を廃棄(無効化)し(ステップS 2 6)、ステップS 2 0に戻る(リターン)。このように、ステップS 2 7において閾値THX以上繰り返ししていないか否かを検出することで、ステップS 2 2で検出された高頻度の繰り返し部分について必ずしもホットパスを検出する必要がなくなり、プロファイラ 3 0が検出するホットパス情報の精度を高めることができる。

10

【0095】

以上のように、分岐命令の分岐先が実行履歴テーブルに記録された先頭アドレスとならないとき、又は予め決められた分岐命令の実行回数が所与のサンプリング時間内に達しなかったとき、分岐履歴管理部 2 2 0 が分岐履歴を廃棄できる。

20

【0096】

以上のような処理を、コンピュータを機能させるためのプログラムで実現してもよい。この場合、図1のメモリ 1 1 0又はプロファイラ 3 0の図示しないメモリに上記の処理を実現するためのプログラムを格納しておき、プロファイラ 3 0の図示しないCPUがメモリ 1 1 0又はプロファイラ 3 0の図示しないメモリのプログラムを読み出すことで、上記の処理を実現できる。また、図1において、例えばメモリ 1 1 0又はプロファイラ 3 0の図示しないメモリに代えてコンピュータ読み取り可能な記録媒体で上記のプログラムを提供してもよい。この記録媒体は、コンピュータにより使用可能な記憶媒体であって、プログラムやデータなどの情報を格納するものであり、その機能は、光ディスク(CD、DVD)、光磁気ディスク(MO)、磁気ディスク、ハードディスク、磁気テープ、或いはメモリ(ROM)などのハードウェアにより実現できる。プロファイラ 3 0の図示しないCPUは、この記憶媒体に格納される情報に基づいて本発明(本実施形態)の種々の処理を行う。即ちこの記憶媒体には、本発明(本実施形態)の手段を実行(実現)するための情報(プログラム或いはデータ)が格納される。

30

【0097】

図11に、実行履歴管理部 2 1 0の処理例のフロー図を示す。

【0098】

まず、実行履歴管理部 2 1 0は、例えばCPU 1 0による分岐命令の実行を監視し、基本ブロックの先頭アドレスBSAとして該分岐命令の分岐先アドレスの入力を待つ(ステップS 4 0 : N)。基本ブロックの先頭アドレスBSAが入力されたとき(ステップS 4 0 : Y)、実行履歴管理部 2 1 0は、該先頭アドレスBSAをインデックスとして、実行履歴テーブルとして機能する共用テーブルを検索する(ステップS 4 1)。

40

【0099】

そして、ステップS 4 1において共用テーブルを検索した結果、既に登録された先頭アドレスBSAがあるとき(ステップS 4 2 : Y)、実行履歴管理部 2 1 0は、ステップS 4 1で検索した先頭アドレスBSAに関連付けて記録された実行回数をインクリメントして更新する(ステップS 4 3)。このとき、実行履歴管理部 2 1 0は、ステップS 4 3で更新した実行回数が所与の閾値TH1を超えたか否かを検出する(ステップS 4 4)。実行回数が閾値TH1を超えたことが検出されたとき(ステップS 4 4 : Y)、実行履歴管理部 2 1 0は、高頻度の繰り返し実行部分が存在したと判断し、当該先頭アドレスBSA

50

を用いた分岐履歴の収集を開始するように分岐履歴収集イネーブルを設定し（ステップ S 4 5）、一連の処理を終了する（エンド）。

【0100】

一方、ステップ S 4 1 において共用テーブルを検索した結果、既に登録された先頭アドレス B S A が無いとき（ステップ S 4 2 : N）、実行履歴管理部 2 1 0 は、入力された先頭アドレス B S A を実行履歴テーブルとして機能する共用テーブルに登録する処理を行い（ステップ S 4 6）、ステップ S 4 0 に戻る。なお、実際には、先頭アドレス B S A と分岐先アドレス B T A とを比較し、分岐先アドレスが戻り方向であるときに、分岐先アドレス B T A を新たに追加する先頭アドレス B S A として登録する。このとき、実行履歴テーブルとして機能する共用テーブルでは、必要に応じて記憶情報のリプレースが行われる。

10

【0101】

ステップ S 4 4 において、実行回数が閾値 T H 1 を超えていないことが検出されたとき（ステップ S 4 4 : N）、実行履歴管理部 2 1 0 は、ステップ S 4 0 に戻って次の基本ブロックの先頭アドレス B S A を待つ。

【0102】

以上のように、実行履歴管理部 2 1 0 は、実行履歴の収集を行うと共に、収集した実行履歴に基づいて、高頻度で繰り返される実行部分を検出し、分岐履歴の収集開始を指示できるようになっている。

【0103】

図 1 2 に、分岐履歴管理部 2 2 0 の処理例のフロー図を示す。

20

【0104】

まず、分岐履歴管理部 2 2 0 は、分岐履歴収集イネーブルが設定されているか否かを監視する（ステップ S 6 0 : N）。分岐履歴収集イネーブルが設定されていることが検出されたとき（ステップ S 6 0 : Y）、分岐履歴管理部 2 2 0 は、図 1 1 のステップ S 4 4 で閾値 T H 1 を超えたエントリの先頭アドレス B S A の入力を待つ（ステップ S 6 1 : N）。この先頭アドレス B S A は、分岐命令の分岐先アドレスである。基本ブロックの先頭アドレス B S A が入力されたとき（ステップ S 6 1 : Y）、分岐履歴管理部 2 2 0 は、該先頭アドレス B S A をインデックスとして、分岐履歴テーブルとして機能する共用テーブルを検索する（ステップ S 6 2）。

【0105】

そして、ステップ S 6 2 において共用テーブルを検索した結果、既に登録された先頭アドレス B S A があるとき（ステップ S 6 3 : Y）、分岐履歴管理部 2 2 0 は、複数の先頭アドレス B S A が登録されているとき（ステップ S 6 4 : Y）、分岐回数が最も多い分岐先アドレスをホットパス情報として出力する（ステップ S 6 5）と共に、当該分岐先アドレスに関連付けて記憶された分岐回数をインクリメントして更新し（ステップ S 6 5）、ステップ S 6 0 に戻る（リターン）。

30

【0106】

ステップ S 6 4 において、1つの先頭アドレス B S A のみが登録されているとき（ステップ S 6 4 : N）、分岐履歴管理部 2 2 0 は、ヒットした分岐先アドレスをホットパス情報として出力すると共に、当該分岐先アドレスに関連付けて記憶された分岐回数をインクリメントして更新し（ステップ S 6 6）、ステップ S 6 0 に戻る（リターン）。

40

【0107】

一方、ステップ S 6 2 において共用テーブルを検索した結果、既に登録された先頭アドレス B S A が無いとき（ステップ S 6 3 : N）、分岐履歴管理部 2 2 0 は、入力された先頭アドレス B S A を分岐履歴テーブルとして機能する共用テーブルに登録する処理を行い（ステップ S 6 7）、ステップ S 6 0 に戻る。このとき、分岐履歴テーブルとして機能する共用テーブルでは、必要に応じて記憶情報のリプレースが行われる。

【0108】

以上のように、分岐履歴管理部 2 2 0 は、分岐履歴の収集を行うと共に、収集した分岐履歴に基づいてホットパスを出力できるようになっている。このホットパスは、分岐履歴

50

テーブルを検索して得られた分岐先アドレスを蓄積したホットパス情報として出力される。

【 0 1 0 9 】

2 . 2 プロファイラの構成例

次に、本実施形態における実行履歴テーブル 3 1 0、分岐履歴テーブル 3 2 0、実行履歴管理部 2 1 0、分岐履歴管理部 2 2 0の要部の構成例について説明する。

【 0 1 1 0 】

本実施形態では、実行履歴テーブル 3 1 0 及び分岐履歴テーブル 3 2 0 が、それぞれ 2 ウェイ - セットアソシアティブ方式で記憶情報を記憶するものとして説明するが、本発明が、ウェイ数や実行履歴テーブル 3 1 0 及び分岐履歴テーブル 3 2 0 の構成に限定されるものではない。例えば、実行履歴テーブル 3 1 0 及び分岐履歴テーブル 3 2 0 は、フルアソシアティブ方式で記憶情報を記憶してもよい。しかしながら、条件分岐命令の分岐先は 2 箇所であるため、2 ウェイ構成とすることで、条件分岐命令の条件が「真」のときの分岐先アドレスと該条件が「偽」の分岐先アドレスとを記憶でき、分岐先アドレスの記憶管理を効率化できる上に無駄な記憶領域を設ける必要がなくなる。

10

【 0 1 1 1 】

図 1 3、図 1 4 ( A )、図 1 4 ( B )、図 1 5 ( A )、図 1 5 ( B ) に、本実施形態における実行履歴テーブル 3 1 0 と実行履歴管理部 2 1 0 の要部の構成例を示す。

【 0 1 1 2 】

実行履歴テーブル 3 1 0 は、2 ウェイ - セットアソシアティブ方式で、基本ブロックの先頭アドレス B S A 及び該先頭アドレス B S A の命令の実行回数 C O U N T を記憶する。両方のウェイは同様の構成を有し、各ウェイの記憶情報は公知の L R U (Least Recently Used) 方式でリプレース制御されるようになっている。

20

【 0 1 1 3 】

先頭アドレス B S A の例えば下位ビットがデコーダ D E C 1、D E C 2 に入力される。各デコーダは、各ウェイのテーブルの 1 エントリを先頭アドレス B S A の下位ビットに基づいて選択する。各ウェイにおいて選択されたエントリの先頭アドレス及び実行回数 C O U N T は読み出される。こうして読み出された先頭アドレスは、先頭アドレスレジスタ B S A 1、B S A 2、実行回数は、実行回数レジスタ C N T 1、C N T 2 で保持される。

【 0 1 1 4 】

コンパレータ C M P 1 は、先頭アドレス B S A と先頭アドレスレジスタ B S A 1 の値と比較し、一致したときにヒット信号 h i t a 1 をアクティブ (例えば「1」) にする。コンパレータ C M P 2 は、先頭アドレス B S A と先頭アドレスレジスタ B S A 2 の値と比較し、一致したときにヒット信号 h i t a 2 をアクティブ (例えば「1」) にする。

30

【 0 1 1 5 】

実行回数レジスタ C N T 1 の値は、インクリメンタ I N C 1 (広義にはカウンタ) でインクリメントされる。実行回数レジスタ C N T 2 の値は、インクリメンタ I N C 2 (広義にはカウンタ) でインクリメントされる。

【 0 1 1 6 】

セクタ S E L 1 は、選択制御信号 s e l 1 に基づいて、実行回数レジスタ C N T 1 の値又はインクリメンタ I N C 1 の出力を選択して、選択出力 C N T s 1 を出力する。そして、選択出力 C N T s 1 により、デコーダ D E C 1 で選択されたエントリの実行回数 C O U N T を更新する。セクタ S E L 2 は、選択制御信号 s e l 2 に基づいて、実行回数レジスタ C N T 2 の値又はインクリメンタ I N C 2 の出力を選択して、選択出力 C N T s 2 を出力する。そして、選択出力 C N T s 2 により、デコーダ D E C 2 で選択されたエントリの実行回数 C O U N T を更新する。

40

【 0 1 1 7 】

図 1 4 ( A ) に示すように、実行履歴管理部 2 1 0 又は実行履歴テーブル 3 1 0 は、ヒット判定部 2 1 2 を含む。ヒット判定部 2 1 2 は、ヒット信号 h i t a 1、h i t a 2 が入力され、選択制御信号 s e l 1、s e l 2、ライトイネーブル w e 1、w e 2 を出力す

50



る。

【0118】

図14(B)に、図14(A)のヒット判定部212の動作説明図を示す。

【0119】

ヒット判定部212は、ヒット信号hit a1がアクティブのとき、選択制御信号sel 1をアクティブにしてインクリメントINC 1の出力で実行履歴テーブル310を更新するように制御する。またヒット判定部212は、ヒット信号hit a2がアクティブのとき、選択制御信号sel 2をアクティブにしてインクリメントINC 2の出力で実行履歴テーブル310を更新するように制御する。

【0120】

更に、ヒット判定部212は、ヒット信号hit a1、hit a2が非アクティブのとき、セクタSEL 1、SEL 2でいずれも出力されないように制御すると共に、LRU制御ビットLRU 1、LRU 2を用いてLRU制御を行い、先頭アドレスBSAを基準に分岐先アドレスBTAが戻り方向であるときにライトイネーブルwe 1、we 2の一方をアクティブにする。ライトイネーブルwe 1がアクティブのとき、先頭アドレスBSAがデコーダDEC 1で選択されたエントリに書き込まれると共に、実行回数COUNTとして「1」が書き込まれる。ライトイネーブルwe 2がアクティブのとき、先頭アドレスBSAがデコーダDEC 2で選択されたエントリに書き込まれると共に、実行回数COUNTとして「1」が書き込まれる。

【0121】

図15(A)に示すように、実行履歴管理部210又は実行履歴テーブル310は、分岐履歴収集開始制御部214、閾値TH 1が設定される閾値設定レジスタ216を含む。分岐履歴収集開始制御部214には、ヒット信号hit a1、hit a2、選択出力CNT s 1、CNT s 2、閾値TH 1が入力され、分岐履歴収集イネーブルを出力する。

【0122】

図15(B)に、図15(A)の分岐履歴収集開始制御部214の動作説明図を示す。

【0123】

分岐履歴収集開始制御部214は、ヒット信号hit a1がアクティブのとき、選択出力CNT s 1と閾値TH 1とを比較し、選択出力CNT s 1が閾値TH 1以上のとき分岐履歴イネーブルをアクティブ(例えば「1」)に設定する。また分岐履歴収集開始制御部214は、ヒット信号hit a2がアクティブのとき、選択出力CNT s 2と閾値TH 1とを比較し、選択出力CNT s 2が閾値TH 1以上のとき分岐履歴イネーブルをアクティブ(例えば「1」)に設定する。更に分岐履歴収集開始制御部214は、ヒット信号hit a1、hit a2が共に非アクティブのとき、分岐履歴収集イネーブルを非アクティブに設定する。

【0124】

図16、図17(A)、図17(B)に、本実施形態における分岐履歴テーブル320と分岐履歴管理部220の要部の構成例を示す。

【0125】

分岐履歴テーブル320は、2ウェイ-セットアソシアティブ方式で、基本ブロックの先頭アドレスBSA、当該基本ブロックの分岐命令の分岐先アドレスBTA、該分岐先アドレスへの分岐回数COUNTを記憶する。なお、図16では、分岐履歴テーブル320に分岐命令のアドレスBIAが記録されないものとする。両方のウェイは同様の構成を有し、各ウェイの記憶情報は公知のLRU方式でリプレース制御されるようになっている。

【0126】

先頭アドレスBSAの例えば下位ビットがデコーダDEC 3、DEC 4に入力される。各デコーダは、各ウェイのテーブルの1エントリを先頭アドレスBSAの下位ビットに基づいて選択する。各ウェイにおいて選択されたエントリの先頭アドレスBSA、分岐先アドレスBTA及び分岐回数COUNTが読み出される。こうして読み出された先頭アドレスは、先頭アドレスレジスタBSA 3、BSA 4、分岐先アドレスは、分岐先アドレスレ

10

20

30

40

50

ジスタ B T A 3、B T A 4、分岐回数は、分岐回数レジスタ C N T 3、C N T 4 で保持される。

【 0 1 2 7 】

コンパレータ C M P 3 は、先頭アドレス B S A と先頭アドレスレジスタ B S A 3 の値と比較し、一致したときにヒット信号 h i t b 1 をアクティブ（例えば「 1 」）にする。コンパレータ C M P 4 は、先頭アドレス B S A と先頭アドレスレジスタ B S A 4 の値と比較し、一致したときにヒット信号 h i t b 2 をアクティブ（例えば「 1 」）にする。

【 0 1 2 8 】

分岐回数レジスタ C N T 3 の値は、インクリメント I N C 3（広義にはカウンタ）でインクリメントされる。分岐回数レジスタ C N T 4 の値は、インクリメント I N C 4（広義にはカウンタ）でインクリメントされる。

10

【 0 1 2 9 】

セクタ S E L 3 は、選択制御信号 s e l 3 に基づいて、分岐先アドレスレジスタ B T A 3 又は分岐先アドレスレジスタ B T A 4 の値を選択出力して、ホットパス情報として追加されると共に、次の基本ブロックの先頭アドレスとして分岐履歴テーブル 3 2 0 に入力される。

【 0 1 3 0 】

セクタ S E L 4 は、選択制御信号 s e l 4 に基づいて、分岐回数レジスタ C N T 3 の値又はインクリメント I N C 3 の出力を選択して、選択出力 C N T s 3 を出力する。そして、選択出力 C N T s 3 により、デコーダ D E C 3 で選択されたエントリの分岐回数 C O U N T を更新する。セクタ S E L 5 は、選択制御信号 s e l 5 に基づいて、分岐回数レジスタ C N T 4 の値又はインクリメント I N C 4 の出力を選択して、選択出力 C N T s 4 を出力する。そして、選択出力 C N T s 4 により、デコーダ D E C 4 で選択されたエントリの分岐回数 C O U N T を更新する。

20

【 0 1 3 1 】

図 1 7 ( A ) に示すように、分岐履歴管理部 2 2 0 又は分岐履歴テーブル 3 2 0 は、ヒット判定部 2 2 2 を含む。ヒット判定部 2 2 2 には、ヒット信号 h i t b 1、h i t b 2、選択出力 C N T s 3、C N T s 4 が入力され、選択制御信号 s e l 3、s e l 4、s e l 5、ライトイネーブル w e 3、w e 4 を出力する。

【 0 1 3 2 】

図 1 7 ( B ) に、図 1 7 ( A ) のヒット判定部 2 2 2 の動作説明図を示す。

30

【 0 1 3 3 】

ヒット判定部 2 2 2 は、ヒット信号 h i t b 1 がアクティブのとき、選択制御信号 s e l 4 をアクティブにしてインクリメント I N C 3 の出力で分岐履歴テーブル 3 2 0 を更新するように制御する。またヒット判定部 2 2 2 は、ヒット信号 h i t b 2 がアクティブのとき、選択制御信号 s e l 5 をアクティブにしてインクリメント I N C 4 の出力で分岐履歴テーブル 3 2 0 を更新するように制御する。

【 0 1 3 4 】

更に、ヒット判定部 2 2 2 は、ヒット信号 h i t b 1、h i t b 2 がアクティブのとき、分岐回数の大きい方のウェイを選択する。そのため、ヒット判定部 2 2 2 は、選択出力 C N T s 3 が選択出力 C N T s 4 以上のとき、選択制御信号 s e l 4 をアクティブに設定すると共に、選択制御信号 s e l 5 を非アクティブに設定する。またヒット判定部 2 2 2 は、選択出力 C N T s 3 が選択出力 C N T s 4 より小さいとき、選択制御信号 s e l 4 を非アクティブに設定すると共に、選択制御信号 s e l 5 をアクティブに設定する。更に、ヒット判定部 2 2 2 は、選択制御信号 s e l 4 と同様の制御で選択制御信号 s e l 3 を出力する。

40

【 0 1 3 5 】

更にまた、ヒット判定部 2 2 2 は、ヒット信号 h i t b 1、h i t b 2 が非アクティブのとき、セクタ S E L 3、S E L 4 でいずれも出力されないように制御すると共に、L R U 制御ビット L R U 3、L R U 4 を用いて L R U 制御を行い、今回入力された先頭アド

50

レス B S A を書き込むためのライトイネーブル w e 3、w e 4 の一方をアクティブにする。ライトイネーブル w e 3 がアクティブのとき、先頭アドレス B S A がデコード D E C 3 で選択されたエントリに書き込まれると共に、分岐回数 C O U N T として「 1 」が書き込まれる。ライトイネーブル w e 4 がアクティブのとき、先頭アドレス B S A がデコード D E C 4 で選択されたエントリに書き込まれると共に、分岐回数 C O U N T として「 1 」が書き込まれる。

【 0 1 3 6 】

以上のように、分岐履歴テーブル 3 2 0 が、記憶情報をセットアソシアティブ方式で記憶し、各ウェイ（セット）には、基本ブロックの先頭アドレス、当該基本ブロックに含まれる分岐命令の分岐先アドレス（ターゲットアドレス）、及び分岐回数が記憶される。そして、該分岐命令に対応して記憶された分岐命令のうち分岐回数が最も多いウェイ（セット）の分岐命令の分岐先アドレスを出力できる。

10

【 0 1 3 7 】

3 . その他

本発明は上記の実施形態に限定されるものではない。

【 0 1 3 8 】

図 1 8 に、図 1 の情報処理装置の変形例のブロック図を示す。

【 0 1 3 9 】

図 1 8 において図 1 と同一部分には同一符号を付し、適宜説明を省略する。本変形例における情報処理装置 5 0 0 は、ホットパス処理部 1 2 0 が情報処理装置 5 0 0 内に設けられる。そして、ホットパス処理部 1 2 0 が、プロファイラ 3 0 からのホットパス情報に基づいて最適化処理を行い、最適化処理結果をアクセラレータ 2 0 に出力する。ここで、最適化処理結果は、ホットパス中の命令列のうち不要なコードが削除された命令列、ホットパス中の命令列を並列動作させるために変更した命令列、又はアクセラレータ 2 0 のハードウェア構成を変更するためのハードウェア構成情報等である。

20

【 0 1 4 0 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【 0 1 4 1 】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

30

【 図面の簡単な説明 】

【 0 1 4 2 】

【 図 1 】 本実施形態における情報処理装置の構成例のブロック図。

【 図 2 】 本実施形態における基本ブロックの説明図。

【 図 3 】 図 1 の情報処理装置の処理の一例の概要のフローを示す図。

【 図 4 】 本実施形態における高頻度で繰り返し実行される実行命令部分の説明図。

【 図 5 】 図 3 のホットパスの説明図。

【 図 6 】 図 1 のプロファイラの構成の概要を示す図。

40

【 図 7 】 図 6 の実行履歴テーブルの構成の概要を示す図。

【 図 8 】 図 6 の分岐履歴テーブルの構成の概要を示す図。

【 図 9 】 図 9 ( A )、図 9 ( B ) は本実施形態における管理テーブル部の説明図。

【 図 1 0 】 本実施形態におけるプロファイラの処理の概要のフローを示す図。

【 図 1 1 】 実行履歴管理部の処理例のフロー図。

【 図 1 2 】 分岐履歴管理部の処理例のフロー図。

【 図 1 3 】 本実施形態における実行履歴テーブルと実行履歴管理部の要部の構成例を示す図。

【 図 1 4 】 図 1 4 ( A )、図 1 4 ( B ) は本実施形態における実行履歴テーブルと実行履歴管理部の要部の構成例を示す図。

50

【図15】図15(A)、図15(B)は本実施形態における実行履歴テーブルと実行履歴管理部の要部の構成例を示す図。

【図16】本実施形態における分岐履歴テーブルと分岐履歴管理部の要部の構成例を示す図。

【図17】本実施形態における分岐履歴テーブルと分岐履歴管理部の要部の構成例を示す図。

【図18】図1の情報処理装置の変形例のブロック図。

【符号の説明】

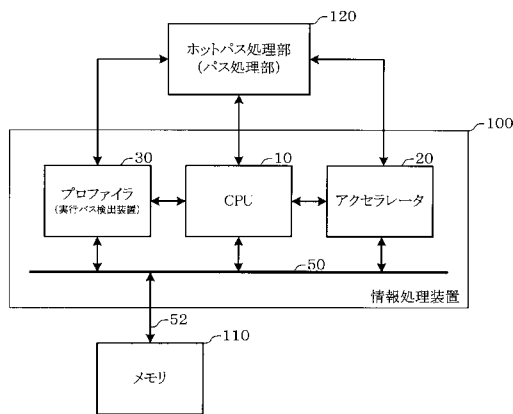
【0143】

- 10 CPU
- 20 アクセラレータ
- 30 プロファイラ
- 50 バス
- 100、500 情報処理装置
- 110 メモリ
- 120 ホットバス処理部
- 200 制御部
- 210 実行履歴管理部
- 212、222 ヒット判定部
- 214 実行履歴収集開始制御部
- 216 閾値設定レジスタ
- 220 分岐履歴管理部
- 300 管理テーブル部
- 310 実行履歴テーブル
- 320 分岐履歴テーブル

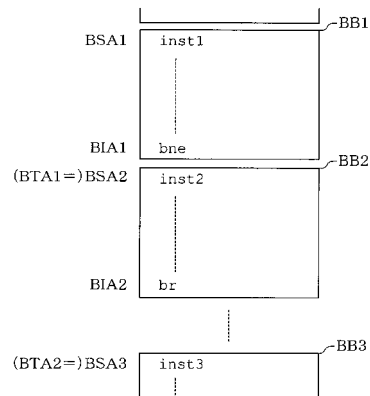
10

20

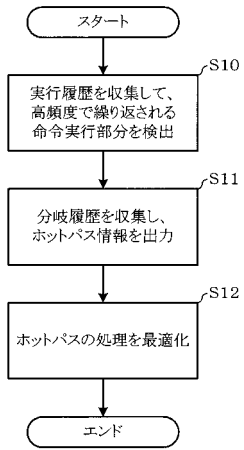
【図1】



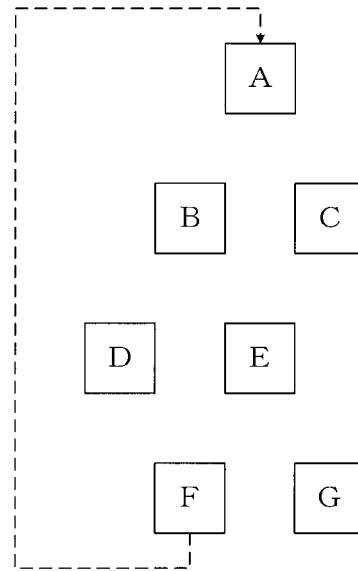
【図2】



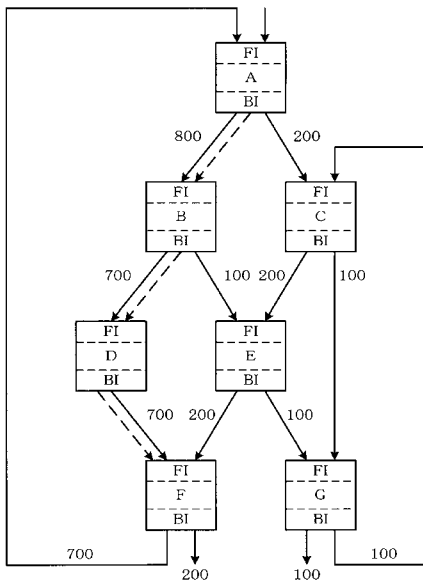
【 図 3 】



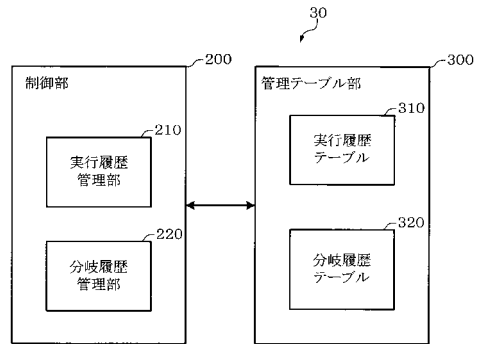
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

BSA	COUNT
---	---
---	---
---	---

【 図 8 】

BSA	BIA	BTA	COUNT
⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮

【 図 9 】

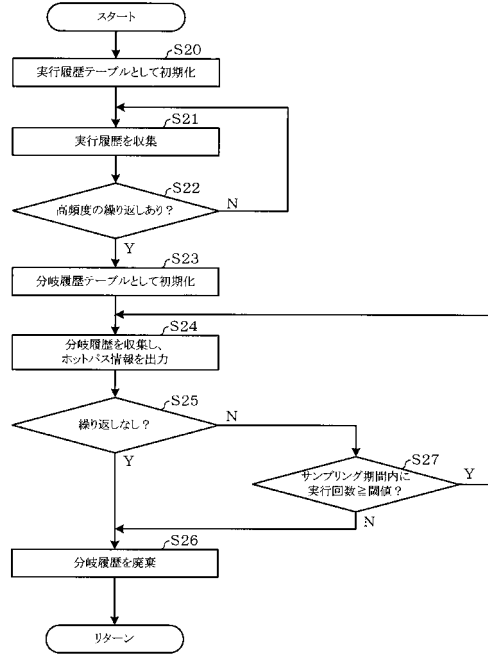
(A)

BSA	BIA	BTA	COUNT
⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮

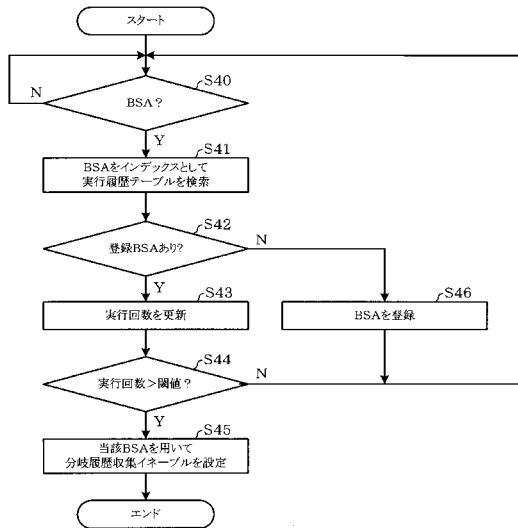
(B)

BSA	BIA	BTA	COUNT
⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮

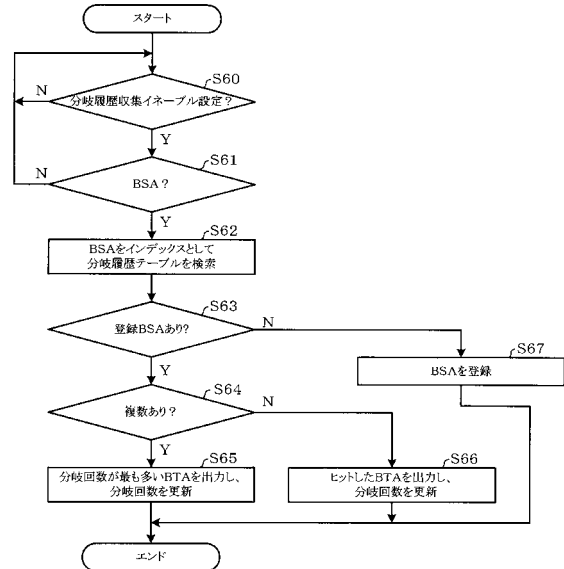
【 図 10 】



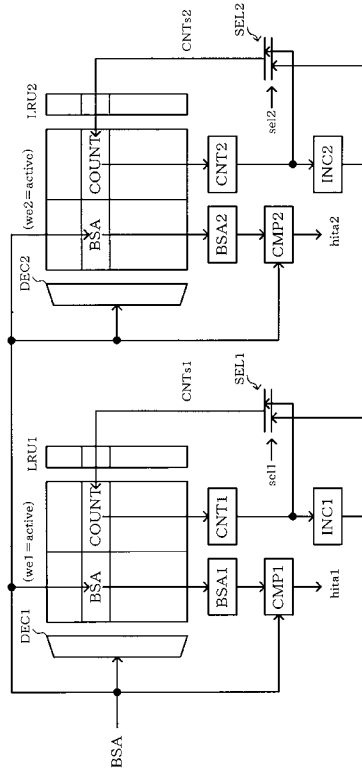
【 図 11 】



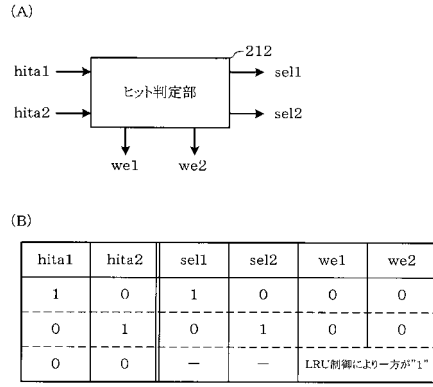
【 図 12 】



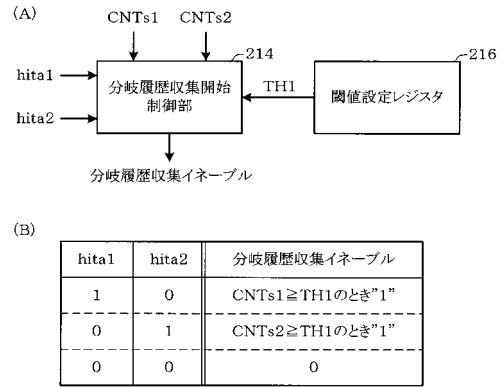
【図 13】



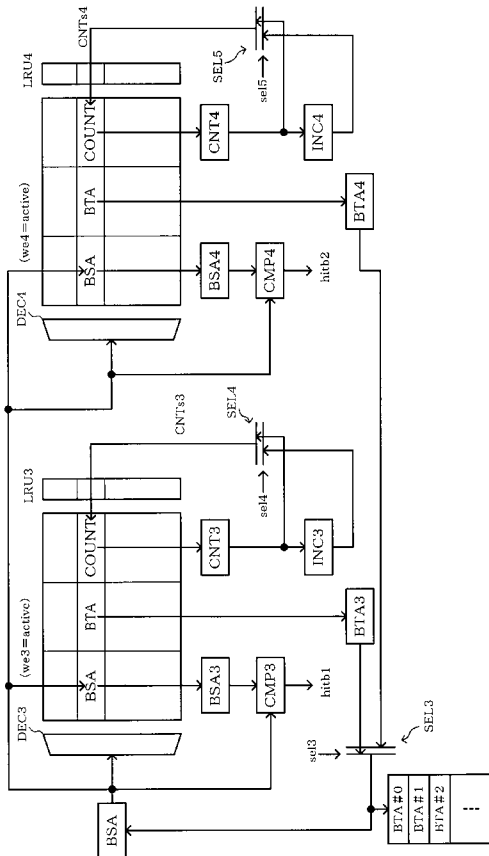
【図 14】



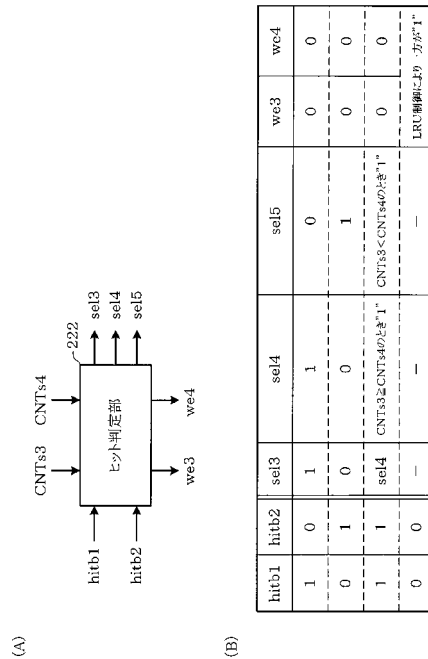
【図 15】



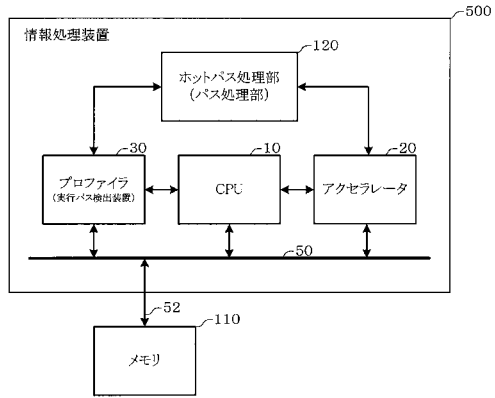
【図 16】



【図 17】



【 図 1 8 】





---

フロントページの続き

- (72)発明者 吉田 真  
福岡県福岡市中央区天神一丁目1番1号 財団法人福岡県産業・科学技術振興財団内
- (72)発明者 村上 和彰  
福岡県福岡市東区箱崎六丁目10番1号 国立大学法人九州大学内
- (72)発明者 須賀 敦浩  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- Fターム(参考) 5B042 HH20 HH30 MA20 MC25 MC26