

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5557181号  
(P5557181)

(45) 発行日 平成26年7月23日(2014.7.23)

(24) 登録日 平成26年6月13日(2014.6.13)

(51) Int.Cl. F I  
H03D 1/00 (2006.01) H03D 1/00 Z

請求項の数 8 (全 14 頁)

(21) 出願番号	特願2009-183634 (P2009-183634)	(73) 特許権者	504145342 国立大学法人九州大学 福岡県福岡市東区箱崎六丁目10番1号
(22) 出願日	平成21年8月6日(2009.8.6)	(74) 代理人	100099634 弁理士 平井 安雄
(65) 公開番号	特開2011-40823 (P2011-40823A)	(72) 発明者	笹田 一郎 福岡県福岡市東区箱崎六丁目10番1号 国立大学法人九州大 学内
(43) 公開日	平成23年2月24日(2011.2.24)	(72) 発明者	中野 雅俊 福岡県福岡市東区箱崎六丁目10番1号 国立大学法人九州大 学内
審査請求日	平成24年7月27日(2012.7.27)	審査官	鬼塚 由佳

最終頁に続く

(54) 【発明の名称】 同期検波回路、フラックスゲートセンサ、及びFM復調装置

(57) 【特許請求の範囲】

【請求項1】

スイッチトキャパシタを用いた同期検波回路において、  
 所定の周期を有する入力信号を入力する入力手段と、  
 前記入力信号に同期し、少なくともハイレベル状態とローレベル状態との2つの異なる状態を有する参照信号を入力する参照信号入力手段と、

スイッチの制御に応じて、一方の電極である第1電極について前記入力手段側の端子と放電先側の端子との間でスイッチングすると共に、他方の電極である第2電極について接地間でスイッチングして電荷の充放電を行う第1のスイッチトキャパシタと、

前記スイッチの制御に応じて、前記第1のスイッチトキャパシタと相補的な充放電動作を行い、一方の電極である第3電極について、入力手段側の端子と接地との間でスイッチングすると共に、他方の電極である第4電極について、前記第3電極が入力手段側の端子に接続されている場合に接地され、前記第3電極が接地されている場合に放電先側の端子と接続されるようにスイッチングして充放電を行う第2のスイッチトキャパシタとを備え、

前記参照信号入力手段が入力する参照信号がハイレベルの場合に、前記第1のスイッチトキャパシタの前記第1電極が入力手段側の端子に接続すると共に前記第2電極が接地されて前記入力信号の電荷を充電し、前記第2のスイッチトキャパシタの前記第3電極が接地されると共に前記第4電極が放電先側の端子に接続されて前記第2のスイッチトキャパシタに充電されている電荷を放電し、

10

20

前記参照信号がローレベルの場合に、前記第 1 のスイッチトキャパシタの前記第 1 電極が放電先側の端子に接続すると共に第 2 電極が接地されて前記第 1 のスイッチトキャパシタに充電されている電荷を放電し、前記第 2 のスイッチトキャパシタの前記第 3 電極が入力手段側の端子に接続すると共に前記第 4 電極が接地されて前記入力信号の電荷を充電することを特徴とする同期検波回路。

【請求項 2】

請求項 1 に記載の同期検波回路において、

前記入力信号、及び参照信号が同一の信号発振器により生成される信号であることを特徴とする同期検波回路。

【請求項 3】

請求項 1 又は 2 に記載の同期検波回路において、

前記入力信号の位相の進相に応じて、前記参照信号と入力信号との位相差を調整する位相調整手段を備えることを特徴とする同期検波回路。

【請求項 4】

請求項 1 ないし 3 のいずれかに記載の同期検波回路において、

前記入力信号の電荷が充電された前記第 1 のスイッチトキャパシタ、及び第 2 のスイッチトキャパシタから放電された電荷を充電する充電手段を備えることを特徴とする同期検波回路。

【請求項 5】

請求項 1 ないし 4 のいずれかに記載の同期検波回路を有するフラックスゲートセンサにおいて、

磁束変化を検知するセンサヘッドと、

前記センサヘッドに交流励磁電流、及び直流バイアス電流を供給する発振器とを備え、

前記発振器が、前記交流励磁電流と同期した参照信号を前記同期検波回路に供給することを特徴とするフラックスゲートセンサ。

【請求項 6】

請求項 5 に記載のフラックスゲートセンサにおいて、

前記位相調整手段が、前記センサヘッドで発生する誘導電圧と前記参照信号との位相差を調整することを特徴とするフラックスゲートセンサ。

【請求項 7】

請求項 6 に記載のフラックスゲートセンサにおいて、

前記位相調整手段が、前記センサヘッドを構成するインダクタンス成分に対して接続されたコンデンサであることを特徴とするフラックスゲートセンサ。

【請求項 8】

請求項 1 ないし 4 のいずれかに記載の同期検波回路を有する F M 復調装置において、

前記入力信号が F M 変調信号であり、前記参照信号が F M 変調信号のゼロクロスに基づいて生成された矩形波であることを特徴とする F M 復調装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチトキャパシタを用いた同期検波回路等に関する。

【背景技術】

【0002】

同期検波回路の基本的な構成として、数個のアナログスイッチと反転増幅器を用いた構成のものがある。しかし、回路構成に必要な部品数が多く、平滑回路も必要となるため、回路の集積化において問題がある。また、スイッチトキャパシタを用いた同期検波回路が広く知られているが、数個のアナログスイッチとオペアンプが必要となるため、ここでも回路構成に必要な部品が多くなり、回路の集積化において問題がある。

【0003】

10

20

30

40

50

一方、高精度の平衡型変調器を用いて少ない部品数で同期検波回路を構成することが可能であるが、高精度の平衡型変調器は高価で、且つ消費電力が多くなってしまいう問題がある。

【0004】

上記問題に関連して、整流・平滑回路や同期検波装置が開示されている。特許文献1に示す整流・平滑回路は、少なくとも一方が被整流信号電圧に応じた電圧を出力する第1、第2のスイッチトキャパシタと、該被整流信号電圧が基準電圧以上となる第1の期間に、第1のスイッチトキャパシタの出力電圧を選択し、第1の期間以外の第2の期間に、第2のスイッチトキャパシタの出力電圧を選択する選択手段と、該選択手段の出力電圧が供給され第3のスイッチトキャパシタを有する積分器とからなり、被整流信号電圧を整流して平滑した信号電圧を得ることができるように構成したものである。

10

【0005】

特許文献2に示す同期検波回路は、単一のスイッチトキャパシタ回路への2相クロックの供給形態を入力信号に応じて切り替えることにより、上記単一のスイッチトキャパシタ回路が選択的に正相積分器及び逆相積分器として機能し得るように構成したものである。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開昭62-92774号公報

【特許文献2】特開2005-20434号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1に示す技術は、第1の期間において入力信号を任意のタイミングでサンプリングして充電と放電とを繰り返して実行し、第2の期間においても入力信号を任意のタイミングでサンプリングして充電と放電とを繰り返して実行する回路構成となっているため、放電期間中はスイッチトキャパシタに充電を行うことができず、十分な電荷を出力することができないという課題を有する。また、スイッチトキャパシタ内のスイッチの制御と、第1と第2のスイッチトキャパシタを選択するためのスイッチの制御との2つの制御系が必要となり、構成が複雑になるという課題を有する。

30

【0008】

特許文献2に示す技術は、スイッチトキャパシタを単一にすることで回路自体の部品数を減少させて小規模化してはいるが、2相クロックを生成して供給する必要があり、装置としては大規模な構成になってしまうという課題を有する。また、充放電にはオペアンプの仮想接地が構成要素として必要となり、大規模な構成になってしまうという課題を有する。

【0009】

そこで、本発明は上記課題を解決するためになされたものであり、十分な電荷を確保しつつ、回路を構成する部品数を減らして小規模化することで、集積化を優位にすることができる同期検波回路、フラックスゲートセンサ、及びFM復調装置を提供することを目的とする。

40

【課題を解決するための手段】

【0010】

本発明に係る同期検波回路は、スイッチトキャパシタを用いた同期検波回路において、所定の周期を有する入力信号を入力する入力手段と、前記入力信号に同期し、少なくともハイレベル状態とローレベル状態との2つの異なる状態を有する参照信号を入力する参照信号入力手段と、スイッチの制御に応じて電荷の充放電を行う第1のスイッチトキャパシタと、前記スイッチの制御に応じて、前記第1のスイッチトキャパシタと相補的に充放電を行う第2のスイッチトキャパシタとを備え、前記参照信号入力手段が入力する参照信号がハイレベルの場合に、前記第1のスイッチトキャパシタに前記入力信号の電荷を充電す

50

ると共に、前記第2のスイッチトキャパシタに充電されている電荷を放電し、前記参照信号がローレベルの場合に、前記第1のスイッチトキャパシタに充電されている電荷を放電すると共に、前記第2のスイッチトキャパシタに前記入力信号の電荷を充電することを特徴とするものである。

【0011】

このように、本発明に係る同期検波回路は、ハイレベル状態とローレベル状態との2つの異なる状態を有する参照信号に応じて、2つのスイッチトキャパシタを用いて充放電を制御するため、2相クロックの生成やオペアンプの仮想接地等が不要であり、部品数を減らして簡略化された構成にすることができると共に、スイッチの制御を簡略化することができ、回路の集積化を優位にすることができるといふ効果を奏する。また、入力信号と同期した参照信号に応じて2つのスイッチトキャパシタで相補的に充放電を行うため、入力信号の電荷を最大限に充電して高性能な同期検波回路を実現することができるという効果を奏する。

10

【0012】

本発明に係る同期検波回路は、前記入力信号、及び参照信号が同一の信号発振器により生成される信号であることを特徴とするものである。

このように、本発明に係る同期検波回路は、入力信号、及び参照信号が同一の信号発振器により生成される信号であるため、各信号の周波数を一致させて正負の同期を正確且つ容易に行うことができるという効果を奏する。

【0013】

本発明に係る同期検波回路は、前記入力信号の位相の進相に応じて、前記参照信号と入力信号との位相差を調整する位相調整手段を備えることを特徴とするものである。

このように、本発明に係る同期検波回路は、入力信号の位相の進相に応じて、参照信号の位相を調整するため、入力信号の位相の進相を考慮して最大限の出力を得ることができると共に、位相を調整することで、参照信号に対して特定の位相差を有する入力信号を検波することができ、高性能な同期検波回路を実現することができるという効果を奏する。

20

【0014】

本発明に係る同期検波回路は、前記入力信号の電荷が充電された前記第1のスイッチトキャパシタ、及び第2のスイッチトキャパシタから放電された電荷を充電する充電手段を備えることを特徴とするものである。

30

【0015】

このように、本発明に係る同期検波回路は、入力信号の電荷が充電された前記第1のスイッチトキャパシタ、及び第2のスイッチトキャパシタから放電された電荷を充電する充電手段を備えるため、入力信号の電荷を最大限に充電して高性能な同期検波回路を実現することができるという効果を奏する。

なお、充電手段としては、例えばコンデンサ、オペアンプを介したコンデンサ、平滑回路等を用いることができる。

【0016】

本発明に係るフラックスゲートセンサは、前記同期検波回路を有するフラックスゲートセンサにおいて、磁束変化を検知するセンサヘッドと、前記センサヘッドに交流励磁電流、及び直流バイアス電流を供給する発振器とを備え、前記発振器が、前記交流励磁電流と同期した参照信号を前記同期検波回路に供給することを特徴とするものである。

40

【0017】

このように、本発明に係るフラックスゲートセンサは、前記同期検波回路を有するため、簡略化した小規模な構成にすることができると共に、発振器が、交流励磁電流と同期した参照信号を生成することで、各信号の同期を正確に取ることができ、高性能なフラックスゲートセンサを実現することができるという効果を奏する。

【0018】

本発明に係るフラックスゲートセンサは、前記位相調整手段が、前記センサヘッドで発生する誘導電圧と前記参照信号との位相差を調整することを特徴とするものである。

50

このように、本発明に係るフラックスゲートセンサは、位相調整手段が、前記センサヘッドで発生する誘導電圧と前記参照信号との位相差を調整するため、最大限の出力電圧を得て、高性能なセンサとして機能することが可能になるという効果を奏する。

【0019】

本発明に係るフラックスゲートセンサは、前記位相調整手段が、前記センサヘッドを構成するインダクタンス成分に対して並列接続されたコンデンサであることを特徴とするものである。

【0020】

このように、本発明に係るフラックスゲートセンサは、位相調整手段が、前記センサヘッドを構成するインダクタンス成分に対して並列接続されたコンデンサであるため、センサヘッドとコンデンサで形成されるLC回路により、簡略化した構成で正確な位相調整をして、最大限の出力電圧を得ることができるとい

10

【0021】

本発明に係るFM復調装置は、前記同期検波回路を有するFM復調装置において、前記入力信号がFM変調信号であり、前記参照信号がFM変調信号のゼロクロスに基づいて生成された矩形波であることを特徴とするものである。

【0022】

このように、本発明に係るFM復調装置は、前記同期検波回路を有するため、簡略化した小規模な構成にすることができると共に、FM変調信号に同期する参照信号を利用して、FM変調信号に正確に対応した出力電圧を得ることができ、高性能なFM復調装置を実現することができるとい

20

【図面の簡単な説明】

【0023】

【図1】一般的な同期検波回路の出力信号を示す図である。

【図2】第1の実施形態に係る同期検波回路の回路図である。

【図3】第2の実施形態に係るフラックスゲートセンサの機能ブロック図である。

【図4】第2の実施形態に係るフラックスゲートセンサの回路図である。

【図5】第3の実施形態に係るFM復調装置の出力電圧の変化を示す図である。

【図6】本発明のフラックスゲートセンサにおける入出力特性の実験結果を示す図である

30

【図7】本発明のフラックスゲートセンサにおける周波数特性の実験結果を示す図である

【図8】本発明のフラックスゲートセンサにおける分解能測定の実験結果を示す図である

【発明を実施するための形態】

【0024】

(本発明の第1の実施形態)

本実施形態に係る同期検波回路について、図1、及び図2を用いて説明する。図1は、一般的な同期検波回路の出力信号を示す図、図2は、本実施形態に係る同期検波回路の回路図である。

40

【0025】

同期検波は、一般的には図1に示すように、入力信号(正弦波)に同期した参照信号(矩形波)を加えることで入力信号の符号を切り替え、入力信号と参照信号の値の積の時間平均によって直流出力を表す。入力信号と参照信号の位相をずらすことで出力の値は変わり、位相が完全に一致した時に正の最大出力が得られ、90°ずれば出力はゼロ、180°ずれば負の最大出力が得られる。図1(a)には、入力信号と出力信号との位相が完全に一致した場合の波形を示しており、図1(b)には、図1(a)における入力信号と参照信号の値の積の時間平均による出力信号を示す。

【0026】

図2において、同期検波回路1は、入力信号線2a、2bと参照信号線3とIC(ここ

50

では、LT1043を使用)4と出力信号線5a、5bとが接続されている。IC4には、外付けのキャパシタC1、C2が接続され、それぞれスイッチトキャパシタ7a、7bを形成している。また、出力信号線5a、5bは、キャパシタC3に接続されている。抵抗R1は時定数を調整するための抵抗であり、キャパシタC1、C2の上下に接続された抵抗R<sub>on</sub>はスイッチのオン抵抗を示す。

【0027】

外付けのキャパシタC1、C2は、IC4によりスイッチング制御されており、キャパシタC1は、参照信号に応じて端子10及び端子12、又は端子11及び端子13に接続される。また、キャパシタC2は、参照信号に応じて端子14及び端子16、又は端子15及び端子17に接続される。参照信号は、入力信号のゼロクロスに基づいてハイレベル状態とローレベル状態との2つの状態を有する矩形波であり、それぞれの状態に応じて相補的にスイッチング制御が行われる。

10

【0028】

IC4は、入力信号の正負に同期した矩形波の参照信号により、スイッチの切り替えを行い、キャパシタC1、C2の充放電を制御することで同期検波を行う。入力信号の正負と参照信号の正負が同期している場合、参照信号がハイレベルのときは、キャパシタC1がスイッチングにより端子10、及び端子12に接続されることで、入力信号線2aを介してキャパシタC1の上の電極にはプラスの電荷が充電される。参照信号がローレベルのときは、キャパシタC1がスイッチングにより端子11、及び端子13に接続されることで、出力信号線5aを介して、キャパシタC1に充電された電荷がキャパシタC3に放電される。

20

【0029】

同様に、参照信号がローレベルのときは、キャパシタC2がスイッチングにより端子14、及び端子16に接続されることで、入力信号線2bを介してキャパシタC2の下の電極にはプラスの電荷が充電される。参照信号がハイレベルのときは、キャパシタC2がスイッチングにより端子15、及び端子17に接続されることで、出力信号線5bを介して、キャパシタC2に充電された電荷がキャパシタC3に放電される。

【0030】

上記直流信号の値は、過渡現象解析によって求めることができ、入力信号を $\sin(\omega t + \phi)$ 、 $\phi$ を入力信号と参照信号との位相差とすると、出力電圧は以下の式(1)で示す値となる。

30

【0031】

【数1】

$$V_{out} = \frac{A \left( 1 + e^{\frac{T}{2(R_1 + R_{on})C_1}} \right) \sin[\phi + \pi - \tan^{-1}\{(R_1 + R_{on})\omega C_1\}]}{\left( -1 + e^{\frac{T}{2(R_1 + R_{on})C_1}} \right) \sqrt{\omega^2 C_1^2 (R_1 + R_{on})^2 + 1}} \dots (1)$$

40

上記式(1)から、本実施形態に係る同期検波回路では、

【0032】

【数2】

$$\phi = -\frac{1}{2}\pi + \tan^{-1}\{(R_1 + R_{on})\omega C_1\} \dots (2)$$

のときに最大の出力が得られることがわかる。

【0033】

50

つまり、入力信号を参照信号とを同期させた場合に最大出力が得られる従来の同期検波回路とは異なり、入力信号と参照信号との位相差を式(2)だけずらして調整することにより、可能な限りの最大限の出力を得ることができる。

【0034】

入力信号が変調波の場合、変調された入力信号の振幅は時間と共に変化するため、キャパシタC3の電荷量は一定とならず、入力信号の振幅の包絡線が出力される。つまり、変調波を復調し、変調信号を出力する。

【0035】

なお、入力信号、及び参照信号を発振する発振器は、一の発振器により生成されてもよいし、それぞれ異なる発振器により生成されてもよい。一の発振器により生成される場合は、それぞれの信号の出所が同じであるため、同期を取るのが容易になる。

10

【0036】

このように、本実施形態に係る同期検波回路によれば、ハイレベル状態とローレベル状態との2つの異なる状態を有する参照信号に応じて、2つのスイッチトキャパシタを用いて充放電を制御するため、2相クロックの生成やオペアンプの仮想接地等が不要であり、部品数を減らして簡略化された構成にすることができると共に、スイッチの制御を簡略化することができ、回路の集積化を優位にすることができる。また、入力信号と同期した参照信号に応じて2つのスイッチトキャパシタで相補的に充放電を行うため、入力信号の電荷を最大限に充電して高性能な同期検波回路を実現することができる。

【0037】

20

また、入力信号、及び参照信号が同一の信号発振器により生成される信号である場合は、各信号の周波数を一致させて正負の同期を正確で且つ容易に行うことができる。

さらに、入力信号の位相の進相に応じて、参照信号と入力信号との位相を調整するため、入力信号の位相の進相を考慮して最大限の出力を得ることができる。

【0038】

(本発明の第2の実施形態)

本実施形態に係るフラックスゲートセンサについて、図3、及び図4を用いて説明する。図3は、本実施形態に係るフラックスゲートセンサの機能ブロック図、図4は、本実施形態に係るフラックスゲートセンサの回路図である。

【0039】

30

磁界センサの一つであるフラックスゲートセンサは、およそ100 $\mu$ T~10pTの磁界を検出するのに適しており、自動車や飛行機のナビゲーションシステム、保安、地質調査等の様々な分野で使用されている。フラックスゲートセンサは、その応用範囲が広く、装置の小型化、低コスト化、低消費電力化が最近の主な動向である。フラックスゲートセンサに対して、小型、低コスト、低消費電力の面で優れている磁気センサとしてAMR素子があるが、感度や分解能の面ではフラックスゲートに遠く及ばない。本実施形態に係るフラックスゲートセンサにおいては、センサの小型化、低コスト化、低消費電力化を実現している。

【0040】

検出コイルへの誘起電圧を直流信号に変換する同期検波回路は、フラックスゲートセンサの電子回路の重要な機能ブロックである。本実施形態においては、前記第1の実施形態における同期検波回路を用いて、小型で、低コスト、低消費電力なフラックスゲートセンサを実現する。

40

【0041】

図3において、フラックスゲートセンサ30は、入力信号、及び参照信号を生成する発振器31と、磁界を検出するセンサヘッド32と、センサヘッド32が検出した信号を同期検波する第1の実施形態に係る同期検波回路1とを備える。センサヘッド32は、安定で高透磁率を有する磁性ワイヤと、巻き数の多い検出コイルによって構成される(例えば、特開2005-315812号公報を参照)。外部磁界の印加によって磁性ワイヤが磁化し、磁性ワイヤの磁化を交流励磁電流で変化させることで検出コイルに誘導電圧を発生

50

させる。図 3 に示すフラックスゲートセンサは、基本波型直交フラックスゲートセンサであり、周波数  $f$  Hz の交流励磁電流に直流バイアス電流を乗せることで、外部磁界の印加により検出コイルには  $f$  Hz の電圧が誘起され、誘起電圧が同期検波回路により直流に変換されて検出される。これらの処理は、通常のフラックスゲートセンサで必要となる 2 倍の周波数発生回路を用いることなく行うことができる。

【 0 0 4 2 】

図 4 の回路図において、センサヘッド 3 2 に、COMS Hex インバータを用いた発振器 3 1 により交流励磁電流を流し、直流電源 4 2 により直流バイアス電流を流している。また、交流励磁電流と同期した参照信号が、発振器 3 1 から同期検波回路 1 へ供給されている。センサヘッド 3 2 と発振器 3 1 は、センサヘッド 3 2 側から発振器 3 1 側への直流電流の流れを防止するため、コンデンサ 4 1 を介して接続されている。

10

【 0 0 4 3 】

センサヘッド 3 2 のピックアップコイルで発生する誘導電圧と参照信号との位相には、コンデンサによる進相が原因でずれを生じる。この位相のずれを調整する調整手段として、センサヘッド 3 2 の 2 次側に、コンデンサ 4 3 を並列接続する。なお、コンデンサ 4 3 は、直列接続にしてもよい。位相の調整は、ピックアップコイルとコンデンサ 4 3 との共振周波数に基づいて行われ、共振周波数より高い周波数であれば、進み位相で共振周波数より低い周波数であれば遅れ位相であることを利用して調整する。また、コンデンサ 4 3 は、上記のように位相を調整すると共に、高調波を除去してノイズを減らす機能も有する。

20

【 0 0 4 4 】

センサヘッド 3 2 で誘起された電圧は、反転増幅器 4 4 により増幅する。増幅した信号を、スイッチトキャパシタを用いた同期検波回路 1 によって整流し、ローパスフィルタ 4 5 によって出力を取り出す。

なお、ローパスフィルタ 4 5 を備えずに、IC 4 とコンデンサ C 2 との間に抵抗 R 2 を備えるようにしてもよい。

【 0 0 4 5 】

図 4 に示す回路の特性について説明する。利得した周波数特性は、回路解析により求めることができる。外部磁界が交流の場合は、ピックアップコイルの誘導電圧が変調波となるため、その変調波信号を  $E$  とし、図 4 中のコンデンサ C 1、C 2、C 3 の電荷量をそれぞれ  $q_1$ 、 $q_2$ 、 $q_3$  とすると、状態平均化法により、以下の式 ( 3 ) の微分方程式が得られる。

30

【 0 0 4 6 】

【 数 3 】

$$\frac{d}{dt} \times \begin{bmatrix} q_1 \\ q_2 \\ q_3 \end{bmatrix} = \begin{bmatrix} -\frac{2R_{on} + R_1}{2(R_{on} + R_1)C_1} & \frac{1}{2R_{on}C_2} & 0 \\ \frac{1}{2R_{on}C_2} & \frac{2R_{on} + R_2}{2R_{on}R_2C_2} & \frac{1}{R_{on}C_3} \\ 0 & \frac{1}{R_{on}C_2} & -\frac{1}{R_{on}C_3} \end{bmatrix} \begin{bmatrix} q_1 \\ q_2 \\ q_3 \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \\ 0 \end{bmatrix} \frac{1}{2(R_{on} + R_1)} E \quad \dots (3)$$

40

式 ( 3 ) から、図 4 の回路の特性方程式を求めると、以下の式 ( 4 ) となる。

【 0 0 4 7 】



【数 4】

$$G(s) = -\frac{2R_{on} + R_1}{R_2^2 C_2 C_3} + s + \left( \frac{1}{R_2 C_3} + s \right) \left( -\frac{1}{4R_{on}^2 C_1 C_2} + \left( -\frac{2R_{on} + R_1}{2R_{on}(R_{on} + R_1)C_1} + s \right) \left( \frac{2R_{on} + R_1}{R_{on} R_2 C_2} + s \right) \right) \dots (4)$$

【0048】

このように、本実施形態に係るフラックスゲートセンサによれば、第1の実施形態に係る同期検波回路を有するため、簡略化した小規模な構成にすることができると共に、発振器が、交流励磁電流と同期した参照信号を生成することで、各信号の同期を正確に取ることができる。また、位相調整手段が、前記センサヘッドで発生する誘導電圧と前記参照信号との位相差を調整するため、最大限の出力電圧を得て、高性能なセンサとして機能することが可能になる。さらに、位相調整手段が、前記センサヘッドを構成するインダクタンス成分に対して並列接続されたコンデンサであるため、センサヘッドとコンデンサで形成されるLC回路により、簡略化した構成で正確な位相調整をして、最大限の出力電圧を得ることができる。

10

【0049】

(本発明の第3の実施形態)

前記第1の実施形態に係る同期検波回路1は、FM復調装置に適用することができる。この場合、入力信号はFM変調信号となる。周波数と出力電圧の関係において、出力電圧が0から一定の値に達するまでの周波数の範囲内(比例関係であり、電圧変化領域とする)で、FM変調波の周波数が変化した場合、周波数の変化に応じて出力電圧が変化する。すなわち、出力電圧に基づいてFM変調信号を復調することができる。

20

【0050】

なお、図5は、本実施形態に係るFM復調装置の出力電圧の変化を示す図であり、図4において、例えば抵抗 $R_1 = 500$ 、 $R_{on} = 300$ 、 $C_1 = C_2 = C_3 = 0.01 \mu F$ とすると、図に示すように、電圧変化領域が $0 \text{ Hz} \sim 2000 \text{ Hz}$ となり、真ん中の値である $1000 \text{ Hz}$ を中心として同期検波を行うことが望ましい。

【0051】

このように、本実施形態に係るFM復調装置によれば、同期検波回路1を有する構成となるため、簡略化した小規模な構成にすることができると共に、FM変調信号に同期する参照信号を利用して、FM変調信号に正確に対応した出力電圧を得ることができ、高性能なFM復調装置を実現することができる。

30

【0052】

以上の前記各実施形態により本発明を説明したが、本発明の技術的範囲は実施形態に記載の範囲には限定されず、これら各実施形態に多様な変更又は改良を加えることが可能である。そして、かような変更又は改良を加えた実施の形態も本発明の技術的範囲に含まれる。このことは、特許請求の範囲及び課題を解決する手段からも明らかなことである。

【実施例】

40

【0053】

前記第2の実施形態に係るフラックスゲートセンサを用いた実験結果を示す。

(条件) アモルファスワイヤをU字型に曲げたコアを持ち、表1に示す構造を有するセンサヘッドを用いた。また、下記の表2に示す駆動条件の発振器を用いた。

【0054】

【表 1】

Magnetic wire	Co-based amorphous(120 μ m)
Core length	3cm × 2
Pickup coil	710 turns (2.4cm)
Density of turns	29580 turns/m

10

【 0 0 5 5 】

【表 2】

Supply voltage	±3V
Frequency	90kHz
Alternate current	6.5mA(pk-pk)
Direct current	9mA

20

【 0 0 5 6 】

各素子の値は、 $R_1 = 1\text{ k}$ 、 $R_2 = 10\text{ k}$ 、 $C_1 = C_2 = C_3 = 10\text{ nF}$ とし、増幅器の増幅率は7.5倍とした。

(入出力特性) Helmholtzコイルを使用して、60mHzの三角波電流を与え、それに対するセンサの出力と印加磁界をオシロスコープで同時計測し、データをXYプロットした。図6に結果を示す。入出力特性は、ほぼ線形性を示し、感度は1.11V/Gとなった。

【 0 0 5 7 】

(周波数特性) Helmholtzコイルを使用して、1Hz~10kHzでの正弦波電流を与え、オシロスコープで出力波形の振幅を測定し、周波数と利得のデータをプロットした。図7に、式(4)による理論値と測定結果を示す。測定値は4kHzあたりまでは理論値に追従した値を示した。

30

【 0 0 5 8 】

(分解能の測定) センサの雑音を計測するため、センサヘッドをパーマロイ5重円筒シールド内に置き、センサヘッドの方向が円筒の半径方向に一致するようにした。ノイズスペクトルの測定にはFFTアナライザ(Stanford Research Systems SR780)を使用した。Blackman-Harris(BMH)ウィンドウを使用し、実効値で8回加算平均している。帯域周波数を100Hz、Line数を100に設定し1/Hzの値を測定した。図4の回路の出力には30倍の増幅率の増幅器を接続して計測を行った。図4の回路の入力換算雑音を $V_{no1}$ 、図4の回路に増幅器を接続した時の入力換算雑音を $V_{no2}$ 、増幅器のみの入力換算雑音を $V_{no3}$ とすると $V_{no1}$ は、以下の式(5)で表わされる。

40

【 0 0 5 9 】

【数 5】

$$V_{no1} = \sqrt{(V_{no2})^2 - (V_{no3})^2} \dots (5)$$

【 0 0 6 0 】

50

図8は、FFTアナライザのデータと式(5)によって得た図4の回路の入力換算雑の結果である。図8の10Hz~100Hzにおける平均値から、分解能は327pT/Hzとなった。

【0061】

(消費電力の測定) 直流電源のプラス端子、マイナス端子と回路の間にマルチメータを挟み、直流電源からの供給電流を測定し、回路全体の消費電力を求めた。表3に測定結果を示す。マイナス端子からの供給電流がプラス端子からの供給電流より多いのは、マイナス端子からはアモルファスワイヤへ直流バイアス電流を供給しているためである。全体の消費電力は99mWとなり、低消費電力であることがわかった。

【0062】

【表3】

Supply voltage	Supply current(+)	Supply current(-)	Power consumption
±3V	12.3mA	20.7mA	99mW

10

20

【0063】

以上のことから、本発明に係るフラックスゲートセンサは、LT1043を含め、CMOS Hexインバータとオペアンプの計三つのICしか用いず、数少ない部品で小規模化を実現することができ、センサ全体の消費電力を99mWに抑えることができた。また、分解能については、327pT/Hzという結果が出たが、商品としては十分に機能することができる値を得ることができた。この値は、さらに精査して向上させることが可能である。

【0064】

また、別途行った実験から、分解能と消費電力、感度と消費電力の間にはトレードオフの関係にあることがわかっている。つまり、使用用途に応じたセンサの使い分けを行うことができる。

【符号の説明】

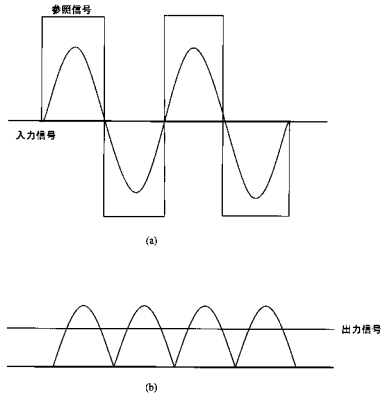
【0065】

- 1 同期検波回路
- 2 a、2 b 入力信号線
- 3 参照信号線
- 4 IC
- 5 a、5 b 出力信号線
- 10~17 端子
- 30 フラックスゲートセンサ
- 31 発振器
- 32 センサヘッド
- 41 LC共振器
- 42 直流電源
- 43 コンデンサ
- 44 反転増幅器
- 45 ローパスフィルタ

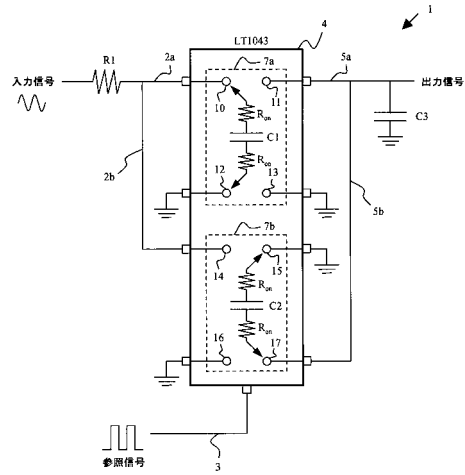
30

40

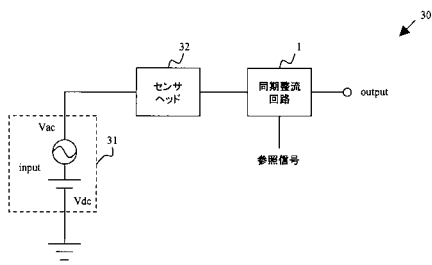
【図1】



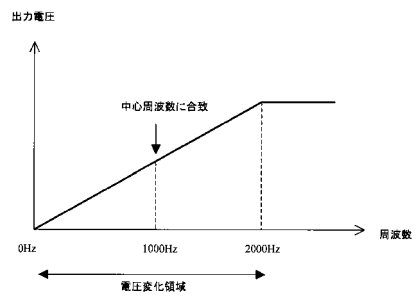
【図2】



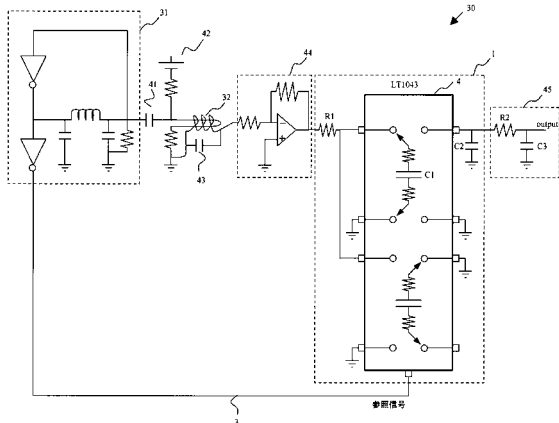
【図3】



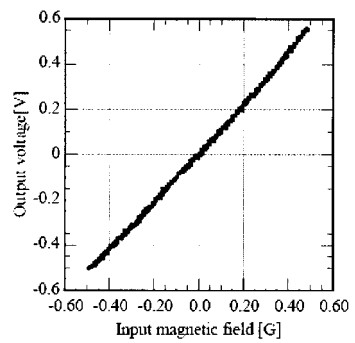
【図5】



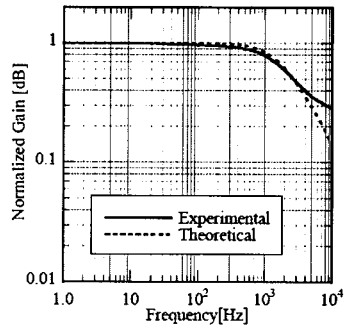
【図4】



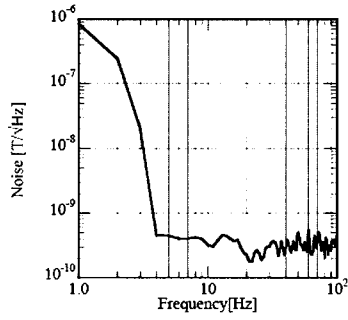
【図6】



【 図 7 】



【 図 8 】



---

フロントページの続き

(56)参考文献 特開2007-097020(JP,A)  
特開平1-164123(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03D 1/00