

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5765808号
(P5765808)

(45) 発行日 平成27年8月19日(2015.8.19)

(24) 登録日 平成27年6月26日(2015.6.26)

(51) Int.Cl. F I
G 1 1 C 13/00 (2006.01)
 G 1 1 C 13/00 4 8 0 C
 G 1 1 C 13/00 4 8 0 B
 G 1 1 C 13/00 2 1 5

請求項の数 2 (全 24 頁)

(21) 出願番号	特願2011-178591 (P2011-178591)	(73) 特許権者	504160781
(22) 出願日	平成23年8月17日(2011.8.17)		国立大学法人金沢大学
(65) 公開番号	特開2013-41649 (P2013-41649A)		石川県金沢市角間町ヌ7番地
(43) 公開日	平成25年2月28日(2013.2.28)	(74) 代理人	100153224
審査請求日	平成26年8月13日(2014.8.13)		弁理士 中原 正樹
		(72) 発明者	北川 章夫
			石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内
		(72) 発明者	中山 和也
			石川県金沢市角間町ヌ7番地 国立大学法人金沢大学内
		(72) 発明者	吉本 裕平
			兵庫県神戸市垂水区西舞子2丁目5-7
		(72) 発明者	半田 貴也
			群馬県太田市すずかけ町13番地10
			最終頁に続く

(54) 【発明の名称】 抵抗変化型不揮発性記憶素子の多値書き込み回路

(57) 【特許請求の範囲】

【請求項1】

抵抗変化型の不揮発性記憶素子を、第1抵抗値と前記第1抵抗値よりも大きな第2抵抗値との間の抵抗値に設定する多値書き込み回路であって、

前記第1抵抗値をもつ参照抵抗を有し、前記不揮発性記憶素子の一端に接続され、前記不揮発性記憶素子が前記第1抵抗値よりも小さな抵抗値をもつ場合に、前記一端に第1電圧を印加し、前記不揮発性記憶素子が前記第1抵抗値よりも大きな抵抗値をもつ場合に、前記一端に前記第1電圧よりも低い第2電圧を印加する第1書き込み回路と、

前記第2抵抗値をもつ参照抵抗を有し、前記不揮発性記憶素子の他端に接続され、前記不揮発性記憶素子が前記第2抵抗値よりも小さな抵抗値をもつ場合に、前記他端に前記第2電圧を印加し、前記不揮発性記憶素子が前記第2抵抗値よりも大きな抵抗値をもつ場合に、前記他端に前記第1電圧を印加する第2書き込み回路とを備え、

前記不揮発性記憶素子は、前記一端に第1電圧が印加され、かつ、前記他端に第2電圧が印加された場合に、抵抗値が高抵抗化され、前記一端に第2電圧が印加され、かつ、前記他端に第1電圧が印加された場合に、抵抗値が低抵抗化される性質を有する

多値書き込み回路。

【請求項2】

抵抗変化型の不揮発性記憶素子を、第1抵抗値と前記第1抵抗値よりも大きな第2抵抗値との間の抵抗値に設定する多値書き込み回路であって、

前記不揮発性記憶素子の一端に接続され、前記不揮発性記憶素子が前記第1抵抗値より

も小さな抵抗値をもつ場合に、第1電圧を前記一端に印加するとともに出力端子から出力し、前記不揮発性記憶素子が前記第1抵抗値よりも大きな抵抗値をもつ場合に、前記第1電圧よりも低い第2電圧を前記一端に印加するとともに出力端子から出力する第1書き込み回路と、

前記不揮発性記憶素子が前記第2抵抗値よりも小さな抵抗値をもつ場合に、前記第2電圧を出力端子から出力し、前記不揮発性記憶素子が前記第2抵抗値よりも大きな抵抗値をもつ場合に、前記第1電圧を出力端子から出力する第2書き込み回路と、

前記不揮発性記憶素子の他端に接続された少なくとも2つのスイッチ素子とを備え、

前記2つのスイッチ素子の一つは、前記第1書き込み回路の出力端子から前記第1電圧が出力されたときに、前記第2電圧を前記他端に印加し、

前記2つのスイッチ素子の他の一つは、前記第2書き込み回路の出力端子から前記第1電圧が出力されたときに、前記第1電圧を前記他端に印加し、

前記不揮発性記憶素子は、前記一端に第1電圧が印加され、かつ、前記他端に第2電圧が印加された場合に、抵抗値が高抵抗化され、前記一端に第2電圧が印加され、かつ、前記他端に第1電圧が印加された場合に、抵抗値が低抵抗化される性質を有する

多値書き込み回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、抵抗変化型の不揮発性記憶素子の多値書き込み回路に関する。

【背景技術】

【0002】

抵抗変化素子（ReRAM）に代表される抵抗変化型の不揮発性記憶素子（以下、単に「不揮発性記憶素子」ともいう。）は、大容量化、高速動作、低消費電力及びビットコストが低い等の利点を備えるので、次世代の新型の不揮発性記憶素子として期待され、様々な開発が続けられている。

【0003】

このような不揮発性記憶素子は、高抵抗状態（例えば、論理値「1」）と低抵抗状態（例えば、論理値「0」）の少なくとも2つの抵抗状態のいずれかを取り、正の電圧パルス及び負の電圧パルスが印加されたときに、その電圧パルスの極性に応じて、一方の抵抗状態から他方の抵抗状態に遷移する性質を有する。たとえば、不揮発性記憶素子が高抵抗状態（以下、「リセット状態」ともいう。）にある場合に、その不揮発性記憶素子の一端を基準に他端に対して一定の正電圧をもつパルス（以下、「セットパルス」ともいう。）を印加する（以下、「セットする」ともいう。）と、その不揮発性記憶素子は、低抵抗状態（以下、「セット状態」）に遷移する。一方、その不揮発性記憶素子が低抵抗状態（「セット状態」）にある場合に、その不揮発性記憶素子の一端を基準に他端に対して一定の負電圧をもつパルス（以下、「リセットパルス」ともいう。）を印加する（以下、「リセットする」ともいう。）と、その不揮発性記憶素子は、高抵抗状態（「リセット状態」）に遷移する。

【0004】

このような特性を有する不揮発性記憶素子に対して、いま、セット状態に書き込みたいケースを想定する。もっとも単純な書き込み方法として、その不揮発性記憶素子の抵抗状態に拘わらず、その不揮発性記憶素子に対してセットパルスを印加することが考えられる。しかしながら、このような書き込み方法では、既にセット状態にある不揮発性記憶素子に対してセットパルスを印加するという多重書き込みが行われてしまう可能性がある。セット状態にある不揮発性記憶素子に対してセットパルスを印加したり、その逆に、リセット状態にある不揮発性記憶素子に対してリセットパルスを印加したりするという多重書き込みは、不揮発性記憶素子に対して不要なエネルギーを印加することによる消費電力の増大を引き起こすだけでなく、不揮発性記憶素子に対して電氣的ストレスがかかることによる不揮発性記憶素子の特性劣化（書き換え回数の減少等）を引き起こしてしまう。

10

20

30

40

50

【0005】

そこで、従来、このような多重書き込みを避ける技術が提案されている（例えば、特許文献1参照）。図12は、従来の書き込み方法の手順を示すフローチャートである。ここでは、不揮発性記憶素子に対する書き込みの際に、まず、その不揮発性記憶素子の抵抗状態を読み出し（S1）、書き込む必要（つまり、抵抗状態を反転させる必要）があるか否かを判定し（S2）、書き込む必要がある場合にのみ（S2でYes）、不揮発性記憶素子への書き込みを行う（S3）。たとえば、不揮発性記憶素子をセットする場合には、まず、その不揮発性記憶素子の抵抗状態を読み出し（S1）、読み出した結果に応じて、その不揮発性記憶素子がリセット状態にあるか否かを判断し（S2）、リセット状態にある場合にだけ（S2でYes）、その不揮発性記憶素子にセットパルスを印加する（S3））。これにより、多重書き込みが回避される。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平07-220479号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記従来の書き込み方法では、不揮発性記憶素子への書き込みのために、図12のフローチャートから分かるように、読み出し回路、判定回路、及び、書き込み回路が必要とされる。そのために、従来の技術では、不揮発性記憶素子の書き込み回路の規模が大きくなり、消費電力が増大したり、回路が複雑化したりするという問題がある。

20

【0008】

そこで、本発明は、このような問題に鑑みてなされたものであり、簡素で、かつ、高速に、自立的に多重書き込みを回避した書き込みをすることができる抵抗変化型不揮発性記憶素子の多値書き込み回路等を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明に係る抵抗変化型不揮発性記憶素子の多値書き込み回路の基本形態は、抵抗変化型の不揮発性記憶素子に対する書き込み回路であって、前記不揮発性記憶素子が高抵抗状態にある場合にだけ前記不揮発性記憶素子を低抵抗状態に遷移させるための電圧を前記不揮発性記憶素子に印加し、前記不揮発性記憶素子が低抵抗状態にある場合にだけ前記不揮発性記憶素子を高抵抗状態に遷移させるための電圧を前記不揮発性記憶素子に印加する。これにより、不揮発性記憶素子をセットする場合には、不揮発性記憶素子がリセット状態にある場合にだけセットパルスが印加され、一方、不揮発性記憶素子をリセットする場合には、不揮発性記憶素子がセット状態にある場合にだけリセットパルスが印加されるので、読み出し回路、判定回路、及び、書き込み回路等の回路を必要とすることなく、簡素で、かつ、高速に、多重書き込みを回避した書き込みが自動的（自立的）に行われる。

30

【0010】

ここで、より詳しくは、前記不揮発性記憶素子の一端に接続され、前記不揮発性記憶素子が高抵抗状態及び低抵抗状態のいずれの抵抗状態にあるかに依存して前記一端に、前記抵抗状態を遷移させるための電圧を発生する電圧発生回路を備える。さらに詳しくは、前記電圧発生回路は、前記不揮発性記憶素子の抵抗状態を読み出して保持する保持部と、前記保持部で保持された抵抗状態に応じた電圧を前記不揮発性記憶素子の一端に印加する印加部とを有する。

40

【0011】

このとき、前記保持部は、前記不揮発性記憶素子の高抵抗状態における抵抗値と低抵抗状態における抵抗値との間の抵抗値をもつ参照抵抗を有し、前記参照抵抗の抵抗値と前記不揮発性記憶素子の抵抗値との大小関係を前記抵抗状態として保持し、前記印加部は、前

50

記保持部に保持された大小関係に応じて、第1電圧及び前記第1電圧よりも低い第2電圧のいずれかを前記不揮発性記憶素子の一端に印加するのが好ましい。これにより、不揮発性記憶素子をセットする場合には、不揮発性記憶素子の抵抗値が参照抵抗の抵抗値より大きい場合にだけセットパルスが印加され、一方、不揮発性記憶素子をリセットする場合には、不揮発性記憶素子の抵抗値が参照抵抗の抵抗値より小さい場合にだけリセットパルスが印加される。

【0012】

また、さらに、前記不揮発性記憶素子の他端に接続され、前記不揮発性記憶素子を高抵抗状態及び低抵抗状態の一方に設定する場合に、第3電圧及び前記第3電圧よりも低い第4電圧のうちの一方を前記他端に印加し、前記不揮発性記憶素子を高抵抗状態及び低抵抗状態の他方に設定する場合に、前記第3電圧及び前記第4電圧のうちの他方を前記他端に印加するスイッチ部を備えるとしてもよい。これにより、スイッチ部との連動により、多重書き込みを回避した書き込みが行われる。

10

【0013】

また、抵抗変化型の不揮発性記憶素子に対する書き込み回路であって、前記不揮発性記憶素子の一端に接続され、前記不揮発性記憶素子が高抵抗状態にある場合に前記一端に第1電圧を印加し、前記不揮発性記憶素子が低抵抗状態にある場合に前記一端に、前記第1電圧よりも低い第2電圧を印加する第1書き込み回路と、前記不揮発性記憶素子の他端に接続され、前記不揮発性記憶素子が高抵抗状態にある場合に前記他端に前記第2電圧を印加し、前記不揮発性記憶素子が低抵抗状態にある場合に前記他端に、前記第1電圧を印加する第2書き込み回路とを備え、前記不揮発性記憶素子は、前記一端に第1電圧が印加され、かつ、前記他端に第2電圧が印加された場合に、抵抗値が低抵抗化され、前記一端に第2電圧が印加され、かつ、前記他端に第1電圧が印加された場合に、抵抗値が高抵抗化される性質を有する構成としてもよい。これにより、2つの書き込み回路を用いて、多重書き込みを回避した書き込みが行われる。

20

【0014】

また、上記目的を達成するために、本発明に係る抵抗変化型不揮発性記憶素子の多値書き込み回路の一形態は、抵抗変化型の不揮発性記憶素子を、第1抵抗値と前記第1抵抗値よりも大きな第2抵抗値との間の抵抗値に設定する多値書き込み回路であって、前記第1抵抗値をもつ参照抵抗を有し、前記不揮発性記憶素子の一端に接続され、前記不揮発性記憶素子が前記第1抵抗値よりも小さな抵抗値をもつ場合に、前記一端に第1電圧を印加し、前記不揮発性記憶素子が前記第1抵抗値よりも大きな抵抗値をもつ場合に、前記一端に前記第1電圧よりも低い第2電圧を印加する第1書き込み回路と、前記第2抵抗値をもつ参照抵抗を有し、前記不揮発性記憶素子の他端に接続され、前記不揮発性記憶素子が前記第2抵抗値よりも小さな抵抗値をもつ場合に、前記他端に前記第2電圧を印加し、前記不揮発性記憶素子が前記第2抵抗値よりも大きな抵抗値をもつ場合に、前記他端に前記第1電圧を印加する第2書き込み回路とを備え、前記不揮発性記憶素子は、前記一端に第1電圧が印加され、かつ、前記他端に第2電圧が印加された場合に、抵抗値が高抵抗化され、前記一端に第2電圧が印加され、かつ、前記他端に第1電圧が印加された場合に、抵抗値が低抵抗化される性質を有する構成としてもよい。これにより、2つの書き込み回路を用いて、不揮発性記憶素子の抵抗値を2つの参照抵抗値の間に設定できる多値書き込みが行われる。よって、2つの参照抵抗値を変更する回路を付加することで、一つの不揮発性記憶素子の抵抗値を3以上の多値のいずれかに設定することが可能になり、一つのメモリセルで多値を記憶でき、メモリセルあたりのメモリ容量が増大される。

30

40

【0015】

また、上記目的を達成するために、本発明に係る抵抗変化型不揮発性記憶素子の多値書き込み回路の一形態は、抵抗変化型の不揮発性記憶素子を、第1抵抗値と前記第1抵抗値よりも大きな第2抵抗値との間の抵抗値に設定する多値書き込み回路であって、前記不揮発性記憶素子の一端に接続され、前記不揮発性記憶素子が前記第1抵抗値よりも小さな抵抗値をもつ場合に、第1電圧を前記一端に印加するとともに出力端子から出力し、前記不

50

揮発性記憶素子が前記第 1 抵抗値よりも大きな抵抗値をもつ場合に、前記第 1 電圧よりも低い第 2 電圧を前記一端に印加するとともに出力端子から出力する第 1 書き込み回路と、前記不揮発性記憶素子が前記第 2 抵抗値よりも小さな抵抗値をもつ場合に、前記第 2 電圧を出力端子から出力し、前記不揮発性記憶素子が前記第 2 抵抗値よりも大きな抵抗値をもつ場合に、前記第 1 電圧を出力端子から出力する第 2 書き込み回路と、前記不揮発性記憶素子の他端に接続された少なくとも 2 つのスイッチ素子とを備え、前記 2 つのスイッチ素子の一つは、前記第 1 書き込み回路の出力端子から前記第 1 電圧が出力されたときに、前記第 2 電圧を前記他端に印加し、前記 2 つのスイッチ素子の他の一つは、前記第 2 書き込み回路の出力端子から前記第 1 電圧が出力されたときに、前記第 1 電圧を前記他端に印加し、前記不揮発性記憶素子は、前記一端に第 1 電圧が印加され、かつ、前記他端に第 2 電圧が印加された場合に、抵抗値が高抵抗化され、前記一端に第 2 電圧が印加され、かつ、前記他端に第 1 電圧が印加された場合に、抵抗値が低抵抗化される性質を有する構成としてもよい。これにより、2 つの書き込み回路を用いて、不揮発性記憶素子の抵抗値を 2 つの参照抵抗値の間に設定できる多値書き込みが行われる。よって、2 つの参照抵抗値を変更する回路を付加することで、一つの不揮発性記憶素子の抵抗値を 3 以上の多値のいずれかに設定することが可能になり、一つのメモリセルで多値を記憶でき、メモリセルあたりのメモリ容量が増大される。

【0016】

なお、本発明は、以上のような抵抗変化型不揮発性記憶素子の書き込み回路及び多値書き込み回路として実現できるだけでなく、これらの書き込み回路及び多値書き込み回路による書き込み手順を行う、あるいは、書き込み手順を制御する書き込み回路の駆動方法として実現してもよい。

【発明の効果】

【0017】

本発明に係る抵抗変化型不揮発性記憶素子の書き込み回路等によれば、簡素で、かつ、高速に、自立的に多重書き込みを回避した書き込みをすることができる抵抗変化型不揮発性記憶素子の書き込み回路等が実現される。

【0018】

よって、大容量、高速動作及び低消費電力の不揮発性メモリが必要とされる電子機器が普及してきた今日における本発明の実用的価値は極めて高い。

【図面の簡単な説明】

【0019】

【図 1】本発明の実施の形態における抵抗変化型不揮発性記憶素子の書き込み回路の回路図

【図 2 A】同書き込み回路が備える電圧発生回路の動作（第 1 のステップ；イコライズ）を示す図

【図 2 B】同電圧発生回路の動作（第 2 のステップ；増幅）を示す図

【図 2 C】同電圧発生回路の動作（第 3 のステップ；書き込み）を示す図

【図 3 A】大きな電力の電圧を発生し得る電圧発生回路の一例を示す回路図

【図 3 B】大きな電力の電圧を発生し得る電圧発生回路の他の一例を示す回路図

【図 4】本発明の変形例 1 における電圧差動センス方式の電圧発生回路の回路図

【図 5】同電圧発生回路の動作を示すタイミングチャート

【図 6】本発明の変形例 2 における電流差動センス方式の別の電圧発生回路の回路図

【図 7】同電圧発生回路の動作を示すタイミングチャート

【図 8】本発明の応用例 1 における書き込み回路の回路図

【図 9 A】一般的な抵抗変化素子の抵抗変化特性を示す図

【図 9 B】本発明の応用例 2 における書き込み回路の駆動方法を示すフローチャート

【図 9 C】同書き込み回路の駆動方法における書き込み時間の変化を示す図

【図 10】本発明の応用例 3 における多値書き込み回路のブロック図

【図 11】本発明の応用例 4 における多値書き込み回路を説明する図

10

20

30

40

50

【図12】従来の書き込み方法の手順を示すフローチャート

【発明を実施するための形態】

【0020】

以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも本発明の好ましい一具体例を示すものである。以下の実施の形態で示される回路要素、接続形態、トランジスタの型、動作手順等は、一例であり、本発明を限定する主旨ではない。本発明は、特許請求の範囲だけによって限定される。よって、以下の実施の形態における構成要素のうち、本発明の最上位概念を示す独立請求項に記載されていない構成要素については、本発明の課題を達成するのに必ずしも必要ではないが、より好ましい形態を構成するものとして説明される。

10

【0021】

図1は、本発明の実施の形態における抵抗変化型不揮発性記憶素子の書き込み回路の回路図である。なお、本図では、抵抗変化型不揮発性記憶素子として、抵抗変化素子2が用いられているが、抵抗値が変化する不揮発性記憶素子であれば、他のタイプの不揮発性記憶素子（例えば、相変化メモリ（PRAM）、磁気抵抗メモリ（MRAM）等）であってもよい。また、本実施の形態では、抵抗変化素子2は、図示された接続状態において、下側端子を基準に上側端子にHigh電圧（例えば、電圧V_{dd}）が印加されると低抵抗状態に遷移し（セットされ）、一方、上側端子を基準に下側端子にHigh電圧（例えば、電圧V_{dd}）が印加されると高抵抗状態に遷移する（リセットされる）特性を有するとする。

20

【0022】

この書き込み回路1は、抵抗変化型の不揮発性記憶素子（ここでは、抵抗変化素子2）に対する書き込み回路であって、抵抗変化素子2が高抵抗状態（リセット状態）にある場合にだけ抵抗変化素子2を低抵抗状態に遷移させるための電圧を抵抗変化素子2に印加（セット）し、抵抗変化素子2が低抵抗状態（セット状態）にある場合にだけ抵抗変化素子2を高抵抗状態に遷移させるための電圧を抵抗変化素子2に印加（リセット）する機能を有する。

【0023】

具体的には、この書き込み回路1は、電圧発生回路25と、スイッチ部40とを備える。電圧発生回路25は、抵抗変化素子2の一端（図示における上側端子）に接続され、抵抗変化素子2が高抵抗状態及び低抵抗状態のいずれの抵抗状態にあるかに依存して、その一端（上側端子）に、抵抗状態を遷移させるための電圧を発生する。ここでは、電圧発生回路25は、抵抗変化素子2が高抵抗状態にある場合に、High電圧（例えば、電圧V_{dd}）を抵抗変化素子2の一端（上側端子）に印加し、一方、抵抗変化素子2が低抵抗状態にある場合に、Low電圧（例えば、GND電位）を抵抗変化素子2の一端（上側端子）に印加する。

30

【0024】

また、スイッチ部40は、抵抗変化素子2の他端（図示における下側端子）に接続され、抵抗変化素子2を高抵抗状態及び低抵抗状態の一方に設定する場合に、第3電圧（ここでは、High電圧）及び第3電圧よりも低い第4電圧（ここでは、Low電圧）のうちの一方を他端（下側端子）に印加し、抵抗変化素子2を高抵抗状態及び低抵抗状態の他方に設定する場合に、第3電圧（High電圧）及び第4電圧（Low電圧）のうちの他方を他端に印加する。具体的には、スイッチ部40は、直列に接続された、電圧V_{dd}用の電源41とスイッチ42とから構成され、スイッチ42により、図示されていない制御回路からの制御の下で、抵抗変化素子2を低抵抗状態に設定（セット）する場合に、Low電圧を抵抗変化素子2の他端（下側端子）に印加し、抵抗変化素子2を高抵抗状態に設定（リセット）する場合に、High電圧を抵抗変化素子2の他端（下側端子）に印加する。

40

【0025】

このような構成により、本実施の形態における書き込み回路1によれば、以下の動作が

50

行われる。

【0026】

(1) 抵抗変化素子2を低抵抗状態に設定(セット)する場合

抵抗変化素子2の下側端子は、上述したスイッチ部40により、Low電位(GND)に固定される。

【0027】

一方、抵抗変化素子2の上側端子には、上述した電圧発生回路25により、抵抗変化素子2が高抵抗状態にある場合には、High電圧が印加され、抵抗変化素子2が低抵抗状態にある場合には、Low電圧が印加される。

【0028】

この結果、抵抗変化素子2が高抵抗状態(リセット状態)にある場合にだけ、抵抗変化素子2の両端に電圧(ここでは、下側端子を基準に上側端子にHigh電圧)が印加され、その結果、抵抗変化素子2が高抵抗状態から低抵抗状態に遷移する(セットされる)。つまり、抵抗変化素子2が既に低抵抗状態にある場合には、抵抗変化素子2の両端には電圧が印加されず、多重書き込みが回避される。

【0029】

(2) 抵抗変化素子2を高抵抗状態に設定(リセット)する場合

抵抗変化素子2の下側端子は、上述したスイッチ部40により、High電位(電圧V_{dd})に固定される。

【0030】

一方、抵抗変化素子2の上側端子には、上述した電圧発生回路25により、抵抗変化素子2が高抵抗状態にある場合には、High電圧が印加され、抵抗変化素子2が低抵抗状態にある場合には、Low電圧が印加される。

【0031】

この結果、抵抗変化素子2が低抵抗状態(セット状態)にある場合にだけ、抵抗変化素子2の両端に電圧(ここでは、上側端子を基準に下側端子にHigh電圧)が印加され、その結果、抵抗変化素子2が低抵抗状態から高抵抗状態に遷移する(リセットされる)。つまり、抵抗変化素子2が既に高抵抗状態にある場合には、抵抗変化素子2の両端には電圧が印加されず、多重書き込みが回避される。

【0032】

以下、このような書き込み回路1を構成する電圧発生回路25について、より詳しく説明する。

【0033】

電圧発生回路25は、図1に示されるように、抵抗変化素子2の抵抗状態を読み出して保持する保持部10と、保持部10で保持された抵抗状態に応じた電圧を抵抗変化素子2の一端(上側端)に印加する印加部30とを有するセンスアンプである。

【0034】

保持部10は、抵抗変化素子2の高抵抗状態における抵抗値と低抵抗状態における抵抗値との間の抵抗値をもつ参照抵抗21を有し、参照抵抗21の抵抗値と抵抗変化素子2の抵抗値との大小関係を抵抗変化素子2の抵抗状態として保持するラッチ回路である。この保持部10は、参照抵抗21に加えて、SRAMを構成するトランジスタ(NMOSトランジスタ11、13~15、17~20、PMOSトランジスタ12及び16)から構成される。

【0035】

PMOSトランジスタ12のソースは電源電圧V_{dd}に接続され、PMOSトランジスタ12のドレインはNMOSトランジスタ13のドレインと接続され、NMOSトランジスタ13のソースはNMOSトランジスタ14及び11のドレインと接続され、NMOSトランジスタ14のソースはNMOSトランジスタ19のドレインと接続され、NMOSトランジスタ19のソースはGNDに接続されている。同様に、PMOSトランジスタ16のソースは電源電圧V_{dd}に接続され、PMOSトランジスタ16のドレインはNMOS

10

20

30

40

50

Sトランジスタ17のドレインと接続され、NMOSトランジスタ17のソースはNMOSトランジスタ18及び20のドレインと接続され、NMOSトランジスタ18のソースはNMOSトランジスタ19のドレインと接続されている。

【0036】

PMOSトランジスタ12のゲートと、NMOSトランジスタ13及び14のゲートと、NMOSトランジスタ15の一端と、PMOSトランジスタ16のドレインとは相互に接続されている。同様に、PMOSトランジスタ16のゲートと、NMOSトランジスタ17及び18のゲートと、NMOSトランジスタ15の他端と、PMOSトランジスタ12のドレインとは相互に接続されている。

【0037】

NMOSトランジスタ11のソースは、抵抗変化素子2の一端(上側端子)及びPMOSトランジスタ31のドレインに接続されている。同様に、NMOSトランジスタ20のソースは、参照抵抗21の一端(上側端子)及びPMOSトランジスタ32のドレインに接続されている。参照抵抗21の他端(下側端子)はGNDに接続されている。

【0038】

なお、NMOSトランジスタ11のゲート及びNMOSトランジスタ20のゲートには、図示されていない制御回路から制御信号w1が送られてくる。また、NMOSトランジスタ19のゲートには、図示されていない制御回路から制御信号reが送られてくる。

【0039】

印加部30は、保持部10に保持された状態(抵抗変化素子2の抵抗値と参照抵抗21の抵抗値との大小関係)に応じて、第1電圧及び第1電圧よりも低い第2電圧のいずれかを抵抗変化素子2の一端(上側端子)に印加する回路であり、ここでは、抵抗変化素子2が高抵抗状態にある場合に、抵抗変化素子2の上側端子にHigh電圧を印加し、抵抗変化素子2が低抵抗状態にある場合に、抵抗変化素子2の上側端子にLow電圧を印加するためのトランジスタ(PMOSトランジスタ31及び32)から構成される。

【0040】

以上のように構成された本実施の形態における電圧発生回路25の動作について、図2A~図2Cを用いて説明する。この電圧発生回路25は、抵抗変化素子2の書き込み内容(セットするか、リセットするか)及び抵抗変化素子2の現在の抵抗状態に依存することなく、常に、図2A~図2Cに示される3つのステップで書き込み動作を行う。

【0041】

まず、第1のステップとして、図2Aのタイミングチャートにおけるタイミング1に示されるように、制御信号w1と制御信号reと制御信号seと制御信号we__invとがHigh(例えば、電圧Vdd)となる。この状態では、印加部30(PMOSトランジスタ31及び32)がOFFになるとともに、保持部10を構成する全てのトランジスタがONする。このとき、NMOSトランジスタ15がONすることから、NMOSトランジスタ14及びNMOSトランジスタ18のゲートが同電位となり、その結果、NMOSトランジスタ14及びNMOSトランジスタ18のドレインが同電位と(イコライズされた状態)なる。そして、NMOSトランジスタ11及び20がONしているので、抵抗変化素子2及び参照抵抗21の上側端子には同電位の電圧が印加される。その結果、抵抗変化素子2の抵抗値 R_m 及び参照抵抗21の抵抗値 R_{ref} に依存して、抵抗変化素子2及び参照抵抗21のそれぞれに、電流 I_m 及び I_{ref} が流れる。たとえば、 $R_m > R_{ref}$ の場合には、 $I_{ref} > I_m$ となる。なお、この第1のステップでは、図1におけるスイッチ部40では、スイッチ42はGND接続となる。

【0042】

次に、第2のステップとして、図2Bのタイミングチャートにおけるタイミング2に示されるように、Highになっていた制御信号seだけがLow(例えば、GND)になる。この状態では、印加部30(PMOSトランジスタ31及び32)がOFFのままであり、保持部10では、正帰還(増幅)が起こり、SRAM(ラッチ回路)として、抵抗変化素子2と参照抵抗21の抵抗の大小関係を保持する。たとえば、 $R_m > R_{ref}$ (つ

10

20

30

40

50

まり、 $I_{ref} > I_m$)である場合には、ノード v_{out_left} (PMOSトランジスタ12とNMOSトランジスタ13との接続点)の電位が電圧 V_{dd} に近づき、一方、ノード v_{out_right} (PMOSトランジスタ16とNMOSトランジスタ17との接続点)の電位がGNDに近づく。なお、この第2のステップでは、図1におけるスイッチ部40では、スイッチ42はGND接続となる。

【0043】

最後に、第3のステップとして、図2Cのタイミングチャートにおけるタイミング4に示されるように、制御信号 w_1 がLowになっている状態で、Highになっていた制御信号 w_{e_inv} がLowになる。その結果、NMOSトランジスタ11及び20がOFFであることから、保持部10では、保持状態が維持されるとともに、PMOSトランジスタ31及び32がONになることから、印加部30では、ノード v_{out_left} の電位が抵抗変化素子2の上側端子に印加されるとともに、ノード v_{out_right} の電位が参照抵抗21の上側端子に印加される(つまり、書き込みが行われる)。たとえば、 $R_m > R_{ref}$ (つまり、 $I_{ref} > I_m$)である場合には、抵抗変化素子2の上側端子にはHigh電圧が印加されるとともに、参照抵抗21の上側端子にはLow電圧が印加される。一方、 $R_m < R_{ref}$ (つまり、 $I_{ref} < I_m$)である場合には、抵抗変化素子2の上側端子にはLow電圧が印加されるとともに、参照抵抗21の上側端子にはHigh電圧が印加される。なお、この第3のステップでは、図1におけるスイッチ部40では、スイッチ42は、セット時にはGND接続に、一方、リセット時には電圧 V_{dd} 接続に、切り替える。

【0044】

以上のように、本実施の形態における電圧発生回路25によれば、抵抗変化素子2の上側端子には、抵抗変化素子2が高抵抗状態にある場合にHigh電圧が印加され、抵抗変化素子2が低抵抗状態にある場合にLow電圧が印加される。よって、このような電圧発生回路25とスイッチ部40との組み合わせにより、抵抗変化素子2を低抵抗状態に設定(セット)する場合には、抵抗変化素子2が高抵抗状態にあるときにだけ抵抗変化素子2の両端に電圧(ここでは、下側端子を基準に上側端子にHigh電圧)が印加され、その結果、抵抗変化素子2が高抵抗状態から低抵抗状態に遷移する。一方、抵抗変化素子2を高抵抗状態に設定(リセット)する場合には、抵抗変化素子2が低抵抗状態にある場合にだけ抵抗変化素子2の両端に電圧(ここでは、上側端子を基準に下側端子にHigh電圧)が印加され、その結果、抵抗変化素子2が低抵抗状態から高抵抗状態に遷移する。よって、抵抗変化素子2への多重書き込みが自動的(自立的)に回避される。

【0045】

なお、上記第3のステップ(書き込み)において、大きな電力を必要とする場合には、図3Aに示される印加部30aのように、PMOSトランジスタ31及び32のソースに、それぞれ、バッファアンプ(ここでは、一段のインバータ)33及び34を追加して接続してもよいし、図3Bに示される印加部30bのように、PMOSトランジスタ31及び32のソースに、それぞれ、バッファアンプ(ここでは、2段のインバータ)35及び36を追加して接続してもよい。これにより、より大きな電流で抵抗変化素子2への書き込みが行われる。

【0046】

次に、本実施の形態の変形例及び本発明に係る書き込み回路の応用例を説明する。

【0047】

(変形例1)

まず、変形例1に係る書き込み回路を説明する。

【0048】

書き込みの対象となる抵抗変化素子の抵抗値のセンス方式としては、図1に示される書き込み回路1のように、抵抗変化素子2を流れる電流 I_m と参照抵抗21を流れる電流 I_{ref} との差を検出する電流差動センス方式に限定されるものではなく、電圧差動センス方式であってもよい。

【 0 0 4 9 】

図4は、本発明に係る電圧差動センス方式の電圧発生回路25aの回路図である。この電圧発生回路25aは、抵抗変化素子2の抵抗状態を読み出して保持する保持部10aと、その保持部10aで保持された抵抗状態に応じた電圧を抵抗変化素子2の一端（上側端子）に印加する印加部30cとを有する。

【 0 0 5 0 】

保持部10aは、抵抗変化素子2の高抵抗状態における抵抗値と低抵抗状態における抵抗値との間の抵抗値 R_{ref} をもつ参照抵抗121を有し、参照抵抗121の抵抗値 R_{ref} と抵抗変化素子2の抵抗値 R_m との大小関係を電圧差動でセンスし、センスした大小関係を抵抗変化素子2の抵抗状態として保持するラッチ回路である。この保持部10aは、参照抵抗121に加えて、SRAMを構成するトランジスタ（NMOSTランジスタ105～107、PMOSTランジスタ101～104及び108）から構成される。なお、図中の容量 C_{out} 及び C_{in} は寄生容量である。

10

【 0 0 5 1 】

印加部30cは、保持部10aに保持された状態（抵抗変化素子2の抵抗値 R_m と参照抵抗21の抵抗値 R_{ref} との大小関係）に応じて、第1電圧及び第1電圧よりも低い第2電圧のいずれかを抵抗変化素子2の一端（上側端子）に印加する回路である。具体的には、この印加部30cは、図1における印加部30と同様に、抵抗変化素子2が高抵抗状態にある場合に抵抗変化素子2の上側端子にHigh電圧を印加し、一方、抵抗変化素子2が低抵抗状態にある場合に抵抗変化素子2の上側端子にLow電圧を印加するためのトランジスタ（NMOSTランジスタ109～112）から構成される。

20

【 0 0 5 2 】

なお、この電圧発生回路25aでは、抵抗変化素子2及び参照抵抗121と直列に、それぞれ、NMOSTランジスタ123及び124が接続され、いわゆる1T1Rのメモリセルが備えられている。また、図示されていない制御回路から、NMOSTランジスタ109及び110のゲートに制御信号 rw が送られ、NMOSTランジスタ111及び112のゲートに制御信号 $se_control$ が送られ、NMOSTランジスタ107のゲートに制御信号 se が送られ、NMOSTランジスタ123及び124に制御信号 WL が送られてくる。また、抵抗変化素子2及び参照抵抗121の上側端子での電圧をそれぞれ V_{in} 及び V_{in_ref} と表記し、保持部10aの出力端子（PMOSTランジスタ103及び104それぞれのドレイン）での電圧をそれぞれ V_{out} 及び V_{out_ref} と表記し、抵抗変化素子2及び参照抵抗121の下側端子（より正確には、NMOSTランジスタ123及び124の下側端子）を SL と呼ぶ。

30

【 0 0 5 3 】

図5は、この電圧発生回路25aの動作を示すタイミングチャートである。ここでは、抵抗変化素子2を低抵抗状態にする書き込み（図中の「set」）、抵抗変化素子2を高抵抗状態にする書き込み（図中の「reset」）、及び、抵抗変化素子2からの読み出し（図中の「read」）の3つのケースについて、動作タイミングが示されている。

【 0 0 5 4 】

まず、第1のステップ（図中の「Equalization」）では、制御信号 rw がHighで、かつ、端子 SL に一定電位が印加された状態で、制御信号 WL がLowからHighになることで、保持部10aの2つの容量 C_{in} への充電が開始される。つまり、左側の端子 SL からの電流がNMOSTランジスタ123、抵抗変化素子2及びNMOSTランジスタ109を介して、PMOSTランジスタ101のゲートに接続された容量 C_{in} に充電されていき、その結果、電圧 V_{in} の波形は、図5の V_{in} に示されるような立ち上がり波形となる。同様に、右側の端子 SL からの電流がNMOSTランジスタ124、参照抵抗121及びNMOSTランジスタ110を介して、PMOSTランジスタ102のゲートに接続された容量 C_{in} に充電されていき、その結果、電圧 V_{in_ref} の波形は、図5の V_{in_ref} に示されるような立ち上がり波形となる。

40

【 0 0 5 5 】

50

次に、第2のステップ(図中の「amplification」)では、低抵抗状態への書き込み(「set」)、高抵抗状態への書き込み(「reset」)、及び、読み出し(「read」)のいずれを行うかに応じて、図示されるように、各種制御信号及び端子SLに所定の電圧が与えられる。ただし、いずれの動作であっても、出力端子での電圧Vout及びVout_refには、それぞれ、入力電圧Vin及びVin_refの差異を増幅したような電圧レベルが出力される。たとえば、いま、抵抗変化素子2の抵抗値が参照抵抗121の抵抗値よりも小さい場合には、左側の容量Cinに流れ込む電流が右側の容量Cinに流れ込む電流よりも大きくなるので、入力電圧Vinは、図5に示されるように、入力電圧Vin_refよりも波高が高くなる。その結果、PMOSトランジスタ102のドレイン電流がPMOSトランジスタ101のドレイン電流よりも大きくなり、PMOSトランジスタ104とNMOSトランジスタ106との接続点(つまり、電圧Vout_ref)の電位が上昇し、一方、PMOSトランジスタ103とNMOSトランジスタ105との接続点(つまり、電圧Vout)の電位が下降する正帰還が働く。

【0056】

このように、2つの出力端子の電圧Vout及びVout_refは、抵抗変化素子2の抵抗値Rmと参照抵抗121の抵抗値Rrefとの大小関係に依存して定まる電圧(ここでは、 $R_m > R_{ref}$ の場合には、 $V_{out} = V_{dd}$ 、かつ、 $V_{out_ref} = GND$ 、一方、 $R_m < R_{ref}$ の場合には、 $V_{out} = GND$ 、かつ、 $V_{out_ref} = V_{dd}$)となる。よって、このような電圧(Vout又はVout_ref)を、抵抗変化素子2への書き込みの際に抵抗変化素子2の一端に印加する電圧として利用する(例えば、制御信号se_controlをHighにすることで電圧Voutを抵抗変化素子2の上側端子に印加する)ことで、上記実施の形態における書き込み回路1(あるいは、電圧発生回路25)と同様の機能をもつ電圧差動センス方式の書き込み回路、つまり、多重書き込みを自動的(自立的)に回避できる書き込み回路が実現される。

【0057】

なお、図5における第3のステップ(図中の「Reset」)は、この電圧発生回路25aの初期状態(書き込みでも読み出しでもない状態)を示している。

【0058】

(変形例2)

次に、変形例2に係る書き込み回路を説明する。

【0059】

本発明に係る書き込み回路に用いられる電流差動センス方式の電圧発生回路としては、図1に示される電圧発生回路25に限られず、他の回路で構成されてもよい。

【0060】

図6は、電流差動センス方式の別の電圧発生回路25bの回路図である。この電圧発生回路25bは、抵抗変化素子2の抵抗状態を読み出して保持する保持部としての機能と、その保持部で保持された抵抗状態に応じた電圧を抵抗変化素子2の一端(上側端)に印加する印加部としての機能とを有する。ただし、本変形例では、保持部と印加部とが明確に分離されるのではなく、同一のトランジスタによって保持部と印加部とが構成されている。

【0061】

つまり、この電圧発生回路25bは、抵抗変化素子2の高抵抗状態における抵抗値と低抵抗状態における抵抗値との間の抵抗値をもつ参照抵抗221を有し、参照抵抗221の抵抗値と抵抗変化素子2の抵抗値との大小関係を電流差動(電流Irefと電流Idat aとの差)でセンスし、センスした大小関係を抵抗変化素子2の抵抗状態として保持するとともに、保持された状態に応じて、第1電圧及び第1電圧よりも低い第2電圧のいずれかを抵抗変化素子2の一端(上側端子)に印加する。そのために、この電圧発生回路25bは、参照抵抗121に加えて、SRAMを構成するトランジスタ(NMOSトランジスタ203~208、211及び212、PMOSトランジスタ201、202、209及び210)から構成される。

10

20

30

40

50

【0062】

なお、この電圧発生回路25bでは、抵抗変化素子2及び参照抵抗221と直列に、それぞれ、NMOSトランジスタ223及び224が接続され、いわゆる1T1Rのメモリセルが備えられている。また、図示されていない制御回路から、4つのトランジスタ(PMOSトランジスタ209及び210、NMOSトランジスタ211及び212)のゲートに制御信号OPEが送られ、NMOSトランジスタ207のゲートに制御信号SEが送られ、NMOSトランジスタ208のゲートに制御信号REが送られ、NMOSトランジスタ223及び224に制御信号WLが送られてくる。また、2つの出力端子(PMOSトランジスタ201及び202それぞれのドレイン)での電圧をそれぞれVout及びVout_refと表記し、抵抗変化素子2及び参照抵抗221の下側端子(より正確には、NMOSトランジスタ223及び224の下側端子)をSLと呼ぶ。なお、制御信号OPEは、NMOSトランジスタ203及び204を、SRAM(つまり、ラッチ回路)の一部として機能させるか、抵抗変化素子2及び参照抵抗221への書き込み(ドライバ)として機能させるかを切り替えるための制御信号である。

10

【0063】

図7は、この電圧発生回路25bの動作を示すタイミングチャートである。ここでは、抵抗変化素子2を低抵抗状態にする書き込み(図中の「set」)、抵抗変化素子2を高抵抗状態にする書き込み(図中の「reset」)、及び、抵抗変化素子2からの読み出し(図中の「read」)の3つのケースについて、動作タイミングが示されている。

【0064】

まず、第1のステップ(図中の「プリチャージ」)では、制御信号WLがHighで、かつ、端子SLに一定電位が印加された状態で、制御信号SE、RE及びOPEがHighになっているので、電圧発生回路25bは、SRAMとして機能し、抵抗変化素子2及び参照抵抗221には、それぞれ、その抵抗値の大小に依存した電流Idata及びIrefが流れる(つまり、プリチャージされる)。

20

【0065】

次に、第2のステップ(図中の「増幅」)では、低抵抗状態への書き込み(「set」)、高抵抗状態への書き込み(「reset」)、及び、読み出し(「read」)のいずれを行うかに応じて、図示されるように、各種制御信号及び端子SLに所定の電圧が与えられる。いずれの動作であっても、このステップでは、正帰還による増幅が行われ、抵抗変化素子2の上側端子には、抵抗変化素子2の抵抗値Rmと参照抵抗121の抵抗値Rrefとの大小関係に依存して定まる電圧(ここでは、 $R_m > R_{ref}$ の場合には、電圧Vdd、一方、 $R_m < R_{ref}$ の場合には、GND電位)が印加される。

30

【0066】

なお、書き込みを行う場合には(図中の「write」)、制御信号OPEがLowとなり、その結果、NMOSトランジスタ203及び204のゲートには電圧Vddが印加され、NMOSトランジスタ203及び204は、それぞれ、抵抗変化素子2及び参照抵抗221への書き込み(つまり、電流増幅)を行うドライバとして機能する。

【0067】

以上のように、本変形例における電圧発生回路25bによれば、抵抗変化素子2の上側端子には、抵抗変化素子2が高抵抗状態にある場合には、High電圧が印加され、抵抗変化素子2が低抵抗状態にある場合には、Low電圧が印加される。よって、抵抗変化素子2を低抵抗状態に設定(セット)する場合には、抵抗変化素子2が高抵抗状態(リセット状態)にあるときにだけ、抵抗変化素子2の両端に電圧(ここでは、下側端子を基準に上側端子にHigh電圧)が印加され、その結果、抵抗変化素子2が高抵抗状態から低抵抗状態に遷移する。一方、抵抗変化素子2を高抵抗状態に設定(リセット)する場合には、抵抗変化素子2が低抵抗状態(セット状態)にある場合にだけ、抵抗変化素子2の両端に電圧(ここでは、上側端子を基準に下側端子にHigh電圧)が印加され、その結果、抵抗変化素子2が低抵抗状態から高抵抗状態に遷移する。よって、抵抗変化素子2への多重書き込みが自動的(自立的)に回避される。

40

50

【0068】

なお、図7における第3のステップ(図中の「リセット」)は、この電圧発生回路25bの初期状態(書き込みでも読み出しでもない状態)を示している。

【0069】

(応用例1)

次に、本発明に係る書き込み回路の応用例1を説明する。

【0070】

図8は、2つの電圧発生回路を用いて多重書き込みを自動的(自立的)に回避する応用例1に係る書き込み回路の回路図である。この書き込み回路は、抵抗変化素子2の上側端子に出力端子が接続された第1書き込み回路(書き込み回路1)と、抵抗変化素子2の下側端子に出力端子が接続された第2書き込み回路(書き込み回路1a)とを備える。

10

【0071】

第1書き込み回路(書き込み回路1)は、抵抗変化素子2が高抵抗状態にある場合に抵抗変化素子2の上側端子に第1電圧(High電圧)を印加し、一方、抵抗変化素子2が低抵抗状態にある場合に抵抗変化素子2の上側端子に第1電圧よりも低い第2電圧(Low電圧)を印加する。

【0072】

第2書き込み回路(書き込み回路1a)は、抵抗変化素子2が高抵抗状態にある場合に抵抗変化素子2の下側端子に第2電圧(Low電圧)を印加し、一方、抵抗変化素子2が低抵抗状態にある場合に抵抗変化素子2の下側端子に第1電圧(High電圧)を印加する。

20

【0073】

なお、抵抗変化素子2は、抵抗変化素子2の上側端子に第1電圧(High電圧)が印加され、かつ、抵抗変化素子2の下側端子に第2電圧(Low電圧)が印加された場合に、抵抗値が低抵抗化され、抵抗変化素子2の上側端子に第2電圧(Low電圧)が印加され、かつ、抵抗変化素子2の下側端子に第1電圧(High電圧)が印加された場合に、抵抗値が高抵抗化される性質を有する点は、上記実施の形態と同じである。

【0074】

以下、2つの書き込み回路1及び1aをより詳しく説明する。

【0075】

右側の書き込み回路1における電圧発生回路25は、図1に示されるものと同一である。この電圧発生回路25からの出力電圧Vout1は、スイッチ45を介して、抵抗変化素子2の一端(上側端子)に印加される。

30

【0076】

一方、左側の電圧発生回路325は、基本的には、右側の電圧発生回路25と同様の電流差動センス方式のラッチ回路であるが、電圧発生回路25と反対の論理で出力電圧Vout1aを出力するように、内部回路が接続されている。つまり、この電圧発生回路325は、NMOSTランジスタ311、313~315及び317~320、PMOSTランジスタ312及び316、並びに、参照抵抗21と同じ抵抗値Rrefをもつ参照抵抗321から構成される保持部310と、PMOSTランジスタ331及び332から構成される印加部330とを備える。ここで、印加部330を構成するPMOSTランジスタ331のソースの接続先と、PMOSTランジスタ332のソースの接続先とは、右側の電圧発生回路25での接続先とは逆になっている。そして、この電圧発生回路325からの出力電圧Vout1aは、スイッチ45を介して、抵抗変化素子2の他端(下側端子)に印加される。

40

【0077】

なお、スイッチ45は、図示されていない制御回路からの制御の下で、抵抗変化素子2を低抵抗状態に設定(セット)する場合には、抵抗変化素子2の上側端子を電圧発生回路25の出力端子(Vout)に接続し、一方、抵抗変化素子2を高抵抗状態に設定(リセット)する場合には、抵抗変化素子2の上側端子をGNDに接続する。同様に、スイッチ

50

45aは、図示されていない制御回路からの制御の下で、抵抗変化素子2を低抵抗状態に設定(セット)する場合には、抵抗変化素子2の下側端子をGNDに接続し、一方、抵抗変化素子2を高抵抗状態に設定(リセット)する場合には、抵抗変化素子2の下側端子を電圧発生回路325の出力端子(Vout)に接続する。

【0078】

このように構成された本応用例に係る書き込み回路によれば、以下の動作が行われる。

【0079】

(1) 抵抗変化素子2を低抵抗状態に設定(セット)する場合

抵抗変化素子2の下側端子は、スイッチ45aにより、Low電位(GND)に固定される。

10

【0080】

一方、抵抗変化素子2の上側端子には、右側の電圧発生回路25により、抵抗変化素子2が高抵抗状態にある場合には、High電圧が印加され、抵抗変化素子2が低抵抗状態にある場合には、Low電圧が印加される。

【0081】

この結果、抵抗変化素子2が高抵抗状態(リセット状態)にある場合にだけ、抵抗変化素子2の両端に電圧(ここでは、下側端子を基準に上側端子にHigh電圧)が印加され、その結果、抵抗変化素子2が高抵抗状態から低抵抗状態に遷移する(セットされる)。つまり、抵抗変化素子2が既に低抵抗状態にある場合には、抵抗変化素子2の両端には電圧が印加されず、多重書き込みが回避される。

20

【0082】

(2) 抵抗変化素子2を高抵抗状態に設定(リセット)する場合

抵抗変化素子2の上側端子は、スイッチ45により、Low電位(GND)に固定される。

【0083】

一方、抵抗変化素子2の下側端子には、左側の電圧発生回路325により、抵抗変化素子2が高抵抗状態にある場合には、Low電圧が印加され、抵抗変化素子2が低抵抗状態にある場合には、High電圧が印加される。

【0084】

この結果、抵抗変化素子2が低抵抗状態(セット状態)にある場合にだけ、抵抗変化素子2の両端に電圧(ここでは、上側端子を基準に下側端子にHigh電圧)が印加され、その結果、抵抗変化素子2が低抵抗状態から高抵抗状態に遷移する(リセットされる)。つまり、抵抗変化素子2が既に高抵抗状態にある場合には、抵抗変化素子2の両端には電圧が印加されず、多重書き込みが回避される。

30

【0085】

(応用例2)

次に、本発明に係る書き込み回路の応用例2を説明する。

【0086】

この応用例2は、本発明に係る書き込み回路の駆動方法であり、ペリファイ動作を伴いながら不揮発性記憶素子(ここでは、抵抗変化素子)の抵抗値を調整する方法である。

40

【0087】

一般に、抵抗変化素子は、図9Aの特性図に示されるように、抵抗値がばらつく。図9Aには、正及び負の電圧パルスを交互に繰り返して抵抗変化素子に印加することによって抵抗変化素子を高抵抗状態と低抵抗状態とに交互に遷移させた場合における抵抗変化素子の抵抗値がプロットされている。横軸は正及び負の電圧パルスを印加した回数に対応する時間であり、縦軸は抵抗変化素子2の抵抗値である。本図から分かるように、抵抗変化素子の抵抗値は、高抵抗状態及び低抵抗状態のそれぞれにおいて、常に同一の値をとるとは限らず、ランダムにばらつく。特に、高抵抗状態における抵抗値は、大きくばらつく。

【0088】

そこで、本応用例では、抵抗変化素子の書き込み方法として、図9Bのフローチャート

50

に示されるように、ベリファイ動作を伴った書き込みを行う。つまり、まず抵抗変化素子への書き込みを行った後に(S11)、その抵抗変化素子の抵抗値を読み出し(S11)、読み出した抵抗値が規定範囲内であるか否かを判断し(S13)、規定範囲内でない場合には(S13でFail)、再度の書き込みを行う(S11~S13)。このような処理を、抵抗値が規定範囲内になるまで(S13でPass)、繰り返す。ここで、規定範囲内とは、例えば、抵抗変化素子を低抵抗状態に書き込む(セットする)場合には、典型的な抵抗変化素子の高抵抗状態における抵抗値 R_h と低抵抗状態における抵抗値 R_l との中間値 $(R_h + R_l) / 2$ よりも小さい抵抗値の範囲をいい、一方、抵抗変化素子を高抵抗状態に書き込む(リセットする)場合には、典型的な抵抗変化素子の高抵抗状態における抵抗値 R_h と低抵抗状態における抵抗値 R_l との中間値 $(R_h + R_l) / 2$ よりも大きい抵抗値の範囲をいう。

10

【0089】

ここで、本応用例では、ベリファイ(S13)における「Fail」の場合に同じ書き込みステップを繰り返すのではなく、図9Cに示されるように、直前の書き込み時間よりも大きな書き込み時間で抵抗変化素子への書き込みを行う。たとえば、第1回目の書き込みでは、書き込みフェーズ(図2Cに示される動作)における時間が初期値(t 秒)となるようにして書き込みを行い、その後のベリファイ(S13)において「Fail」した場合には、書き込みフェーズにおける時間を直前の2倍の時間($2t$ 秒)にして書き込みを行い、さらにその後のベリファイ(S13)において「Fail」した場合には、書き込みフェーズにおける時間をさらに直前の2倍の時間($4t$ 秒)にして書き込むというように、ベリファイ(S13)において「Pass」するまで、書き込み時間を直前の2倍にして書き込むことを繰り返す。

20

【0090】

このような書き込み方法により、抵抗変化素子の抵抗値は、確実に、規定範囲内の値に調整される。抵抗変化素子は、印加される電圧パルスの時間とともに抵抗状態が遷移する確率が増加するが、無駄に長い時間の電圧パルスを常に印加したのでは、抵抗変化素子の特性を劣化させてしまう。よって、このようなベリファイ動作を伴いつつ、書き込み時間を徐々に大きくしていく書き込み方法により、確実に、かつ、抵抗変化素子に余計なストレスを与えることなく、書き込みが行われる。

【0091】

(応用例3)

次に、本発明に係る書き込み回路の応用例3として、多値書き込み回路を説明する。

30

【0092】

図10は、本発明の応用例3における多値書き込み回路のブロック図である。この多値書き込み回路は、抵抗変化素子2を、第1抵抗値 R_1 と第1抵抗値 R_1 よりも大きな第2抵抗値 R_2 との間の抵抗値に設定する(書き込む)ことができる多値書き込み回路であって、抵抗変化素子2の一端(左側端子)に接続された第1書き込み回路1a(325)と、抵抗変化素子2の他端(右側端子)に接続された第2書き込み回路1(25)とを備える。

【0093】

第1書き込み回路1a(325)は、図8に示された電圧発生回路325と同じ回路構成を有し(ただし、参照抵抗321の抵抗値 $R_{ref} =$ 第1抵抗値 R_1)、出力端子OUT1から抵抗変化素子2の一端(左側端子)に電圧を印加する回路である。具体的には、この第1書き込み回路1a(325)は、抵抗変化素子2が第1抵抗値 R_1 よりも小さな抵抗値をもつ場合に、抵抗変化素子2の一端(左側端子)に第1電圧(High電圧)を印加し、抵抗変化素子2が第1抵抗値よりも大きな抵抗値をもつ場合に、抵抗変化素子2の一端(左側端子)に第1電圧(High電圧)よりも低い第2電圧(Low電圧)を印加する。

40

【0094】

一方、第2書き込み回路1(25)は、図8及び図1に示された電圧発生回路25と同

50

じ回路構成を有し（ただし、参照抵抗 2 1 の抵抗値 $R_{ref} =$ 第 2 抵抗値 R_2 ）、出力端子 OUT_2 から抵抗変化素子 2 の他端（右側端子）に電圧を印加する回路である。具体的には、この第 2 書き込み回路 1（25）は、抵抗変化素子 2 が第 2 抵抗値 R_2 よりも小さな抵抗値をもつ場合に、抵抗変化素子 2 の他端（右側端子）に第 2 電圧（Low 電圧）を印加し、抵抗変化素子 2 が第 2 抵抗値 R_2 よりも大きな抵抗値をもつ場合に、抵抗変化素子 2 の他端（右側端子）に第 1 電圧（High 電圧）を印加する。

【0095】

なお、この抵抗変化素子 2 は、図 1 に示されたものと同じの特性を有する。つまり、この抵抗変化素子 2 は、一端（左側端子）に第 1 電圧（High 電圧）が印加され、かつ、他端（右側端子）に第 2 電圧（Low 電圧）が印加された場合に、抵抗値が高抵抗化（リセット）され、一端（左側端子）に第 2 電圧（Low 電圧）が印加され、かつ、他端（右側端子）に第 1 電圧（High 電圧）が印加された場合に、抵抗値が低抵抗化（セット）される性質を有する。

10

【0096】

このような多値書き込み回路によれば、図 10 の右下に示されるように、抵抗変化素子 2 の抵抗値 R_m と参照抵抗 3 2 1 の抵抗値 R_1 及び参照抵抗 2 1 の抵抗値 R_2 との関係により、以下の書き込み動作が行われる。

【0097】

(1) $R_m < R_1$ 、 R_2 のとき

出力端子 OUT_1 の電圧は High 電圧（電圧 V_{dd} ）となり、出力端子 OUT_2 の電圧は Low 電圧（GND）となり、抵抗変化素子 2 には、高抵抗化する電圧（RESET 電圧）が印加される。

20

【0098】

(2) R_1 、 $R_2 < R_m$ のとき

出力端子 OUT_1 の電圧は Low 電圧（GND）となり、出力端子 OUT_2 の電圧は High 電圧（電圧 V_{dd} ）となり、抵抗変化素子 2 には、低抵抗化する電圧（SET 電圧）が印加される。

【0099】

(3) $R_1 < R_m < R_2$ のとき

出力端子 OUT_1 の電圧は Low 電圧（GND）となり、出力端子 OUT_2 の電圧は Low 電圧（GND）となり、抵抗変化素子 2 の両端には、電圧が印加されない。

30

【0100】

以上のことから、この多値書き込み回路によれば、このような書き込み動作によって、抵抗変化素子 2 の抵抗値 R_m は、第 1 抵抗値 R_1 と第 2 抵抗値 R_2 との間の抵抗値に調整される。つまり、第 1 抵抗値 R_1 を設定したい目標抵抗値の下限値に設定しておき、第 2 抵抗値 R_2 を目標抵抗値の上限値に設定しておくことで、抵抗変化素子 2 の抵抗値は、下限値と上限値との間の抵抗値に設定される。

【0101】

よって、図 10 の左下に示されるように、例えば、2 ビットの制御信号の値に応じて、第 1 抵抗値 R_1 と第 2 抵抗値 R_2 との組み合わせを切り替える（4 種類の異なる抵抗値の組み合わせから一つを選択する）回路を、このような多値書き込み回路に付加することで、抵抗変化素子 2 の抵抗値を、4 値のうちの所望の一つの値に設定する多値書き込み回路が実現される。その結果、一つのメモリセルで 2 ビット以上の抵抗状態を記憶させることが可能となり、メモリセルあたりのビット数を増やし、実効的なメモリ容量を増やすことができる。

40

【0102】

(応用例 4)

次に、本発明に係る書き込み回路の応用例 4 として、別の多値書き込み回路を説明する。

【0103】

50

図11は、本発明の応用例4における多値書き込み回路50を説明する図である。図11(a)は、本応用例における多値書き込み回路50のブロック図である。この多値書き込み回路50は、抵抗変化型の不揮発性記憶素子(ここでは、抵抗変化素子2)を、第1抵抗値REF Aと第1抵抗値REF Aよりも大きな第2抵抗値REF Bとの間の抵抗値に設定する多値書き込み回路であって、主に、抵抗変化素子2の一端(下側端子RRAMB)に接続された第1書き込み回路(センスアンプamp R)と、第2書き込み回路(センスアンプamp L)と、抵抗変化素子2の他端(上側端子RRAMU)に接続された(ここでは、NMOSトランジスタ54aを介して接続された)少なくとも2つのスイッチ素子(ここでは、NMOSトランジスタ52及び53)とを備える。

【0104】

第1書き込み回路(センスアンプamp R)は、抵抗変化素子2が第1抵抗値REF Aよりも小さな抵抗値をもつ場合に、第1電圧(High電圧)を、抵抗変化素子2の一端(下側端子RRAMB)に印加するとともに出力端子amp R outから出力し、一方、抵抗変化素子2が第1抵抗値REF Aよりも大きな抵抗値をもつ場合に、第1電圧(High電圧)よりも低い第2電圧(Low電圧)を、抵抗変化素子2の一端(下側端子RRAMB)に印加するとともに出力端子amp R outから出力する。

【0105】

第2書き込み回路(センスアンプamp L)は、抵抗変化素子2が第2抵抗値REF Bよりも小さな抵抗値をもつ場合に、第2電圧(Low電圧)を出力端子amp L outから出力し、一方、抵抗変化素子2が第2抵抗値REF Bよりも大きな抵抗値をもつ場合に、第1電圧(High電圧)を出力端子amp L outから出力する。

【0106】

抵抗変化素子2の他端(上側端子RRAMU)に接続された少なくとも2つのスイッチ素子(ここでは、NMOSトランジスタ52及び53)の一つ(NMOSトランジスタ53)は、そのゲートが第1書き込み回路(センスアンプamp R)の出力端子amp R outに接続され、その出力端子amp R outから第1電圧(High電圧)が出力されたときに、ONし、ドレインに接続された第2電圧(電圧V reset(Low電圧))を、NMOSトランジスタ54aを介して抵抗変化素子2の他端(上側端子RRAMU)に印加する。

【0107】

また、抵抗変化素子2の他端(上側端子RRAMU)に接続された少なくとも2つのスイッチ素子(ここでは、NMOSトランジスタ52及び53)の他の一つ(NMOSトランジスタ52)は、そのゲートが第2書き込み回路(センスアンプamp L)の出力端子amp L outに接続され、その出力端子amp L outから第1電圧(High電圧)が出力されたときに、ONし、ドレインに接続された第1電圧(電圧V set(High電圧))を、NMOSトランジスタ54aを介して抵抗変化素子2の他端(上側端子RRAMU)に印加する。

【0108】

抵抗変化素子2は、図1に示されたものと同じの特性を有する。つまり、この抵抗変化素子2は、抵抗変化素子2の一端(下側端子RRAMB)に第1電圧(High電圧)が印加され、かつ、抵抗変化素子2の他端(上側端子RRAMU)に第2電圧(Low電圧)が印加された場合に、抵抗値が高抵抗化(リセット)され、抵抗変化素子2の一端(下側端子RRAMB)に第2電圧(Low電圧)が印加され、かつ、抵抗変化素子2の他端(上側端子RRAMU)に第1電圧(High電圧)が印加された場合に、抵抗値が低抵抗化(セット)される性質を有する。

【0109】

以下、この多値書き込み回路50の構成について、より詳しく説明する。

【0110】

この多値書き込み回路50は、主に、3つのNMOSトランジスタ51~53と、書き込みの対象となる抵抗変化素子2(抵抗値Rm)と、2つのセンスアンプamp R及びa

10

20

30

40

50

ampLと、2つの参照抵抗（抵抗値REF A及びREF B）とを備える。

【0111】

3つのNMOSトランジスタ51～53は、それぞれ、読み出し用、低抵抗化（セット）用、及び、高抵抗化（リセット）用のスイッチ素子であり、ドレインが、それぞれ、読み出し用電圧V read、セット用電圧V set、及び、リセット用電圧V resetに接続され、ゲートには、それぞれ、制御信号re、制御信号sete（センスアンプampLの出力端子ampLoutからの信号）、及び、制御信号resete（センスアンプampRの出力端子ampRoutからの信号）が供給される。NMOSトランジスタ51のソースは抵抗変化素子2の上側端子RRAMUに接続され、NMOSトランジスタ52及び53のソースはNMOSトランジスタ54aを介して抵抗変化素子2の上側端子RRAMUに接続されている。

10

【0112】

センスアンプampR及びampLは、上述した電圧発生回路に相当する回路であり（ただし、参照抵抗を除外した回路）、抵抗変化素子2及び参照抵抗に接続されるそれぞれの端子を入力端子とし、出力ノード（図1におけるノードvout_left又はvout_right等）を出力端子とする三角形のシンボルで図示されている。なお、センスアンプampRには、その出力端子ampRoutとその入力端子の一つ（抵抗変化素子2に接続されている入力端子）との間に、バッファアンプ（ここでは、2段のインバータ）及びNMOSトランジスタ54bが接続されている。

20

【0113】

センスアンプampRは、図10の書き込み回路1a（325）のように、抵抗変化素子2の抵抗値Rmと参照抵抗の抵抗値REF Aとの関係がREF A > Rmの場合に、出力端子ampRoutにHigh電圧を出力し、一方、REF A < Rmの場合に、出力端子ampRoutにLow電圧を出力する。また、センスアンプampLは、図10の書き込み回路1（25）のように、REF B > Rmの場合に、出力端子ampRoutにLow電圧を出力し、一方、REF B < Rmの場合に、出力端子ampRoutにHigh電圧を出力する。

【0114】

図11（b）は、この多値書き込み回路50の動作目標を説明する図である。抵抗変化素子2の抵抗値Rmと2つの参照抵抗の抵抗値REF A及びREF Bとの間には、3つのケースが考えられる（なお、REF A < REF Bとする）。ケース1は、Rm < REF A、REF Bであり、このケースでは、抵抗変化素子2に対してリセット動作をすることによって高抵抗化する必要がある。また、ケース2は、REF A < Rm < REF Bであり、目標となる最終状態であるので、このケースでは、なにもしない。また、ケース3は、REF A、REF B < Rmであり、このケースでは、抵抗変化素子2に対してセット動作をすることによって低抵抗化する必要がある。

30

【0115】

図11（c）は、このような多値書き込み回路50の動作結果を示す真理値表であり、図11（b）の3つのケース1～3に対応した電圧（H（High電圧）/L（Low電圧））が記載されている。この多値書き込み回路50は、図11（c）に示されるように、以下のように動作する。

40

【0116】

（1）ケース1（Rm < REF A、REF B）

センスアンプampLの出力端子ampLoutは、Low電圧となり、センスアンプampRの出力端子ampRoutは、High電圧となる。これにより、NMOSトランジスタ51～53のうち、ゲートに出力端子ampRoutからの信号（resete）が供給されるNMOSトランジスタ53だけがONし、抵抗変化素子2の上側端子RRAMUには、電圧V reset（ここでは、Low電圧）が印加される。一方、抵抗変化素子2の下側端子RRAMBには、センスアンプampRの出力端子ampRoutからのHigh電圧がバッファアンプ及びNMOSトランジスタ54bを介して印加される。

50

【0117】

この結果、抵抗変化素子2の下側端子RRAMBにHigh電圧が印加され、その上側端子RRAMUにはLow電圧が印加されるので、図11(b)のケース1で示したように、抵抗変化素子2に対してリセット動作が行われ、抵抗変化素子2が高抵抗化する。

【0118】

(2) ケース2 ($REFA < Rm < REFB$)

センスアンプampLの出力端子ampLoutは、Low電圧となり、センスアンプampRの出力端子ampRoutは、Low電圧となる。これにより、NMOSトランジスタ51～53のすべてがOFFとなり、抵抗変化素子2の上側端子RRAMUには、電圧が印加されない(フロート状態となる)。一方、抵抗変化素子2の下側端子RRAMBには、センスアンプampRの出力端子ampRoutからのLow電圧がバッファアンプ及びNMOSトランジスタ54bを介して印加される。

10

【0119】

この結果、抵抗変化素子2の下側端子RRAMBにLow電圧が印加され、その上側端子RRAMUはフロート状態となるので、図11(b)のケース2で示したように、抵抗変化素子2に対して電圧が印加されず、抵抗変化素子2の抵抗値は変化しない。

【0120】

(3) ケース3 ($REFA, REFB < Rm$)

センスアンプampLの出力端子ampLoutは、High電圧となり、センスアンプampRの出力端子ampRoutは、Low電圧となる。これにより、NMOSトランジスタ51～53のうち、ゲートに出力端子ampLoutからの信号(sete)が供給されるNMOSトランジスタ52だけがONし、抵抗変化素子2の上側端子RRAMUには、電圧Vset(ここでは、High電圧)が印加される。一方、抵抗変化素子2の下側端子RRAMBには、センスアンプampRの出力端子ampRoutからのLow電圧がバッファアンプ及びNMOSトランジスタ54bを介して印加される。

20

【0121】

この結果、抵抗変化素子2の下側端子RRAMBにLow電圧が印加され、その上側端子RRAMUにはHigh電圧が印加されるので、図11(b)のケース3で示したように、抵抗変化素子2に対してセット動作が行われ、抵抗変化素子2が低抵抗化する。

【0122】

以上のことから、この多値書き込み回路50によれば、書き込み動作によって、抵抗変化素子2の抵抗値Rmは、第1抵抗値REFAと第2抵抗値REFBとの間の抵抗値に調整される。つまり、第1抵抗値REFAを設定したい目標抵抗値の下限値に設定しておき、第2抵抗値REFBを目標抵抗値の上限値に設定しておくことで、抵抗変化素子2の抵抗値は、下限値と上限値との間の抵抗値に設定される。これにより、応用例3と同様に、2つの参照抵抗値の組み合わせを変更する回路を付加することで、一つの不揮発性記憶素子の抵抗値を3以上の多値のいずれかに設定することが可能になり、一つのメモリセルで多値を記憶でき、メモリセルあたりのメモリ容量が増大される。

30

【0123】

以上、本発明に係る抵抗変化型不揮発性記憶素子の書き込み回路及び多値書き込み回路について、実施の形態、変形例及び応用例に基づいて説明したが、本発明は、これらの実施の形態、変形例及び応用例に限定されるものではない。本発明の主旨を逸脱しない範囲で、これらの実施の形態、変形例及び応用例に対して当業者が思いつく各種変形例を施して得られる形態や、これらの実施の形態、変形例及び応用例における回路要素及び手順を任意に組み合わせて実現される回路及び手順も、本発明に含まれる。

40

【0124】

たとえば、上記応用例1～4における書き込み回路(あるいは、電圧発生回路)としては、実施の形態、変形例1及び変形例2のいずれの書き込み回路(あるいは、電圧発生回路)で構成してもよい。これらの応用例1～4は、書き込み回路(あるいは、電圧発生回路)におけるセンス方式(電流差動センス方式、電圧差動センス方式)に依存することな

50

く実現できるからである。

【産業上の利用可能性】

【0125】

本発明は、抵抗変化型不揮発性記憶素子の書き込み回路及び多値書き込み回路として、特に、大容量、高速動作及び低消費電力の不揮発性メモリが必要とされる電子機器用の不揮発性メモリの書き込み回路として、利用できる。

【符号の説明】

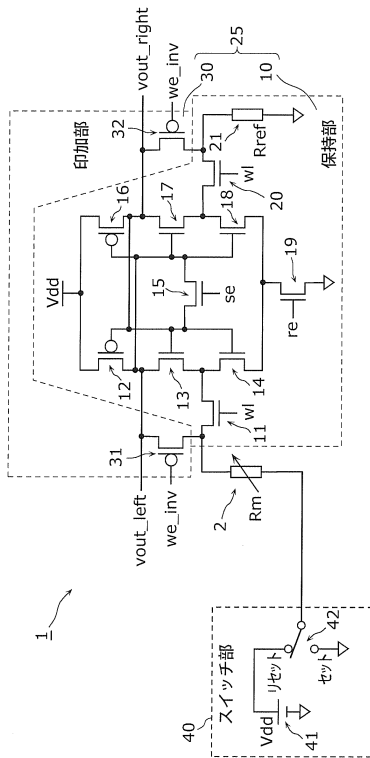
【0126】

- 1、1 a 書き込み回路
- 2 抵抗変化素子
- 10、10 a、310 保持部
- 11、13～15、17～20、51～53、54 a、54 b、105～107、109～112、123、124、203～208、211、212、223、224、311、313～315、317～320 NMOSトランジスタ
- 12、16、31、32、101～104、108、201、202、209、210、312、316、331、332 PMOSトランジスタ
- 21、121、221、321 参照抵抗
- 25、25 a、25 b、325 電圧発生回路
- 30、30 a、30 b、30 c、330 印加部
- 33、34、35、36 バッファアンプ
- 40 スイッチ部
- 41 電源
- 42、45、45 a スイッチ
- 50 多値書き込み回路
- amp R、amp L センスアンプ

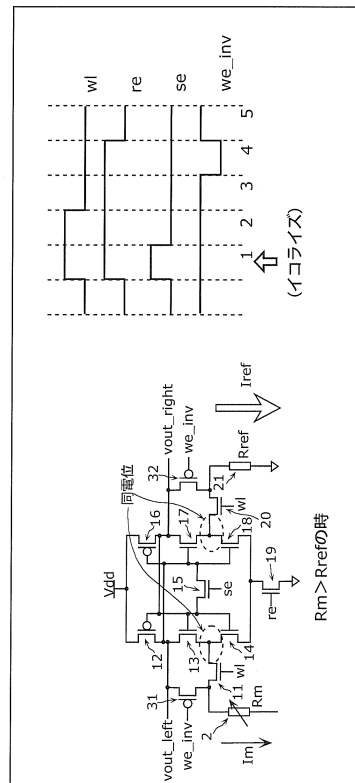
10

20

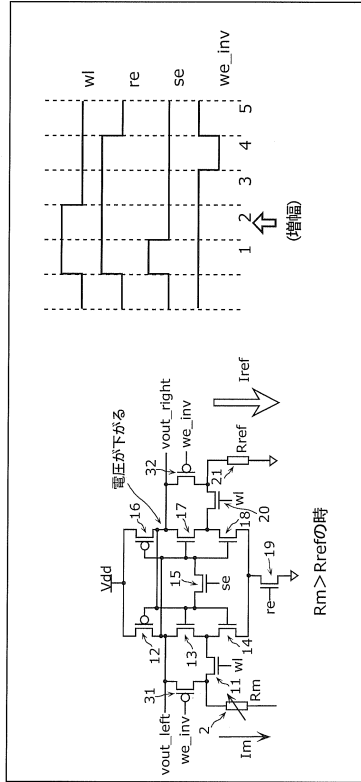
【図1】



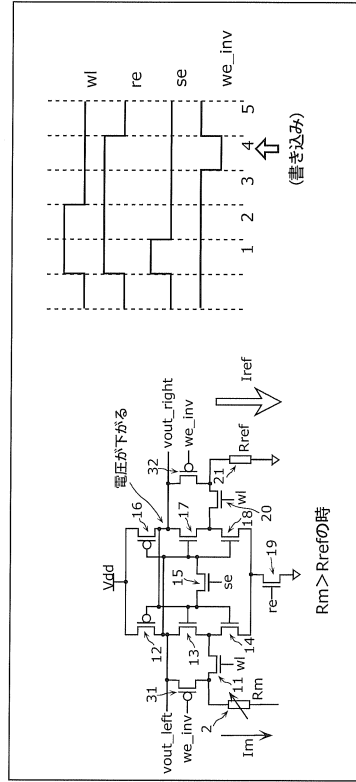
【図2A】



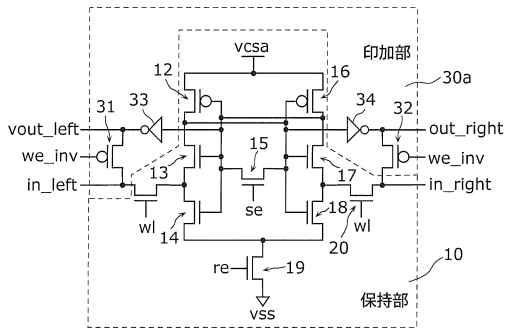
【図 2 B】



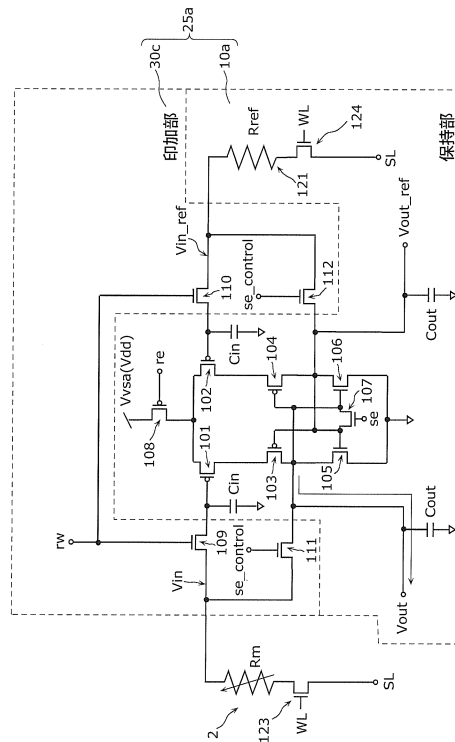
【図 2 C】



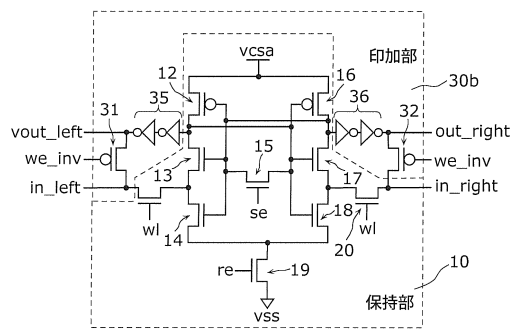
【図 3 A】



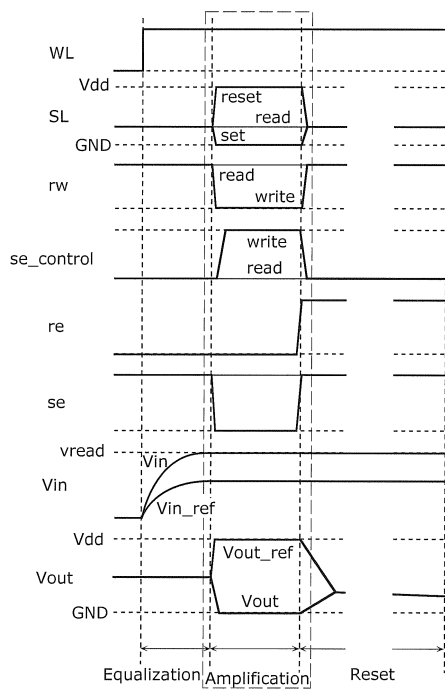
【図 4】



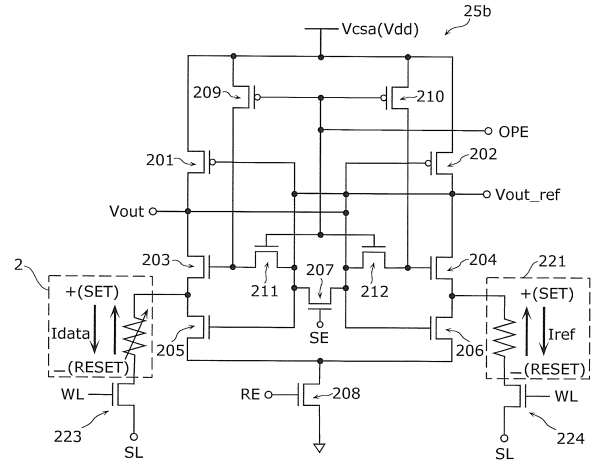
【図 3 B】



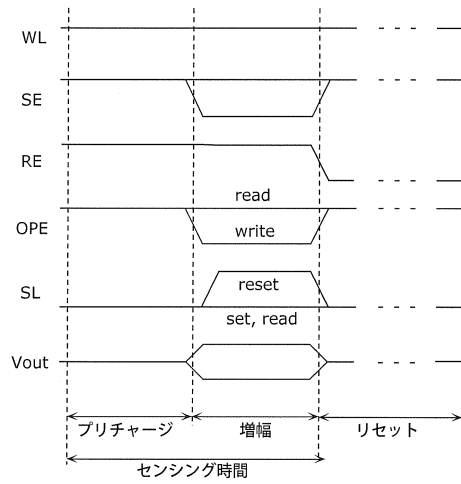
【図5】



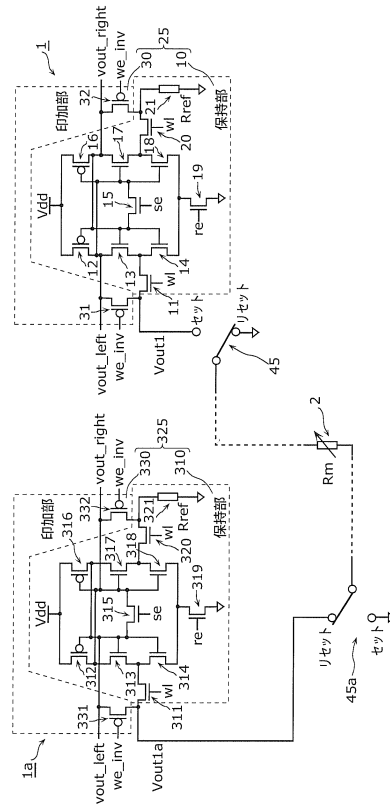
【図6】



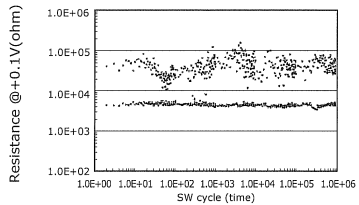
【図7】



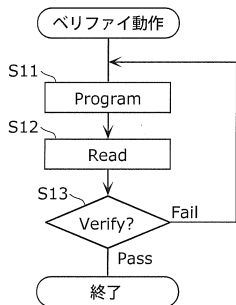
【図8】



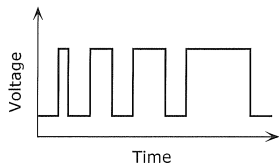
【図 9 A】



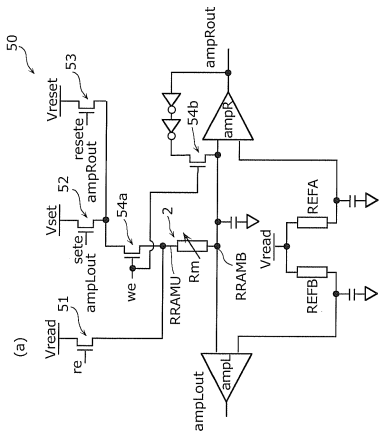
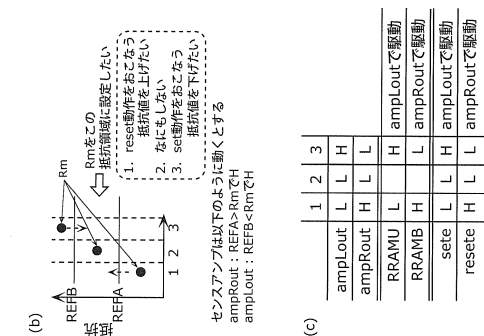
【図 9 B】



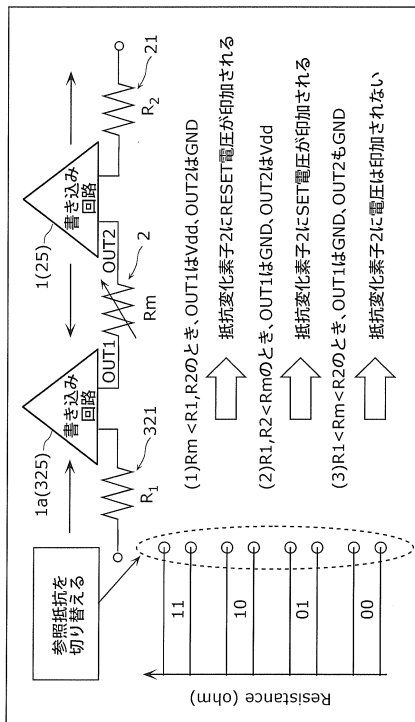
【図 9 C】



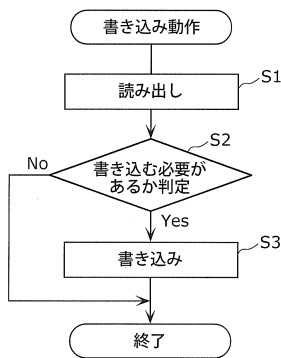
【図 1 1】



【図 1 0】



【図 1 2】



フロントページの続き

審査官 塩澤 如正

- (56)参考文献 特開2009-080901(JP,A)
特開2010-244607(JP,A)
特開2004-355676(JP,A)
特開2010-033683(JP,A)
特開2005-092912(JP,A)
米国特許出願公開第2009/0043973(US,A1)
特開2005-101535(JP,A)
特開2009-099199(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G11C 13/00