

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5168605号
(P5168605)

(45) 発行日 平成25年3月21日(2013.3.21)

(24) 登録日 平成25年1月11日(2013.1.11)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 6 C
HO 1 L 21/205 (2006.01)	HO 1 L 29/78 6 1 8 Z
	HO 1 L 29/78 6 1 8 A
	HO 1 L 21/205

請求項の数 7 (全 13 頁)

(21) 出願番号 特願2010-521665 (P2010-521665)	(73) 特許権者 503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(86) (22) 出願日 平成21年7月3日(2009.7.3)	
(86) 国際出願番号 PCT/JP2009/062196	(74) 代理人 100108671 弁理士 西 義之
(87) 国際公開番号 W02010/010802	(72) 発明者 細野 秀雄 神奈川県大和市中央林間4-9-13-3 01
(87) 国際公開日 平成22年1月28日(2010.1.28)	(72) 発明者 神谷 利夫 神奈川県川崎市高津区溝の口2-23-5 モナーク溝の口111207号
審査請求日 平成23年1月20日(2011.1.20)	(72) 発明者 平野 正浩 東京都世田谷区松原5-5-6
(31) 優先権主張番号 特願2008-191496 (P2008-191496)	
(32) 優先日 平成20年7月24日(2008.7.24)	
(33) 優先権主張国 日本国(JP)	
特許法第30条第1項適用 European Materials Research Societyの2008 Fall Meetingのホームページにおいて、平成20年7月15日に発表	
	最終頁に続く

(54) 【発明の名称】 pチャンネル薄膜トランジスタとその製造方法

(57) 【特許請求の範囲】

【請求項1】

$S n^{4+}$ 及び $S n^0$ (錫金属)の含有量が、合計で10原子%未満である酸化第一スズ($S n O$)薄膜を薄膜トランジスタの基板上に堆積し、チャンネル層としたことを特徴とするpチャンネル薄膜トランジスタ。

【請求項2】

基板が(001)YSZ単結晶基板であり、 $S n O$ 薄膜がエピタキシャル膜であることを特徴とする請求項1記載のpチャンネル薄膜トランジスタ。

【請求項3】

基板がガラス又はプラスチックであり、 $S n O$ 薄膜がアモルファス膜であることを特徴とする請求項1記載のpチャンネル薄膜トランジスタ。

【請求項4】

正孔移動度が $0.1 \text{ cm}^2 / \text{V} \cdot \text{秒}$ 以上であることを特徴とする請求項1記載のpチャンネル薄膜トランジスタ。

【請求項5】

気相法において、 $S n O$ をターゲットとして用いて、基板上に堆積する $S n$ の酸化度合いを基板温度及び雰囲気酸素分圧により制御し、 $S n^{2+}$ イオンの含有量が90原子%以上の $S n O$ 薄膜を成膜することによりチャンネル層を形成することを特徴とする請求項1記載のpチャンネル薄膜トランジスタの製造方法。

【請求項6】

10

20

請求項5記載の方法において、気相法がパルスレーザ堆積法(PLD法)であり、基板として(001)YSZ単結晶基板を用い、基板温度550以上、590以下としてエピタキシャル膜を堆積することを特徴とする請求項2記載のpチャネル薄膜トランジスタの製造方法。

【請求項7】

請求項5記載の方法において、気相法がパルスレーザ堆積法(PLD法)であり、基板としてガラス又はプラスチック基板を用い、基板温度を意図的に加熱しない温度としてアモルファス膜を堆積することを特徴とする請求項3記載のpチャネル薄膜トランジスタの製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、酸化第一スズ(SnO)半導体を活性層としたpチャネル薄膜トランジスタとその製造方法に関する。

【背景技術】

【0002】

アモルファスSi又は多結晶Siに代り、酸化物を活性層とする薄膜トランジスタ(TFT)については、近年、酸化亜鉛を活性層とするトランジスタの研究開発がなされている(非特許文献1~3、特許文献1~3)。酸化亜鉛を活性層とするTFTはワイドギャップ半導体を活性層としているため、可視光を透過する透明TFTが作成できる。従って、液晶ディスプレイのスイッチングトランジスタとして、現在、広く実用化されているシリコンTFTを、酸化亜鉛TFTで置き換えることにより、液晶素子の開口率を向上させることができると期待されている。しかし、酸化亜鉛は電子キャリア濃度が小さく、真性半導体に近い酸化亜鉛薄膜を得るためには、高価な単結晶基板の使用や高温成膜プロセスが必要となる(非特許文献4,5)。

20

【0003】

本発明者らは2004年にアモルファス酸化物半導体を活性層とするTFTを発表した(非特許文献6,7、特許文献4)。このTFTはアモルファスのインジウム・ガリウム・亜鉛からなる酸化物(a-IGZO)を活性層として用いており、基板加熱なしにアモルファス状態のチャンネル層を作製することが出来る。

30

【0004】

a-IGZOをチャンネルとするTFTはチャンネル中のキャリアの動き易さを表す物性値である電界効果移動度(μ_{EF})が約 $10\text{ cm}^2(\text{Vs})^{-1}$ 、オン・オフ(On/Off)比が約 10^6 という優れたトランジスタ特性を示す。また、チャンネルがアモルファス状態であり結晶粒界を含まないことから、試作されたTFT間のトランジスタ特性のばらつきが極めて少ないことが報告されている(非特許文献8)。従って、a-IGZOをチャンネルとすれば、大面積でも特性が均一なTFTが作製できるので、大面積ディスプレイのスイッチングTFTとしての応用を目指した開発が精力的に進められている。

【0005】

以上の様に、2000年以降、酸化物半導体をチャンネルとするトランジスタが活発に研究され、実用レベルのn型チャンネルTFTが作成されてきたが、pチャンネルで動作するTFTは作成されていない。その理由は金属酸化物では、伝導帯を構成する電子軌道は金属のs軌道であり、電子移動度の大きな化合物が多く存在するのに対して、価電子帯は酸素の2p軌道で構成されているために、価電子帯に存在する正孔の局在性が強く、正孔注入が難しく、また、たとえ注入されても、正孔移動度が小さいためと考えられる。

40

【0006】

pチャンネルTFTの必要性は、次の二つがある。すなわち、第一に、CMOS回路を形成するためには、nチャンネルTFT及びpチャンネルTFTの両者が不可欠である。CMOS回路用pチャンネルTFT用材料では、正孔移動度が、 $0.1\text{ cm}^2/\text{V}\cdot\text{秒}$ 以上あればよい。第二に、有機発光ダイオード(OLED)の駆動には、OLEDの正電極(カソ

50

ード)とTFETのアノードが結合できるpチャネルトランジスタが、nチャネルトランジスタに比較して、優位性がある。この用途では、OLEDは、電流駆動デバイスであるために、pチャネル材料のホール移動度が、 $0.5\text{ cm}^2/\text{V}\cdot\text{秒}$ 以上であることが必要となる。

【0007】

本発明者らは、pチャネルのトランジスタに不可欠なp型伝導性酸化化合物物に関して、鋭意研究開発を行い、価電子帯を構成する酸素の2p軌道に3d電子軌道を混入させるという開発指針に沿って、これまでに、多くの新規のp型導電性酸化物を発見、報告してきた(非特許文献9~12)。

【0008】

さらに、発明者らは、s軌道から価電子帯が構成されるオキシカルコゲナイドは、p型伝導性を示すことを報告してきた(非特許文献13)。実際に、価電子帯トップが5s軌道から構成される酸化第一スズ(SnO)は、p型半導体になると報告されている(非特許文献14)。また、SnOの欠陥生成エネルギーについて報告されている(非特許文献15)。

【0009】

SnOの薄膜成長に関しては、NaCl基板又はサファイヤ基板を用いたエピタキシャル薄膜成長がV.Krasevecらによって報告されている(非特許文献16)。また、前記非特許文献14で、X.Q.Panらは、焼成した酸化第二スズ(SnO₂)をターゲットとして用い、電子線蒸着法で、SnO薄膜の成長を行い、低温成長した場合はアモルファスであるが、約350の基板温度ではPbO構造の-SnO相が得られ、600では、エピタキシャル-SnO薄膜が得られると報告している。また、SnF₂が溶解した溶液を基材の表面に吹き付けて多結晶のSnO膜を製造する方法が提案されている(特許文献5)。

【0010】

しかし、これらの文献でSnOと記載されている薄膜のホール移動度、キャリア濃度などの半導体電気特性は明らかにされておらず、さらに、これらの薄膜の伝導のタイプ(n又はp)も示されていない。また、SnO₂薄膜をチャネルとするTFETが報告されている(非特許文献17)。C-W.Ouらは、酸化第二スズ(SnO₂)をターゲットとして堆積後アニーリングしたSnO₂薄膜をチャネルとするTFETがp型TFETとして動作することを報告している(非特許文献18)。しかし、得られたTFETは、電界移動度は、 $0.1\text{ cm}^2/\text{V}\cdot\text{秒}$ 未満と小さい。

【先行技術文献】

【非特許文献】

【0011】

【非特許文献1】Y. Ohya et al., Jpn.J. Appl. Phys.,40,297 (2001)

【非特許文献2】R. L. Hoffman et al., Appl. Phys. Lett., 82, 733 (2003)

【非特許文献3】E. M. C. Fortunato et al., Appl. Phys. Lett., 85, 2541(2004)

【非特許文献4】A. Tsukazaki et al., Appl.Phys. Lett., 83, 2784-2786 (2003)

【非特許文献5】A. Ohtomo et al., Appl.Phys. Lett., 75, 2635-2637 (1999)

【非特許文献6】K. Nomura et al., Nature(London), 432, 488 (2004)

【非特許文献7】K. Nomura et al., Jpn. J. Appl. Phys., 45, 4303 (2006)

【非特許文献8】R. Hayashi et al., J. SID 15/11, 915 (2007)

【非特許文献9】H. Kawazoe et al., Nature (London), 389, 939 (1997)

【非特許文献10】A. Kudo et al., Appl.Phys. Lett., 73, 220 (1998)

【非特許文献11】K. Ueda et al., Appl. Phys. Lett., 77, 2701 (2000)

【非特許文献12】H. Mizoguchi et al., Appl.Phys. Lett., 80, 1207 (2002)

【非特許文献13】Hidenori Hiramatsu,et al., Chem. Mater., 20, 326, (2008)

【非特許文献14】X. Q. Pan et al., J. Electroceram., 7, 35(2001)

【非特許文献15】A. Togo et al., Phys. Rev., B 74, 195128 (2006)

【非特許文献16】V. Krasevec et al., Thin solid films, 129,L61 (1985)

10

20

30

40

50

【非特許文献 17】R.E.Presley et al., J.Phys.D:Appl.Phys., 37, 2810-2813(2004)

【非特許文献 18】C-W. Ou et al., Appl.Phys. Lett., 92, 122113 (2008)

【特許文献】

【0012】

【特許文献 1】特開 2000 - 150900 号公報

【特許文献 2】特開 2002 - 076356 号公報

【特許文献 3】特開 2002 - 319682 号公報

【特許文献 4】WO 2005 / 088726

【特許文献 5】特開 2002 - 235177 号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0013】

2000年以降、酸化物半導体をチャネルとする薄膜トランジスタ(TFT)は活発に研究されているが、その全てはnチャネルTFTであり、pチャネルで動作する、すなわち正孔をキャリアとして電気伝導する酸化物TFTは実現していない。その理由は金属酸化物の価電子帯は、主として、酸素の2p軌道で構成されており強く局在しているために、p型伝導性を実現しにくい、また、たとえp型伝導性を実現しても、正孔キャリアの電界効果移動度が小さく、トランジスタ動作しないためである。

【0014】

p型TFTが存在しないため、これまで、酸化物TFTでは、CMOS回路を作成することができなかった。また、陽極に直接TFTを接続させる単純なAM-OLEDの駆動回路を構成できなかった。C-W.Ouら(非特許文献18)は、酸化第二スズ(SnO₂)薄膜をチャネルとするp型TFTを報告しているが、その電界効果移動度は0.011cm²(Vs)⁻¹と非常に小さい値であり、上記の様な実用回路には用いることができない。CMOS回路用には、正孔電界効果移動度は0.1cm²(Vs)⁻¹以上であることが必要であり、そのためには、正孔移動度が0.1cm²(Vs)⁻¹以上である薄膜を育成することが不可欠である。

20

【課題を解決するための手段】

【0015】

酸化スズには、SnOとSnO₂の化合物があるが、スズの安定な価数は4価(Sn⁴⁺)であり、SnO₂の状態が一般的である。SnO₂の組成では、スズは4価陽イオンとして存在し、Sn⁴⁺の電子配置は(Kr)5s⁰5p⁰であり、空の5s5p軌道が伝導帯を形成し、n型伝導性を示す。5s軌道を価電子帯として利用するためには、5s軌道を電子で満たす必要があり、5s軌道を全部電子で満たすとSn²⁺となる。すなわち、価電子帯がs軌道から構成されるp型伝導体を実現するためには、SnO化合物薄膜を作成することが必要である。なお、SnOの結晶構造は空間群P4/nmmであるが、SnO₂の結晶構造は、空間群P42/mnmであり、異なる結晶構造を有する。

30

【0016】

酸化第一スズ(SnO)中の2価のスズイオン(Sn²⁺)は、酸化物として安定な4価と、金属として安定な0価(Sn⁰=錫金属)の間にあるために、酸素分圧が大きい強い酸化雰囲気でも、また、真空中で高温のような強い還元雰囲気でも、価数を2価に保つことが困難である。すなわち、酸素分圧が小さいときは、酸化度が弱く、Sn⁰が生じやすい。逆に、酸素分圧が大きいときは、酸化度が強く、Sn⁴⁺が生成する。従って、成膜室内雰囲気の酸素分圧の制御可能な、すなわち、Snの酸化度合いの制御が可能なパルスレーザ堆積法(PLD法)やスパッタ法を用いることにより、Sn⁴⁺及びSn⁰(錫金属)の含有量が、合計で10原子%未満のSnO薄膜を作製することが好ましい。なお、Snの酸化度合いの制御が可能な成膜法であれば、成膜方法はPLD法やスパッタ法に限られるものではない。

40

【0017】

本発明者らは、後述の実験例1に示す方法で作成したSnO薄膜の硬X線光電子スペクトルを測定し、価電子帯として、02p準位の上にSn5s準位が存在することを確認し

50

た。すなわち、価電子帯トップは、5 s軌道から構成されていた。また、SnO薄膜のゼーベック(Seebeck)係数及びホール(Hall)効果の測定から、該薄膜がp型伝導性を示すことを確認した。ホール移動度は、 $2.4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、正孔濃度は、 $2.5 \times 10^{17} \text{ cm}^{-3}$ であった。得られたSnO薄膜の正孔移動度の大きさは、アモルファスシリコンより優れており、p型ZnOと同程度である。

【0018】

次に、本発明者らは、後述の実施例1に示す方法でSnO薄膜を活性層、アモルファスアルミナ薄膜を絶縁層とするトップゲート構造のトランジスタ(図1)を作製した。該トランジスタは、ゲート-ソース間の印加電圧が10V、ドレイン-ソース間の印加電圧が10Vの条件下で14 μA の電流変調が得られた。電界効果移動度は線形領域で $1.0 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、飽和領域で $0.7 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、オン・オフ(On/Off)比は 10^2 であった。該トランジスタは、正孔電界効果移動度が $0.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 以上であり、CMOS回路用のpチャネルTFT及びOLED駆動用のTFTとして用いることができる。

10

【0019】

すなわち、本発明は、(1) Sn^{4+} 及び Sn^0 (錫金属)の含有量が、合計で10原子%未満である酸化第一スズ(SnO)薄膜を薄膜トランジスタの基板上に堆積し、チャンネル層としたことを特徴とするpチャネル薄膜トランジスタ、である。また、本発明は、(2)基板が(001)YSZ単結晶基板であり、SnO薄膜がエピタキシャル膜であることを特徴とする上記(1)のpチャネル薄膜トランジスタ、である。また、本発明は、(3)基板がガラス又はプラスチックであり、SnO薄膜がアモルファス膜であることを特徴とする上記(1)のpチャネル薄膜トランジスタ、である。また、本発明は、(4)正孔移動度が $0.1 \text{ cm}^2 / \text{V} \cdot \text{秒}$ 以上であることを特徴とする上記(1)のpチャネル薄膜トランジスタ、である。

20

【0020】

さらに、本発明は、(5)気相法において、SnOをターゲットとして用いて、基板上に堆積するSnの酸化度合いを基板温度及び雰囲気酸素分圧により制御し、 Sn^{2+} イオンの含有量が90原子%以上のSnO薄膜を成膜することによりチャンネル層を形成することを特徴とする上記(1)のpチャネル薄膜トランジスタの製造方法、である。

【0021】

また、本発明は、(6)上記(5)の方法において、気相法がパルスレーザ堆積法(PLD法)であり、基板として(001)YSZ単結晶基板を用い、基板温度550以上、590以下としてエピタキシャル膜を堆積することを特徴とする上記(2)の構造のpチャネル薄膜トランジスタの製造方法、である。

30

【0022】

また、本発明は、(7)上記(5)の方法において、気相法がパルスレーザ堆積法(PLD法)であり、基板としてガラス又はプラスチック基板を用い、基板温度を意図的に加熱しない温度としてアモルファス膜を堆積することを特徴とする上記(3)の構造のpチャネル薄膜トランジスタの製造方法、である。

【発明の効果】

【0023】

本発明は、CMOS回路用など実用回路に用いることができるpチャネルで動作する正孔移動度が $0.1 \text{ cm}^2 (\text{Vs})^{-1}$ 以上の酸化物TFTを提供できるという顕著な効果を奏する。

40

【図面の簡単な説明】

【0024】

【図1】本発明のSnO薄膜をチャンネルとするTFTの構造の一例を示す模式図である。

【図2】酸素分圧による酸化スズ(SnO、 SnO_2)薄膜のX線回折パターンである((a)は、2 / スキャン、(b)は、2 / スキャン、 $\theta = 0.5^\circ$)。

【図3】エピタキシャルSnO薄膜の4軸X線回折パターンである((a)は、YSZ、MgO、STO、サファイヤ単結晶基板上に成膜したSnO薄膜のOut-of-planeXRDパター

50

ン、(b)は、YSZ単結晶基板上に成膜したSnO薄膜のOut-of-plane XRDパターン及び002回折のロックングカーブ、(c)は、YSZ単結晶基板上に成膜したSnO薄膜のIn-plane XRDパターン及び200回折のロックングカーブ、(d)は、002回折のロックングカーブ)。

【図4】酸化スズ(SnO、SnO₂)の価電子帯硬X線光電子スペクトルである。

【図5】SnOエピタキシャル薄膜表面の図面代用原子間力顕微鏡像((a)は、10μm角、(b)は、1μm角、(c)は、0.5μm角)である。

【図6】SnOエピタキシャル薄膜の光吸収スペクトル((a)は、-hプロット、(b)は、(h)²-hプロット、(c)は、(h)^{1/2}-hプロット、(d)は、^{1/2}-hプロット)。

10

【図7】SnOエピタキシャル薄膜の電気特性のグラフである((a)は、熱起電力測定、(b)は、ホール効果測定)。

【図8】熱処理前後でのエピタキシャルSnO薄膜をチャネルとするTFET特性のグラフである((a)、(c)、(e)は、出力特性、(b)、(d)、(f)は、伝達特性)。

【図9】エピタキシャルSnO薄膜をチャネルとするTFETの動作特性のグラフである((a)は、出力特性、(b)は、伝達特性、(c)は、|I_{DS}|^{1/2}-V_{GS}プロット、(d)は、線形領域での電界効果移動度)。

【発明を実施するための形態】

【0025】

図1は、本発明のSnOエピタキシャル薄膜をチャネルとするTFETの構造の一例であり、基板1上に成膜したチャネル層2、チャネル層の両側にゲート絶縁層3を挟んで形成したソース電極4、ドレイン電極5、ゲート絶縁層3上に形成したゲート電極6からなるトップゲート構造のトランジスタの模式図を示している。本発明は、チャネル層の材料に特徴を有するものであり、本発明のTFETはトップゲート構造に限らず、種々の構造を採用し得る。薄膜トランジスタのチャネルとするSnO薄膜の膜厚は、10nm以上60nm以下、特に15nm以上50nm以下が好ましい。10nm未満では、オン電流が減少し、また、60nm超では、オフ電流が大きくなり、好ましくない。

20

【0026】

本発明の薄膜トランジスタのチャネル層2は、真空容器中で、好ましくは、(001)YSZ単結晶基板上に、SnOをターゲットとして用いて、SnOエピタキシャル薄膜をPLD法やスパッタ法などで堆積させる成膜工程により形成できる。SnO薄膜中に、結晶粒界が存在しないアモルファス状態でもよい。この場合には、基板はガラスやプラスチックを用いることができる。

30

【0027】

このSnOエピタキシャル薄膜の成膜工程では、Sn²⁺を安定化させ、純度の高い酸化第一スズを形成するために、基板温度を550から590以下の範囲とし、成膜室内雰囲気酸素分圧を適正な範囲に設定する、すなわちSnの酸化度合いを純度の高い酸化第一スズを形成するようにコントロールする必要がある。なお、酸素分圧とは、流量制御装置により成膜室内に意図的に導入された酸素ガスの分圧のことを意味する。酸素分圧が小さ過ぎるときは、金属錫が析出し易く、また、酸素分圧が大き過ぎるときは、Sn⁴⁺が析出し易い。金属錫及びSn⁴⁺がそれぞれ5原子%以上析出すると、SnOエピタキシャル薄膜の結晶構造が変化し、p型伝導性を示さなくなる。したがって、SnO薄膜中のSn⁴⁺及びSn⁰(錫金属)の含有量が、合計で10原子%未満とする必要がある。p型伝導性が得られる最も適切な酸素分圧の範囲は予め実験的に求めることができるが、好ましい範囲は1×10⁻²Pa超、1×10⁻¹Pa未満である。

40

【0028】

SnOエピタキシャル薄膜の成膜方法としては、基板に対向して配置したターゲットに高エネルギー密度のレーザー光をパルス状に照射し、ターゲット表面から原子、分子をプラズマ化して対向する基板上に蒸着させるPLD法が好ましい。しかし、Sn²⁺を安定化するように酸化の度合いを制御できれば、スパ

50

ッタ法など他の成膜法でもよい。

【0029】

PLD法の好ましい条件としては、550以上590以下に保持した(001)YSZ単結晶基板上にSnOの焼結体や圧粉体などをターゲットとして用い、酸素分圧を適切な範囲に制御して成膜する。酸素ガスの分圧の制御は、流量計を通して、O₂ガスを成膜室内に導入して行う。

【0030】

基板温度が550未満では、SnO相が得られず、基板温度が590超では、SnO相は得られるものの、Sn⁴⁺が析出しはじめ、基板温度700の場合には成長速度が0.1nm/min以下になりSnO膜が成長しなくなる。これはSnOの融点が700~

10

950であり、700以上ではSnOが分解することが理由であると考えられる。成膜時の酸素分圧が 1×10^{-2}

Pa以下ではSnO相は存在するものの、膜内に金属Snが含まれる。また、 1×10^{-1} Pa以上の酸素分圧ではSn⁴⁺を多く含むSnO層が成長する。

【0031】

SnOエピタキシャル薄膜を成膜するには、基板は、これまで知られている成膜基板の中では(001)YSZ単結晶基板が最も好ましい。(001)MgO、(001)STO、(1-102)Al₂O₃等の単結晶基板ではエピタキシャル膜は得られない。基板は、成膜工程に先立ち、高温における熱処理、酸によるエッチング処理などにより表面清浄化処理をしておくことが好ましい。この方法により、YSZ(100)面上にSnO(001)面が成長し、SnO(100)面

20

【0032】

以上説明したSnO薄膜の成長方法により、Sn²⁺を90原子%以上含む、空間群P4/nmmに属する結晶構造を有するSnO薄膜を得ることができる。得られた薄膜は、p型伝導性を示し、正孔移動度が $0.1 \text{ cm}^2(\text{Vs})^{-1}$ 以上、より好ましくは、 $0.5 \text{ cm}^2(\text{Vs})^{-1}$ 以上、さらには、 $2.0 \text{ cm}^2(\text{Vs})^{-1}$ 以上のSnO薄膜チャンネルを形成することができる。

【0033】

30

SnOアモルファス薄膜を成膜するには、基板は、ガラス、プラスチックなどを使用することができるが、価格、化学的安定性、表面平坦性の観点から、ガラスが最も好ましい。基板は、成膜工程に先立ち、高温における熱処理、酸によるエッチング処理などにより表面清浄化処理をしておくことが好ましい。SnOアモルファスの成膜方法としては、基板に対向して配置したターゲットに高エネルギー密度のレーザー光をパルス状に照射し、ターゲット表面から原子、分子をプラズマ化して対向する基板上に蒸着させるPLD法が好ましい。しかし、Sn²⁺を安定化するように酸化の度合いを制御できれば、スパッタ法など他の成膜法でもよい。

【0034】

PLD法の好ましい条件としては、基板温度を意図的に加熱しない温度とし、基板上にSnOの焼結体や圧粉体などをターゲットとして用い、酸素分圧を適切な範囲に制御して成膜する。酸素ガスの分圧の制御は、流量計を通して、O₂ガスを成膜室内に導入して行う。成膜時の酸素分圧が 1×10^{-2}

40

Pa未満ではSn²⁺存在するものの、膜内に金属Snが含まれる。 1×10^{-2} Pa以上、 $1 \times \text{Pa}$ 未満では、膜は黒色を呈し、Sn²⁺が90%超含まれており、p型伝導性を示す。正孔移動度は、 $0.1 \text{ cm}^2(\text{Vs})^{-1}$ 超である。また、 1 Pa 以上の酸素分圧ではSn⁴⁺を多く含むSnO膜が成長し、n型伝導を示す。

【0035】

ソース電極、ドレイン電極、ゲート絶縁層の形成は通常採用されている材料、方法を用いればよい。ゲート絶縁層としては、アモルファスアルミナ(a-Al₂O₃)、Si₃N

50

4, SiO_2 を用いることができるが、 $\text{a-Al}_2\text{O}_3$ は誘電率(約9)が大きくないため、より誘電率の大きいHigh-k材料である HfO_2 , Ta_2O_5 , ZrO_2 などをゲート絶縁層として用いることが好ましい。ソース電極、ドレイン電極及びゲート電極を形成した後に、ゲートリーク電流を低減するために真空中で、 $150 \sim 300$ 程度の温度で熱処理を行うことが好ましい。さらに詳しく、実験例、比較実験例、実施例に基づいて本発明を説明する。

[実験例]

【 0036 】

(001)YSZ単結晶基板上にPLD法でSnO薄膜を堆積した。(001)YSZ単結晶基板は、予め大気中にて 1380 で加熱処理を行なった。PLD装置としてはULVAC社製レーザアブレーション成膜装置を用いた。ターゲットにはSnO焼結体(高純度化学研究所社製の粉末原料を焼結して作成)を用いて、KrFエキシマレーザ(波長 248nm , パルス幅 8ns)を照射してアブレーションを行った。基板とターゲット間の距離は 4cm とした。基板温度 575 、酸素分圧 $4 \times 10^{-2}\text{Pa}$ 、繰り返し周波数 2Hz 、強度約 $1.5\text{Jcm}^{-2}\text{pulse}^{-1}$ の条件で成膜を行い、成膜速度は $5.6\text{nm}/\text{min}$ であった。膜厚は、 19nm であった。

10

[比較実験例 1 ~ 3]

【 0037 】

酸素分圧をそれぞれ、 $1 \times 10^{-1}\text{Pa}$ (比較実験例1)、 $1 \times 10^{-2}\text{Pa}$ (比較実験例2)、 $4 \times 10^{-3}\text{Pa}$ (比較実験例3)とした以外は実験例と同じ条件で成膜を行った。

[比較実験例 4 ~ 6]

20

【 0038 】

(001)YSZ単結晶基板に代えて、それぞれ、(001)MgO単結晶基板(比較実験例4)、(001)STO単結晶基板(比較実験例5)、(102) Al_2O_3 単結晶基板(比較実験例6)を用いた以外は実験例と同じ条件で成膜を行った。

【 0039 】

作製した薄膜について、(1)X線回折計による相の同定、成長方位の確認、(2)Spring8(兵庫県)のビームラインBL47XUでの硬X線光電子分光による価電子帯の観測、(3)原子間力顕微鏡による薄膜表面の観察、(4)紫外-近赤外域(波長範囲 $200 \sim 2500\text{nm}$)での光吸収スペクトルの測定、(5)van der Pauw法による室温から 80K までの温度範囲でのホール(Hall)効果測定を行った。

30

【 0040 】

図2に、X線回折の結果を示す。X線回折の結果から成膜時の酸素分圧が $1 \times 10^{-2}\text{Pa}$ (比較実験例2)以下ではSnO相は存在するものの、膜内に金属Snが含まれることが分かった。また、酸素分圧が $4 \times 10^{-2}\text{Pa}$ (実験例)ではSnO層がエピタキシャル成長した。しかし、酸素分圧を $1 \times 10^{-1}\text{Pa}$ (比較実験例1)以上にすると、 Sn^{4+} を5原子%超含む多結晶SnO層が成長しはじめ、 SnO_2 相が生成した。

【 0041 】

次に、実験例の酸素分圧 $4 \times 10^{-2}\text{Pa}$ で成膜しエピタキシャル成長したSnO薄膜について、4軸X線回折計により成長方位の確認を行った。図3に示すように、YSZ(100)面上にSnO(001)面が成長しており、YSZ(1-10)面とSnO(100)面が同じ方向を向いていることを示している。002SnO回折、200SnO回折のロッキングカーブの半値幅はそれぞれ 0.46° 、 0.7° であった。また、SnO(100)面はYSZ(1-10)面と同様の4回対称性を示しており(図3(d))、SnO膜がYSZ単結晶基板上にヘテロエピタキシャル成長していることが分かった。エピタキシャル関係は、(001)SnO //(001)YSZ, (100)SnO //(1-10)YSZであった。

40

【 0042 】

比較実験例4~6の(001)MgO、(001)STO、(1-102) Al_2O_3 単結晶基板上にSnO薄膜成長を行なった場合は、図3(a)に示すとおり、いずれの場合もYSZ基板上に比べて、X線回折強度で2桁程度低下しておりYSZ基板上に作製した場合のようなエピタキシャル膜は得られなかった。

50

【0043】

図4に、0.1 sピークが5.31 eVとなるように結合エネルギーを決定した場合のSnO薄膜の価電子帯硬X線光電子分光スペクトルを示す。参照試料として測定したSnO₂のスペクトルと比較して、(Kr)5s²電子配置であるSnOのスペクトルでは0.2 p軌道の上に新しい準位が形成された。また、SnO薄膜のフェルミ準位は状態密度がゼロになる、すなわち価電子帯のトップの位置にある。代表的なn型導電性酸化物であるSnO₂の場合は、フェルミ準位は、伝導帯のボトム的位置にある。硬X線光電子分光の測定結果は、SnOにおいて0.2 p軌道の高エネルギー側にSn5s準位が存在し、価電子帯を形成したことを示すものである。

【0044】

10

実験例に示す条件で作製したSnO薄膜表面の原子間力顕微鏡像を図5に示す。SnOのc軸長約0.5 nmに相当する高さのステップが薄膜表面に見られる。10 μm四方の像では一様の表面が観察され、最大高低差は3.3 nmであった。1 μm四方で観察した像では細かい島状の構造が観察され、さらに拡大して断面高低差を見ると約0.5 nm高さの段差が観察された。観察された段差の高さ0.5 nmはSnO(001)面の間隔0.4836 nmとよく一致しており、薄膜がステップ・テラス構造をしていることが分かった。

【0045】

図6に、エピタキシャルSnO薄膜の光吸収係数と光子エネルギーhの関係を示す。図6(b)に示す(h)²-hプロットから見積もった直接遷移光学ギャップは2.7 eV程度であり、報告されている(R. Sivaramasubramaniam et al., Phys. stat. sol., (a)136,215(1993))値と一致した。

20

【0046】

しかし、光吸収係数は光子エネルギー1.6 eV付近から緩やかに立ち上がっており、遷移確率の低い間接遷移があることが考えられる。第一原理計算の結果は、間接ギャップの存在を示しており、間接ギャップは約0.3 eV、直接ギャップは約2.2 eVと求められている(非特許文献15)。第一原理計算は実験値よりもバンドギャップを小さく見積もる傾向があり、SnOは間接ギャップを有する間接半導体と考えられる。

【0047】

実験例において作製したSnOエピタキシャル薄膜の電気特性を明らかにするためにゼーベック(Seebeck)効果測定、ホール(Hall)効果測定を行った。図7(a)に示すように、室温でのゼーベック(Seebeck)係数はS = +1024 mV/K⁻¹であり、SnO薄膜が正孔をキャリアとして電気伝導しているp型伝導体であることが示された。さらに、室温~80 Kの温度範囲でホール(Hall)効果測定結果から、正孔移動度、正孔濃度を算出した。室温での正孔移動度、正孔濃度はそれぞれ2.4 cm²(Vs)⁻¹、2.5 × 10¹⁷ cm⁻³であった。図7(b)に示すとおり、正孔濃度は、温度とともに増大する熱活性型を示し、正孔濃度の活性化エネルギーは45.6 mV/Kであった。また、正孔移動度も温度とともに増大した。

30

【実施例1】

【0048】

エピタキシャルSnO薄膜をチャネルとして、図1に示す構造のトップゲート型TFETを作製した。まず、TFETのチャネルとして(001)YSZ単結晶基板上に実験例の条件で厚さ19 nmのSnO層を成膜した。次に、フォトリソグラフィと電子線蒸着法によりAu(20 nm)/Ni(8 nm)層からなるソース電極及びドレイン電極を作製した。その後、ソース電極、ドレイン電極及びチャネル上にPLD法によりアモルファスアルミナ(a-Al₂O₃)ゲート絶縁層を成膜した。

40

【0049】

a-Al₂O₃ゲート絶縁層の成膜条件は、基板温度200 °C、酸素分圧2 Pa、ArFレーザー繰り返し周波数10 Hz、強度約2 Jcm⁻²pulse⁻¹として、絶縁層膜厚は210 nmとした。その後、フォトリソグラフィと電子線蒸着法によりAu(20 nm)/Ni(8 nm)層からなるゲート電極を作製した。チャネル長(L)及びチャネル幅(W)はL/W = 50/300

50

μm とした。ソース電極、ドレイン電極及びゲート電極を形成した後に、ゲートリーク電流を低減するために真空中で、150、5分間の条件と200、5分間の条件で、赤外線ランプ加熱による高速熱処理を行った。図8に示すように、200で熱処理することにより10nAであったリーク電流を0.1nA未満に低減することが出来た。

【0050】

200で熱処理したTFETに関して、大気中、暗所にて、出力特性、伝達特性の解析を行った。図9に示すとおり、pチャンネルで動作することが分かる。また、図9(a)に示す出力特性で示されるように、ゲート-ソース間の印加電圧が10V、ドレイン-ソース間の印加電圧が10Vのバイアス条件下で14 μA の電流変調が得られた。

【0051】

図9(c)に示すように、 $(I_{\text{DS}})^{1/2} - V_{\text{G}}$ プロットから求めた閾値電圧は+4.8V程度であり、該TFETはpチャンネルディプレッション型であることがわかる。

【0052】

TFETの電界効果移動度は、線形領域で1.2 $\text{cm}^2(\text{Vs})^{-1}$ 、飽和領域で0.7 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 、オン・オフ比は約 10^2 であった。飽和領域の移動度が線形領域の移動度より小さくなっているが、これはゲートに印加した電圧ではチャンネルをピンチオフさせることができないためと考えられる。すなわち、該TFETのチャンネルには高濃度のキャリア(約 $2.5 \times 10^{17}\text{cm}^{-3}$)が含まれており、アモルファスアルミナゲート絶縁膜では誘電率が十分大きくない(誘電率=約9)のために、チャンネルをピンチオフすることができず、また、空乏層を作ることが出来なかったために、小さい飽和移動度、小さいオン・オフ比という結果をもたらしていると考えられる。

【0053】

線形領域、飽和領域での電界効果移動度 μ_{lin} 及び μ_{sat} は、それぞれ $g_m = (W/L) \mu_{\text{lin}} C_0 V_{\text{GS}}$ 、 $I_{\text{DS}} = (W \mu_{\text{sat}} C_0 / 2L) (V_{\text{GS}} - V_{\text{T}})^2$ で定義される。ここで、 g_m 、 C_0 、 V_{T} は、それぞれ伝達コンダクタンス、単位面積あたりのゲート容量、閾値電圧であり、伝達コンダクタンス g_m は、 $g_m = I_{\text{DS}} / V_{\text{GS}}$ で与えられる。

【実施例2】

【0054】

実施例1より誘電率の大きいHigh-k材料を絶縁層としてTFETを作製した。YSZ(001)単結晶基板上にSnO(001)/ZrO₂:YSZ(001)/ITO(001)/YSZ(001)からなるチャンネル層-絶縁層-ゲート電極層の全てをエピタキシャル成長させた10mm角の積層膜を作製し、ボトムゲート型のTFETを作製した。絶縁層以外の層の形成は実施例1と同様に行った。該TFETでは、誘電率が大きな(=約25)YSZ(Y安定ジルコニア)エピタキシャル薄膜をゲート絶縁膜として使用しているため、飽和移動度及びオン・オフ比が増大した。

【産業上の利用可能性】

【0055】

有機LED(OLED)デバイスは、pチャンネルTFET駆動の方が、nチャンネルTFET駆動に比べて、配線が容易である。また、フラットパネルディスプレイの周辺回路素子など、CMOS回路を構成するために、pチャンネルTFETは不可欠である。本発明は、特にこれらのデバイス、回路に有用である。

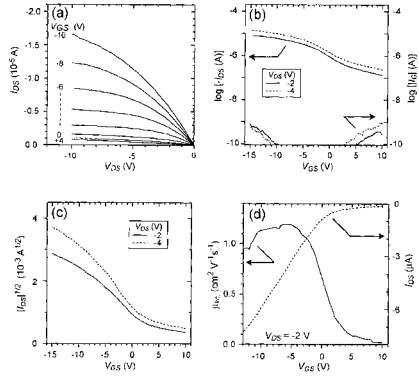
10

20

30

40

【 9 】



フロントページの続き

(72)発明者 小郷 洋一

神奈川県川崎市多摩区東三田 2 - 1 4 - 2 6 - 5 0 6

(72)発明者 野村 研二

神奈川県大和市下鶴間 2 3 4 1 ニューエスパワー 2 0 4 号

(72)発明者 平松 秀典

神奈川県横浜市緑区長津田町 5 - 6 - 1 6 グランセラ 4 0 3

審査官 大橋 達也

(56)参考文献 特開 2 0 0 7 - 2 5 8 2 2 3 (J P , A)

特開 2 0 0 2 - 2 3 5 1 7 7 (J P , A)

X.Q.PAN et al. , "Tin Oxide Thin Films Grown on the (1012) Sapphire Substrate" , Journal
of Electroceramics , 2 0 0 1 年 1 0 月 , Vol.7 , p.35-46

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/786

H01L 21/205

H01L 21/336

Science Direct