

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5804494号
(P5804494)

(45) 発行日 平成27年11月4日(2015.11.4)

(24) 登録日 平成27年9月11日(2015.9.11)

(51) Int.Cl.

F I

HO 1 L 29/861 (2006.01)	HO 1 L 29/91 C
HO 1 L 29/868 (2006.01)	HO 1 L 27/06 I O 2 A
HO 1 L 21/8234 (2006.01)	HO 1 L 29/91 L
HO 1 L 27/06 (2006.01)	HO 1 L 29/91 A
HO 1 L 21/329 (2006.01)	HO 1 L 27/08 I O 2 E

請求項の数 8 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2011-111883 (P2011-111883)
 (22) 出願日 平成23年5月18日(2011.5.18)
 (65) 公開番号 特開2012-243918 (P2012-243918A)
 (43) 公開日 平成24年12月10日(2012.12.10)
 審査請求日 平成26年4月16日(2014.4.16)

(73) 特許権者 504174135
 国立大学法人九州工業大学
 福岡県北九州市戸畑区仙水町1番1号
 (74) 代理人 100099508
 弁理士 加藤 久
 (74) 代理人 100093285
 弁理士 久保山 隆
 (72) 発明者 大村 一郎
 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内
 (72) 発明者 松本 泰明
 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

アノード電極とカソード電極との間に、p型層と、i層と、n型層とを順に形成したダイオード構造の半導体装置PINダイオードにおいて、前記アノード電極側の前記p型層内に、同p型層に接する絶縁膜を周囲に有するトレンチ構造のゲート電極を形成し、前記トレンチ構造によりp型領域とp型エミッタ層に二分された前記p型層の前記p型エミッタ層の内部に、前記トレンチ構造の絶縁膜に沿うように第2n型エミッタ層を形成し、前記第2n型エミッタ層と前記i層との間に、前記トレンチ構造の絶縁膜に沿うように前記p型エミッタ層を形成し、かつ前記p型エミッタ層と前記第2n型エミッタ層の両方の端部が前記アノード電極に接するように形成し、前記トレンチ構造により二分されたp型層の前記p型領域は前記アノード電極とは接しない構造としたことを特徴とする半導体装置。

10

【請求項2】

前記ゲート電極側に前記p型エミッタ層と前記第2n型エミッタ層の両方を有し、前記カソード電極と前記アノード電極との間に順方向バイアスを印加中に、前記ゲート電極に前記アノード電極側を前記p型エミッタ層と前記第2n型エミッタ層のいずれかに切り替えるゲート電圧を印加するゲート駆動回路を備えた請求項1記載の半導体装置。

【請求項3】

前記ゲート電極は、ゲート駆動回路から印加するゲート電圧に応じてp型及びn型のチャネルを前記トレンチ構造の、前記p型エミッタ層及び第2n型エミッタ層に接する側の

20

絶縁膜の表面に形成するものである請求項 1 または 2 記載の半導体装置。

【請求項 4】

請求項 1 から 3 のいずれかに記載の半導体装置を基本構成単位とし、この基本構成単位の少なくとも 2 個を、前記アノード電極の端部と前記カソード電極の端部間を結ぶ線のうちの前記第 2 n 型エミッタ層が接する側の線を軸にして線対称に反転させて組み合わせた構造を有する半導体装置。

【請求項 5】

前記基本構成単位を、3 個以上組み合わせた請求項 4 記載の半導体装置。

【請求項 6】

請求項 1 から 3 のいずれかの項に記載の半導体装置のアノード電極とカソード電極、n 型層と p 型層を入れ替えた半導体装置。

【請求項 7】

アノード電極とカソード電極との間に、p 型層と、i 層と、n 型層とを順に形成したダイオード構造の半導体装置 P i N ダイオードにおいて、前記アノード電極側の前記 p 型層内に、同 p 型層に接する絶縁膜を周囲に有するトレンチ構造のゲート電極を形成し、前記トレンチ構造により p 型領域と p 型エミッタ層に二分された前記 p 型層の前記 p 型エミッタ層の内部に、前記トレンチ構造の絶縁膜に沿うように第 2 n 型エミッタ層を形成し、前記第 2 n 型エミッタ層と前記 i 層との間に、前記トレンチ構造の絶縁膜に沿うように前記 p 型エミッタ層を形成し、かつ前記 p 型エミッタ層と前記第 2 n 型エミッタ層の両方の端部が前記アノード電極に接するように形成し、前記トレンチ構造により二分された p 型層の前記 p 型領域は前記アノード電極とは接しない構造とした半導体装置の駆動方法であって、前記ゲート電極に負の電圧を印加する第 1 の動作モードと、前記ゲート電極に正の電圧を印加する第 2 の動作モードを所定周期で交互に繰り返すことを特徴とする半導体装置の駆動方法。

【請求項 8】

ゲート駆動の抵抗値とゲート容量の積より決まるゲート充放電時間を、前記第 1 の動作モードと第 2 の動作モードの繰り返し周期よりも短く設定することを特徴とする請求項 7 記載の半導体装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低損失なダイオード構造の半導体装置及びその駆動方法に関する。

【背景技術】

【0002】

家庭で使われる多くの電化製品には交直変換用の整流回路が組み込まれており、その中のダイオードブリッジ回路の部分には整流用素子としてバイポーラ素子であるシリコン P i N ダイオードが多く使われている。P i N ダイオードは、図 1_5 に示すように、アノード電極 2_1 側の高濃度 p 型層（ホールの注入手段）2_3 と、カソード電極 2_2 側の高濃度 n 型層（電子の注入手段）2_4 とで、低濃度 n 型層（i 層）2_5 を挟み込む構造をしている。

【0003】

逆方向バイアス時には逆方向電圧のほとんどは抵抗値の高い低濃度 n 型層である i 層 2_5 に印加されるので P i N ダイオードは大きな逆電圧耐量を持つ。順方向バイアス時には高濃度 p 型層 2_3 及び高濃度 n 型層 2_4 から i 層 2_5 にキャリアが注入され i 層 2_5 内に蓄積される。これにより、i 層 2_5 内の伝導度が変調され（導通に十分なキャリアが蓄積され）導通状態に至る。導通時のキャリアの分布の様子を、図 1_6 の模式図に示す。図 1_6 から分かるように、導通時は i 層 2_5 内に多くのキャリアが蓄積され低抵抗となっているため i 層 2_5 部分での電圧降下は低く抑えられる。

【0004】

しかし、低濃度 n 型層である i 層 2_5 と高濃度 p 型層 2_3 との間には P N 接合が存在し

10

20

30

40

50

ている。このPN接合に相当する電圧降下がPiNダイオードの順方向電圧降下の大半を占めており、順方向バイアス時に閾値電圧として存在し続ける(図17参照)。そのため、従来のPiNダイオードではこの順方向電圧降下分の電力が損失として導通期間中生じるといった問題がある。このことはPiNダイオードを包含する整流回路のエネルギー効率が悪化するといった問題にも繋がる。

【0005】

一方でショットキーバリアダイオードに代表されるようなユニポーラ素子の場合、電流の経路中にPN接合は存在しないが、これに相当する電圧降下は存在し、さらにi層中は導通時もバイポーラ素子に比べ高抵抗となるので、この部分における電圧降下が大きくなるという問題がある。

10

【0006】

以上に述べたような従来の整流用半導体素子の問題点を解決する方法の理論モデルが非特許文献1に示されている。この方法の骨子は従来のバイポーラ素子にユニポーラ素子としての動作を組み込むことにある。すなわち、図18に示すように、アノード電極31側のホール注入手段33と、カソード電極32側の電子注入手段34とで、高抵抗半導体層35を挟み込んだバイポーラ素子構造のホール注入手段33と並列に電子排出手段36を設け、ホール注入手段33と電子排出手段36にホール注入制御手段37と電子排出制御手段38をそれぞれ設け、ホール注入制御手段37と電子排出制御手段38を交互に切り替える信号発生手段39を設けたものである。具体的には、図19に示すように、通常のPiNダイオード構造のアノード電極21側に、p型層23の外側にn型層26を追加した構造である。そして、順方向バイアス中に外部に接続したスイッチング回路27によってアノード電極21側をp型層23とn型層26とに切り替える。この半導体素子では、p型層23が選択されているときは従来のPiNダイオードと同様のバイポーラ素子として動作し、n型層26が選択されているときは電流の経路上にPN接合が存在しない、ユニポーラ素子として動作する。

20

【0007】

この方法を用いることでi層25にキャリアを注入する合間に、PN接合を介さない電気伝導を行うことができ、その期間だけバイポーラ素子と比較し順方向電圧降下を低減できる。結果として順方向電圧降下の平均値が低減でき、導通損失を低減できる。

【0008】

しかし、この公知例で使用されている半導体装置は理論モデルであり、そのため電極を3方向から出す必要がある、スイッチング回路のスイッチに理想スイッチを使う必要がある、など実用性に乏しいという問題がある。

30

【先行技術文献】

【非特許文献】

【0009】

【非特許文献1】Yasuaki Matsumoto, Kenichi Takahama, and Ichiro Omura "Challenge to the Barrier of Conduction Loss in PiN Diode toward $V_F < 300\text{mV}$ with Pulsed Carrier Injection Concept", Proc. of ISPSD 2010, pp.119-122, 2010.

【発明の概要】

40

【発明が解決しようとする課題】

【0010】

上述したように、従来技術には以下に述べるような問題点がある。

バイポーラ半導体素子は、i層と高濃度p型層との間に存在しているPN接合に相当する電圧降下が順方向バイアス時に存在し続ける。

【0011】

ユニポーラ半導体素子は、電流の経路中にPN接合は存在しないが、これに相当する電圧降下は存在し、さらにi層中は導通時もバイポーラ素子に比べ高抵抗となる。

【0012】

前掲の非特許文献1において提案された半導体素子は、バイポーラ素子の低抵抗なi層

50

における電気伝導とユニポーラ素子のPN接合を介さない電気伝導の両立を実現できるものの、構造や外部スイッチング素子に実用上の難点がある。

【0013】

本発明は上記実情を考慮してなされたもので、既存の半導体素子作製技術で製造することが可能で、素子外部にスイッチング回路を持たなくても、順方向電圧降下の平均値に相当する損失を低減し、電源回路全体のエネルギー効率を上げることのできるダイオード構造の半導体装置とその駆動方法を提供することを目的とする。また、既存の半導体装置にスイッチング回路を外装することで順方向電圧降下の平均値に相当する損失を低減し、電源回路全体のエネルギー効率を上げることのできる整流モジュールとその駆動方法を提供することを目的とする。

10

【課題を解決するための手段】

【0014】

前記課題を解決するため、本発明の第1の構成は、アノード電極とカソード電極との間に、p型層と、i層と、n型層とを順に形成したダイオード構造の半導体装置PINダイオードにおいて、前記アノード電極側の前記p型層内に、同p型層に接する絶縁膜を周囲に有するトレンチ構造のゲート電極を形成し、前記トレンチ構造によりp型領域とp型エミッタ層に二分された前記p型層の前記p型エミッタ層の内部に、前記トレンチ構造の絶縁膜に沿うように第2n型エミッタ層を形成し、前記第2n型エミッタ層と前記i層との間に、前記トレンチ構造の絶縁膜に沿うように前記p型エミッタ層を形成し、かつ前記p型エミッタ層と前記第2n型エミッタ層の両方の端部が前記アノード電極に接するように形成し、前記トレンチ構造により二分されたp型層の前記p型領域は前記アノード電極とは接しない構造としたことを特徴とする。

20

【0015】

本発明は、バイポーラ整流素子の低抵抗であるi層における電気伝導と、ユニポーラ整流素子のPN接合を介さない電気伝導を組み合わせたものである。通常の整流用PINダイオードのアノード側に、ホール注入手段だけでなく、電子排出手段を付加的に持つ構造としたものである。本発明の骨子は上述の構造を実現できる半導体装置と、それらを選択的に切り替える制御手段にある。順方向バイアス時に電流経路上のアノード側をp型とn型とで選択的に切り替えられるものであればどのような手段でもよい。

【0016】

例えば、高抵抗のn型ベース層とカソード側にn型エミッタ層を備え、アノード側に電極を内蔵したトレンチ構造を有し、通常のPINダイオードの場合p型エミッタ層のみ存在するところにn型層も形成し、トレンチゲートを利用してアノード側をp型層、n型層と切り替える。これにより、素子外部にスイッチング回路を持たなくても、順方向電圧降下の平均値に相当する損失を低減し、電源回路全体のエネルギー効率を上げることができる。

30

【0017】

本発明の第2の構成は、第1の構成のゲート電極側に前記p型エミッタ層と前記第2n型エミッタ層の両方を有し、前記カソード電極と前記アノード電極との間に順方向バイアスを印加中に、前記ゲート電極に前記アノード電極側を前記p型エミッタ層と前記第2n型エミッタ層のいずれかに切り替えるゲート電圧を印加するゲート駆動回路を備えた半導体装置である。

40

【0018】

本発明の第3の構成は、第1または第2の構成のゲート電極は、ゲート駆動回路から印加するゲート電圧に応じてp型及びn型のチャンネルを前記トレンチ構造の、前記p型エミッタ層及び第2n型エミッタ層に接する側の絶縁膜の表面に形成するものであることを特徴とする半導体装置である。

【0019】

本発明の第4の構成は、第1から第3のいずれかの構成の半導体装置を基本構成単位とし、この基本構成単位の少なくとも2個を、前記アノード電極の端部と前記カソード電極

50

の端部間を結ぶ線のうちの前記第2 n型エミッタ層が接する側の線を軸にして線対称に反転させて組み合わせた構造を有する半導体装置である。

【0020】

本発明の第5の構成は、第4の構成の基本構成単位を、3個以上組み合わせた半導体装置である。

【0021】

本発明の実施にあたっては第1の構成～第3の基本構成単位のみで十分であるが、第4の構成あるいは第5の構成のように、基本構成単位を複数個組み合わせることで、一つ一つのチャンネルに流れる電流が分散できる。このことはより均等にi層内にキャリアを注入することに繋がる。

10

【0022】

本発明の第6の構成は、第1の構成～第3の基本構成単位の構成のアノード電極とカソード電極、n型層とp型層を入れ替えた半導体装置である。

【0023】

本発明の第7の構成は、アノード電極とカソード電極との間に、p型層と、i層と、n型層とを順に形成したダイオード構造の半導体装置PINダイオードにおいて、前記アノード電極側の前記p型層内に、同p型層に接する絶縁膜を周囲に有するトレンチ構造のゲート電極を形成し、前記トレンチ構造によりp型領域とp型エミッタ層に二分された前記p型層の前記p型エミッタ層の内部に、前記トレンチ構造の絶縁膜に沿うように第2 n型エミッタ層を形成し、前記第2 n型エミッタ層と前記i層との間に、前記トレンチ構造の絶縁膜に沿うように前記p型エミッタ層を形成し、かつ前記p型エミッタ層と前記第2 n型エミッタ層の両方の端部が前記アノード電極に接するように形成し、前記トレンチ構造により二分されたp型層の前記p型領域は前記アノード電極とは接しない構造とした半導体装置の駆動方法であって、前記ゲート電極に負の電圧を印加する第1の動作モードと、前記ゲート電極に正の電圧を印加する第2の動作モードを所定周期で交互に繰り返すことを特徴とする。このように、第1の動作モードと第2の動作モードを交互に繰り返すことにより、順方向電圧降下の平均値に相当する損失を低減し、電源回路全体のエネルギー効率を上げることができる。

20

【0024】

本発明の第8の構成は、第7の構成の半導体装置の駆動方法において、ゲート駆動の抵抗値とゲート容量の積より決まるゲート充放電時間を、前記第1の動作モードと第2の動作モードの繰り返し周期よりも短く設定することを特徴とする。このようにゲート充放電時間を設定することにより、チャンネルからのホールの注入が速くなり、電子の排出を十分に行うことができ、導通損失の低減を図ることができる。

30

【発明の効果】

【0025】

本発明によれば、アノード電極とカソード電極との間に、p型層と、i層と、n型層とを順に形成したダイオード構造の半導体装置PINダイオードにおいて、アノード電極側に、p型層内に第2 n型エミッタ層を形成し、順方向バイアス中に、アノード電極側をp型エミッタ層と第2 n型エミッタ層のいずれかに切り替えるゲート電極を設けたことにより、順方向バイアス時に、p型エミッタ層であるホール注入手段を選択しキャリアをi層内に蓄積し導通させる期間と、第2 n型エミッタ層である電子排出手段を選択しキャリアをi層から排出し、PN接合を介さず導通させる期間を交互に繰り返すことによって順方向電圧降下の平均値を低減し、整流素子の低損失化を実現する。

40

【図面の簡単な説明】

【0026】

【図1】(a)及び(b)は本発明の実施形態に係る半導体装置の構成を表す断面図及び回路記号である。

【図2】本発明の実施形態に係る半導体装置の組み合わせ方を表す断面図である。

【図3】本発明の実施形態に係る半導体装置の構成例を表す断面図である。

50

【図4】(a)及び(b)は本発明の実施形態における半導体装置の動作状態及び半導体装置内の蓄積キャリアの様子を表す説明図(PiNモード)である。

【図5】(a)及び(b)は本発明の実施形態における半導体装置の動作状態及び半導体装置内の蓄積キャリアの様子を表す説明図(NiNモード)である。

【図6】トレンチ幅を変えた場合の順方向電圧降下の波形図である。

【図7】メサ幅を変えた場合の順方向電圧降下の波形図である。

【図8】トレンチ深さを変えた場合の順方向電圧降下の波形図である。

【図9】(a)及び(b)は本発明の実施形態に係る半導体装置の各部の寸法と濃度を表わす図及びスイッチング信号のタイミングチャートである。

【図10】本発明の導通時をシミュレーションした時の過渡的な順方向電圧降下の波形図である。

10

【図11】PiNモードとNiNモードの割合と順方向電圧降下の低減効果との関係図である。

【図12】低減できた順方向電圧降下による導通損失とトレンチゲートを駆動させるために生じる損失とを足し合わせ、ゲート信号周波数ごとに比較したグラフである。

【図13】図1の半導体装置の構成のアノードとカソード、n型層とp型層を入れ替えた構造を表す断面図と回路記号である。

【図14】図1の半導体装置と図13の半導体装置を組み合わせたブリッジ回路である。

【図15】(a)及び(b)は従来の整流用半導体素子の構成の断面図及び回路記号である。

20

【図16】従来の整流用半導体素子の動作時におけるキャリア分布を説明するための図である。

【図17】従来の整流用シリコンPiNダイオードの順方向特性図である。

【図18】従来の整流用半導体素子の問題点を解決するための従来の手段の構造を表す模式図である。

【図19】非特許文献1に挙げられている公知例の実施形態の断面図である。

【発明を実施するための形態】

【0027】

以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。なお、以下の実施形態では第1導電型をn型、第2導電型をp型としている。そして、アノード電極側を第一の主面、カソード電極側を第二の主面としている。添付図面中の同じ参照符号は同等の構成を示すものである。

30

【0028】

図1(a)は、本発明の実施形態に係る半導体装置の基本構成単位を示す断面図、図1(b)は、この半導体装置の構成を示す回路記号である。図1において、第1導電型であるn型ベース層1の第二の主面側には、第1導電型であるn型エミッタ層2が拡散形成されている。n型エミッタ層2の第二の主面側の表面には低電圧側主電極としてのカソード電極3が形成されている。

【0029】

一方、n型ベース層1の第一の主面側には素子領域の左部を二分する形でトレンチ構造4が形成されている。トレンチ構造4は、その内部に絶縁膜4aを有しており、該絶縁膜4aはゲート電極5を介して、外部のゲート駆動回路10に接続される。二分されたn型ベース層1の第一の主面側の参照符号6は拡散形成された第2導電型領域を示しており、ホールの注入を行いやすくする。

40

【0030】

また、第一の主面側のp型領域6とはトレンチ構造4を挟んで反対側に、第2導電型であるp型エミッタ層7が拡散形成されている。p型エミッタ層7の内部には電子排出用の付加的な第1導電型であるn型エミッタ層8が上記トレンチ構造4に沿うように拡散形成されている。前記n型エミッタ層8のトレンチ構造4と反対側には、p型エミッタ層7とn型エミッタ層8の両方の第一の主面側の表面に高電圧側主電極としてのアノード電極9

50

が形成されている。ただし、アノード電極 9 はトレンチ構造 4 の絶縁膜 4 a とは接していないものとする。

【 0 0 3 1 】

このように構成された半導体装置は順方向バイアス時と逆方向バイアス時に、それぞれ異なる方式で駆動される。

【 0 0 3 2 】

始めにカソード電極 3 に対してアノード電極 9 に正の電圧が印加されている順方向バイアス時の動作について述べる。この状況下では、図 1 に示した半導体装置はゲート駆動回路 1 0 から印加される制御信号によって 2 つの動作モードを繰り返す形で駆動される。

【 0 0 3 3 】

1 つ目の動作モードは、ゲート駆動回路 1 0 によってゲート抵抗 R_g の一端に負の電圧を印加し、電流経路上での第一の主面側を p 型領域に選択するモードである。このとき、印加電圧によってゲート電極 5 のゲート電圧が下がり始める。ゲート電圧の低下に伴い、トレンチ構造 4 の絶縁膜 4 a 表面にホールが誘起され、p 型チャンネル層が p 型エミッタ層 7 と p 型領域 6 を繋ぐような形で形成される。この p 型チャンネル層を介して、p 型領域 6 及び p 型エミッタ層 7 から n 型ベース層 1 内にホールが注入される。この間、n 型エミッタ層 2 からは、電子が n 型ベース層 1 に注入されている。この従来の P i N ダイオードの順方向動作と同様の動作期間を、P i N モードと呼ぶ。(図 4 参照)

【 0 0 3 4 】

2 つ目の動作モードは、ゲート駆動回路 1 0 によってゲート抵抗 R_g の一端に正の電圧を印加し、電流経路上での第一の主面側を n 型領域に選択するモードである。このとき、印加電圧によってゲート電極 5 のゲート電圧が上がり始める。ゲート電圧の増加に伴い、トレンチ構造 4 の絶縁膜 4 a 表面に電子が誘起され、n 型チャンネル層が n 型エミッタ層 8 と n 型ベース層 1 を繋ぐような形で形成される。この n 型チャンネル層を介して、n 型ベース層 1 から電子が排出される。この間も、n 型エミッタ層 2 からは、電子が n 型ベース層 1 に注入されている。主たる P N 接合が電流経路上に存在せず、低い順方向電圧降下で導通するこの動作期間を、N i N モードと呼ぶ。(図 5 参照)

【 0 0 3 5 】

この実施の形態では順方向バイアス間において、上述のようにゲート電圧を制御することで 1 つのトレンチ構造上に p 型と n 型のチャンネル層を選択的に形成し、第一の主面側でホール注入手段を用いたキャリアの蓄積過程と電子排出手段を用いたキャリアの排出過程とを切り替えることが可能な半導体装置を提供できる。

【 0 0 3 6 】

ゲート電極 5 に印加する電圧は、P i N モードでは負の電圧、N i N モードでは正の電圧によりモードを決定することができる。P i N モードでは、p 型エミッタ層 7、n 型ベース層 1、p 型領域 6、及びゲート電極 5 で形成された p チャンネル M O S F E T の閾値よりゲートへの印加電圧を低く、N i N モードでは n 型エミッタ層 8、p 型エミッタ層 7、n 型ベース層 1、及びゲート電極 5 で形成された n チャンネル M O S F E T の閾値よりゲートへの印加電圧を高くすることで、上記で説明した P i N モードと N i N モードの切り替えが可能となる。たとえば、今回解析した素子では、n チャンネル M O S F E T の閾値が 5 V であり、ゲートへの印加電圧は 1 0 V としている。

【 0 0 3 7 】

次にカソード電極 3 に対してアノード電極 9 に負の電圧が印加されている逆方向バイアス時の動作について述べる。この状況下では、ゲート駆動回路 1 0 によってゲート抵抗 R_g の一端に負の電圧が印加され続ける。ゲート電圧の低下に伴い、トレンチ構造 4 の絶縁膜 4 a の表面にホールが誘起され、p 型チャンネル層が形成される。この状態は既存の P i N ダイオードと同じであり、n 型ベース層 1 内のホールは第一の主面側へ排出され、n 型ベース層 1 内の電子は第二の主面側へ排出される。キャリアが排出され抵抗値の高くなった n 型ベース層 1 に逆方向電圧が印加される。

【 0 0 3 8 】

10

20

30

40

50

本実施の形態においてシミュレーションを実行するにあたり、本発明の性能に大きく関わりがあると考えられる半導体装置のパラメータ（トレンチ幅、メサ幅、トレンチ深さの3点）について評価を行った。本発明の特性の良し悪しはどれだけ順方向電圧降下の平均値を低減できるかということである。特性を良くするためには、NiNモードの期間を可能な限り長くすることが必要となる。そこで評価を行う上での判断基準としては、NiNモードを維持できる時間の長短とする。

【0039】

シミュレーション方法は以下の通りである。初めに半導体装置をPiNモードで50 μ s間保持する。これはi層中に十分キャリアを蓄積させるためである。次に半導体装置をNiNモードに保持し続けて、計算が発散する（キャリアが排出され続けて、抵抗率が上昇し順方向電圧降下が大きくなる）までシミュレーションを実行する。

【0040】

図6にトレンチ幅を変えた場合のシミュレーション結果を示す。この結果より、トレンチ幅は長い方がより長くNiNモードを保持できることが分かる。

【0041】

図7にメサ幅を変えた場合のシミュレーション結果を示す。この結果より、メサ幅は短い方がより長くNiNモードを保持できることが分かる。

【0042】

図8にトレンチ深さを変えた場合のシミュレーション結果を示す。トレンチ深さについてはNiNモードの保持時間に差はないが、PiNモード及びNiNモード期間中の電圧降下の値はトレンチ深さが浅い方が低い。したがってトレンチ深さは浅い方が良い。

【0043】

以上のシミュレーション結果を踏まえ、設計した半導体装置の各部の寸法と各領域の濃度及びゲート信号のタイミングチャートを図9(a)、(b)に示す。図9(a)の半導体装置の断面図において括弧表示で示しているのは、その領域の濃度であり、単位は cm^{-3} である。

【0044】

図10に実施例のゲート駆動回路10から印加される制御信号によって2つの動作モードを繰り返しているときのシミュレーション結果を示す。図10より分かるように、p型チャンネル層が形成され、第一の主面側でホールが注入されているPiNモード期間ではキャリア蓄積に伴う電圧降下が生じている。これは既存のシリコンPiNダイオードの順方向バイアス時と同様の動作である。一方で、n型チャンネル層が形成され、第一の主面側で電子が排出されているNiNモード期間では電流の経路上に主なPN接合が存在しないため、順方向電圧降下の値は低く抑えられている。このため、本発明は、順方向バイアス時にビルトインポテンシャルが生じ続ける従来の方法と比較し、導通損失を低減できる。

【0045】

ゲート回路及びチップ内配線からなるゲート駆動の抵抗値(R_{gg})とゲート容量(C_g)の積により、ゲート充放電時間、すなわち図10のパルス状波形の立ち上がり時間、立ち下がり時間が決まる。ゲートの充放電時間はPiNモード、NiNモードの時間に比べ短いことが要求される。すなわち、ゲート充放電時間が長いと、チャンネルからのホールの注入が遅れる、電子の排出が十分にできないなどの問題が起こり、結果として導通損失の低減ができなくなる。今回の解析ではゲート充放電時間 = $R_{gg} \times C_g$ の値が0.1 μ 秒になるようにした。

【0046】

図11は、図1における半導体装置を用いて、様々なゲート信号周波数で上述の実施形態のシミュレーションを実行し、順方向電圧降下の平均値を計算した結果をプロットしたグラフである。図の縦軸は順方向電圧降下の平均値を表し、横軸はPiNモードとNiNモードの組を1サイクルとしたときのPiNモードの割合を示している。図11から、周波数が高い場合にはPiNモードの割合が0.2付近(NiNモードの割合が0.8)で最適値が得られ、周波数が低くなるにつれて最適値が高くなることが分かる。

【 0 0 4 7 】

順方向電圧降下の平均値を低減するという観点からは、1サイクルの中で可能な限りN i Nモード（キャリアの排出過程）の割合を増やすことが望ましいが、P i Nモード（キャリアの注入過程）が短すぎるとn型ベース層1の抵抗率が大きくなり、結果として順方向電圧降下の平均値を上昇させることにつながる。この実施例のように周波数に応じてP i NモードとN i Nモードの割合には最適な比率があり、この比率から逸脱しないように制御を行うことが肝要である。

【 0 0 4 8 】

図12は、低減できた順方向電圧降下による導通損失とトレンチゲートを駆動させるために生じるゲートドライブ損失とを足し合わせ、ゲート信号周波数ごとに比較したグラフである。縦軸は、単位面積当たりの素子の駆動損失を表し、横軸はゲート信号周波数を表す。図12から、順方向電圧降下分に相当する導通損失は、周波数が低いほうが低減効果は小さいため大きくなるが、ゲートドライブ損失は小さく、損失の和としては大きくなるのが分かる。周波数が高くなるにつれてゲートドライブ損失は大きくなるが順方向電圧降下分に相当する導通損失がそれを上回る割合で小さくなるため、損失の和は減少する。しかし、周波数がさらに高くなると順方向電圧降下分に相当する導通損失は横ばいになる一方、ゲートドライブ損失の増加が顕著となり、損失の和は再び大きくなる。したがって、本実施例の駆動に係るゲート駆動周波数としては本発明の駆動損失が従来素子に比べ、約半分にまで低減できる数百kHzが妥当であると言える。

【 0 0 4 9 】

なお、本発明の実施にあたっては図1に示した基本構成単位のみで構成で十分であるが、図2、図3に示すように基本構成単位を複数個組み合わせることで、一つ一つのチャネルに流れる電流が分散できる。このことはより均等にi層内にキャリアを注入することに繋がる。また、本発明は整流素子が利用される電圧・電流階級に、基本構成単位の組み合わせ数を変えることで柔軟に対応することができる。

【 0 0 5 0 】

図13は、図1に示した基本構成単位の半導体装置のアノードとカソード、n型層とp型層を入れ替えた半導体装置である。この半導体装置はカソード側にトレンチ構造を設けており、ゲート信号によりP i NモードとP i Pモードに切り替える。P i PモードはN i Nモードと同様に、主たるPN接合が電流経路上に存在せず、低い順方向電圧降下で導通する。

【 0 0 5 1 】

図14は、図1に示した半導体装置と図13に示した半導体装置を組み合わせたブリッジ回路である。組み合わせることによりゲート駆動回路を少なくできる利点がある。

【産業上の利用可能性】

【 0 0 5 2 】

本発明は、順方向電圧降下の平均値を低減し、整流素子の低損失化を実現する半導体装置とその駆動方法として、整流素子を有する電化製品、あるいは電子機器等の広範囲な用途に好適に利用することができる。

【符号の説明】

【 0 0 5 3 】

- 1 第1導電型ベース層
- 2 第1導電型エミッタ層
- 3 低電圧側主電極としてのカソード電極
- 4 トレンチ構造
- 4 a 絶縁膜
- 5 ゲート電極
- 6 ホール注入用の第2導電型領域
- 7 第2導電型エミッタ層
- 8 電子排出用の付加的な第1導電型エミッタ層

10

20

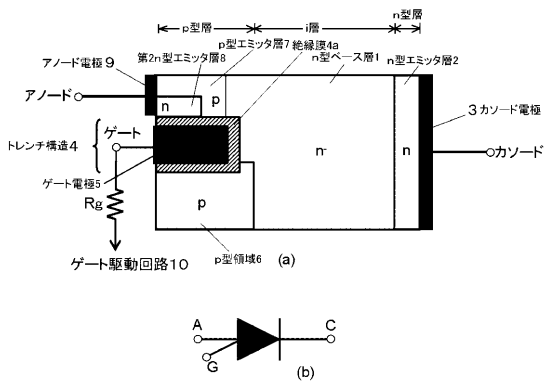
30

40

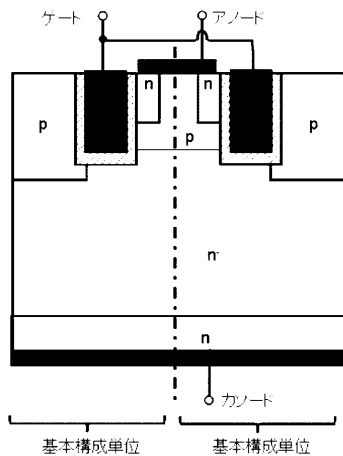
50

- 9 高電圧側主電極としてのアノード電極
- 10 ゲート駆動回路
- R_g ゲート抵抗

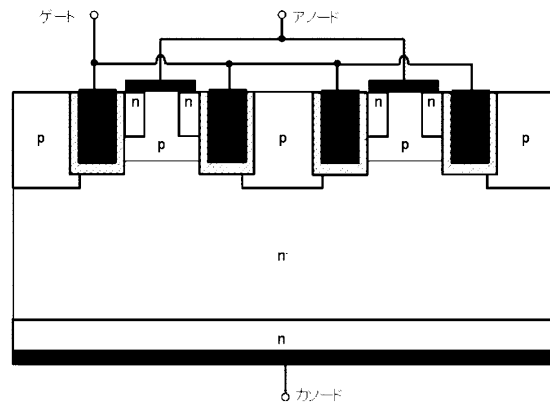
【図1】



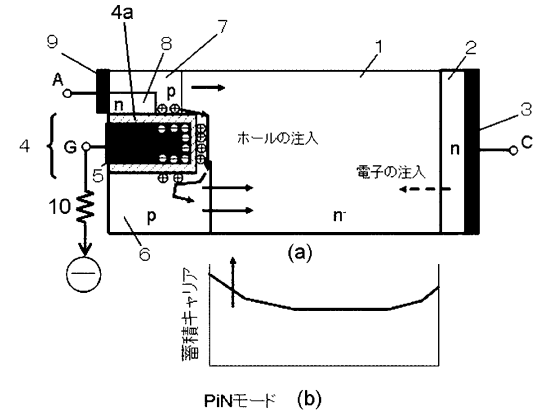
【図2】



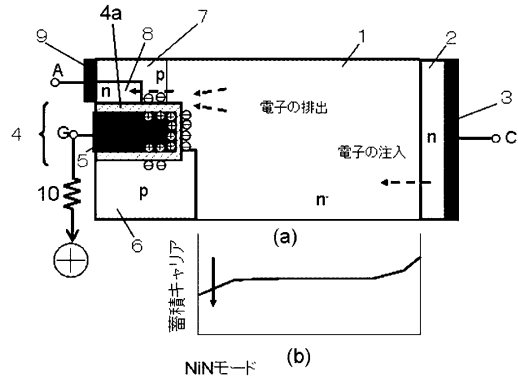
【図3】



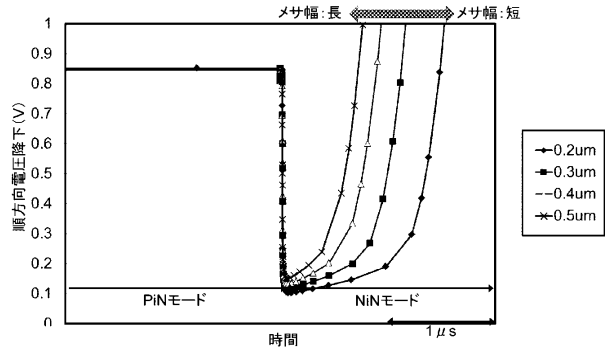
【図4】



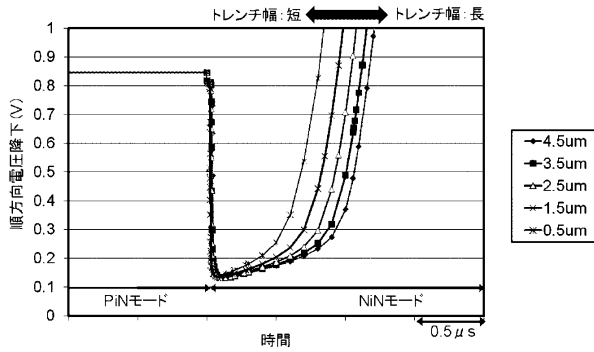
【図5】



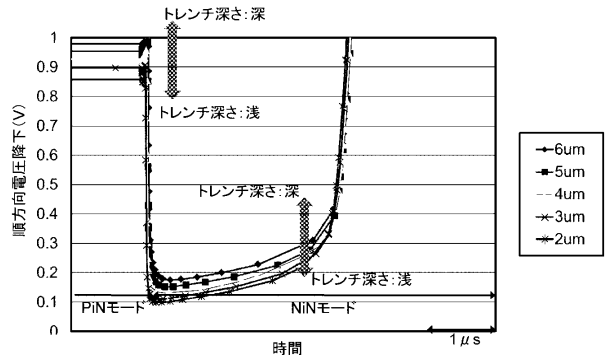
【図7】



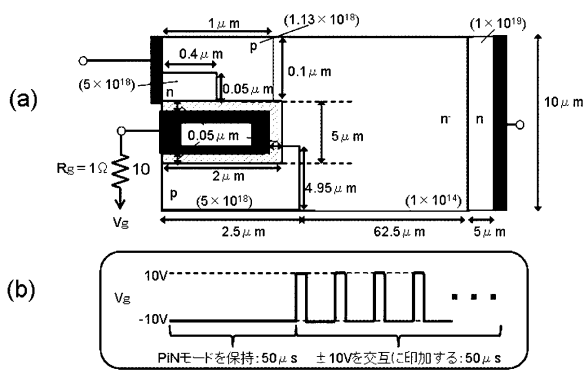
【図6】



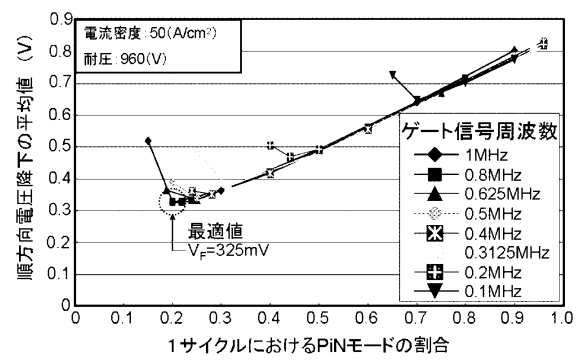
【図8】



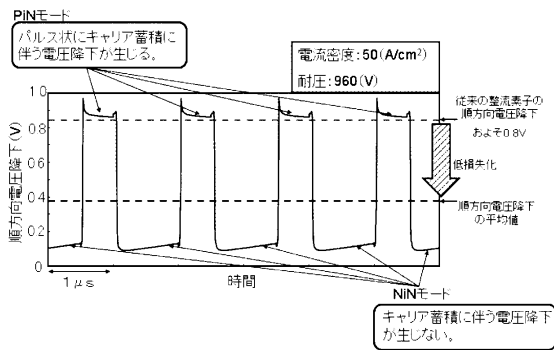
【図9】



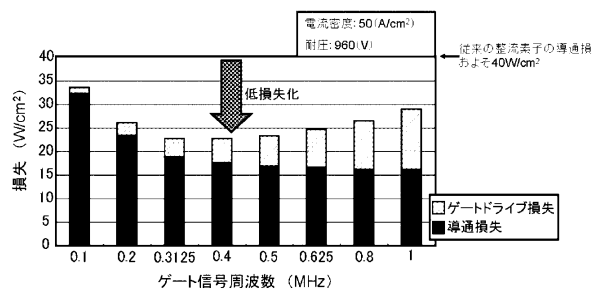
【図11】



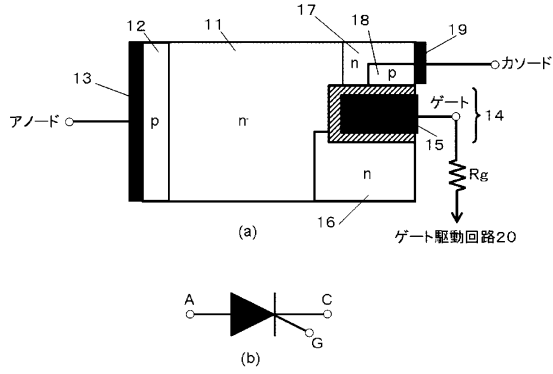
【図10】



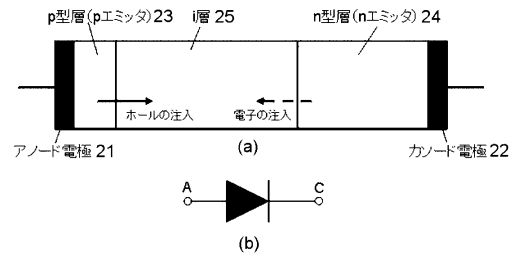
【図12】



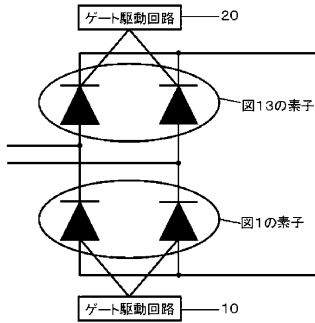
【図13】



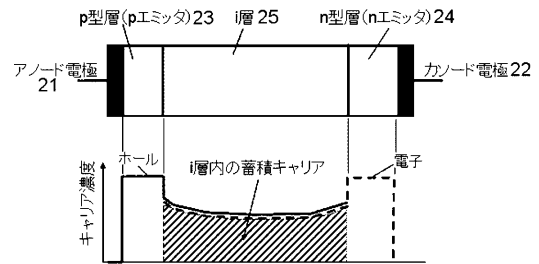
【図15】



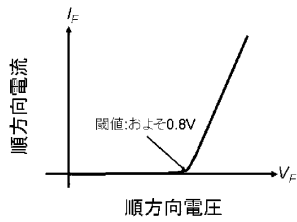
【図14】



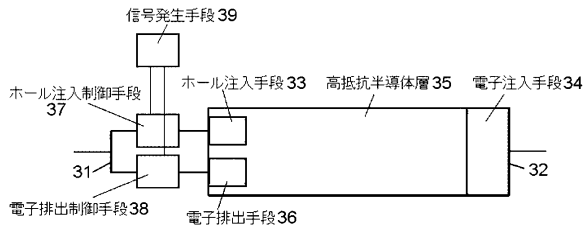
【図16】



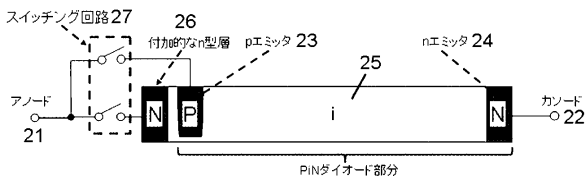
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 27/088	(2006.01)	H 0 1 L	29/80	V
H 0 1 L 21/337	(2006.01)	H 0 1 L	29/80	C
H 0 1 L 21/338	(2006.01)			
H 0 1 L 29/808	(2006.01)			
H 0 1 L 29/812	(2006.01)			
H 0 1 L 27/098	(2006.01)			

(72)発明者 津田 基裕
 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内

(72)発明者 附田 正則
 福岡県北九州市戸畑区仙水町1番1号 国立大学法人九州工業大学内

審査官 棚田 一也

(56)参考文献 特表2008-539571(JP,A)
 特表2000-512805(JP,A)
 特開平10-327059(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 1 / 3 2 9
 H 0 1 L 2 1 / 3 3 7
 H 0 1 L 2 1 / 3 3 8
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 0 9 8
 H 0 1 L 2 9 / 8 0 8
 H 0 1 L 2 9 / 8 1 2
 H 0 1 L 2 9 / 8 6 8