

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5688756号  
(P5688756)

(45) 発行日 平成27年3月25日(2015.3.25)

(24) 登録日 平成27年2月6日(2015.2.6)

(51) Int.Cl. F I  
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 A  
 HO 4 N 5/374 (2011.01) HO 4 N 5/335 7 4 0

請求項の数 8 (全 29 頁)

(21) 出願番号 特願2010-544171 (P2010-544171)  
 (86) (22) 出願日 平成21年12月25日(2009.12.25)  
 (86) 国際出願番号 PCT/JP2009/071647  
 (87) 国際公開番号 W02010/074252  
 (87) 国際公開日 平成22年7月1日(2010.7.1)  
 審査請求日 平成24年12月18日(2012.12.18)  
 (31) 優先権主張番号 特願2008-330572 (P2008-330572)  
 (32) 優先日 平成20年12月25日(2008.12.25)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 304023318  
 国立大学法人静岡大学  
 静岡県静岡市駿河区大谷836  
 (74) 代理人 100083806  
 弁理士 三好 秀和  
 (74) 代理人 100108914  
 弁理士 鈴木 壯兵衛  
 (72) 発明者 川人 祥二  
 静岡県浜松市中区城北3丁目5-1 国立  
 大学法人静岡大学 電子工学研究所内  
 審査官 榎本 剛

最終頁に続く

(54) 【発明の名称】 半導体素子及び固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体領域と、

前記半導体領域とフォトダイオードを構成するように、前記半導体領域の上部の一部に埋め込まれた第2導電型の受光用表面埋込領域と、

前記半導体領域の上部の一部に前記受光用表面埋込領域に連続して埋め込まれ、前記フォトダイオードが生成した電荷を移動させる場の方向を深さ方向として、前記受光用表面埋込領域よりもポテンシャル井戸の深さが深い第2導電型の電荷蓄積領域と、

前記電荷蓄積領域が蓄積した前記電荷を読み出す電荷読み出し領域と、

前記半導体領域の上部の一部に埋め込まれ、前記受光用表面埋込領域から前記電荷を排出する排出ドレイン領域と、

前記受光用表面埋込領域と前記排出ドレイン領域との間の前記半導体領域の上部に形成されるチャンネルの電位の制御のみで、前記受光用表面埋込領域から前記排出ドレイン領域方向への前記電荷の排出と、前記受光用表面埋込領域から前記電荷蓄積領域方向への前記電荷の転送とを変調する第1の電位制御手段と、

前記電荷蓄積領域と前記電荷読み出し領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記電荷蓄積領域から前記電荷読み出し領域へ前記電荷を転送する第2の電位制御手段

とを備え、

前記第1の電位制御手段が前記受光用表面埋込領域から前記電荷蓄積領域に至る電荷転

10

20

送経路を挟むような平面パターンで配置されていることを特徴とする半導体素子。

【請求項 2】

前記電荷蓄積領域が前記受光用表面埋込領域よりも 5 ~ 1000 倍高不純物密度であることを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】

前記受光用表面埋込領域の少なくとも一部が、複数のストライプ状の平面パターンをなすことを特徴とする請求項 1 又は 2 に記載の半導体素子。

【請求項 4】

前記電荷蓄積領域の下方に、第 1 導電型で前記半導体領域よりも高不純物密度のキャリアアブロック層を更に備えることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の半導体素子。

10

【請求項 5】

第 1 導電型の半導体領域と、

前記半導体領域とフォトダイオードを構成するように、前記半導体領域の上部の一部に埋め込まれた第 2 導電型の受光用表面埋込領域と、

前記半導体領域の上部の一部に前記受光用表面埋込領域に連続して埋め込まれ、前記フォトダイオードが生成した電荷を移動させる場の方向を深さ方向として、前記受光用表面埋込領域よりもポテンシャル井戸の深さが深い第 2 導電型の電荷蓄積領域と、

前記電荷蓄積領域が蓄積した前記電荷を読み出す電荷読み出し領域と、

前記半導体領域の上部の一部に埋め込まれ、前記受光用表面埋込領域から前記電荷を排出する排出ドレイン領域と、

20

前記受光用表面埋込領域と前記排出ドレイン領域との間の前記半導体領域の上部に形成されるチャンネルの電位の制御のみで、前記受光用表面埋込領域から前記排出ドレイン領域方向への前記電荷の排出と、前記受光用表面埋込領域から前記電荷蓄積領域方向への前記電荷の転送とを制御する第 1 の電位制御手段と、

前記電荷蓄積領域と前記電荷読み出し領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記電荷蓄積領域から前記電荷読み出し領域へ前記電荷を転送する第 2 の電位制御手段

とを備え、

前記第 1 の電位制御手段が前記受光用表面埋込領域から前記電荷蓄積領域に至る電荷転送経路を挟むような平面パターンで配置されている画素を複数配列したことを特徴とする固体撮像装置。

30

【請求項 6】

前記電荷蓄積領域が前記受光用表面埋込領域よりも 5 ~ 1000 倍高不純物密度であることを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 7】

前記受光用表面埋込領域の少なくとも一部が、複数のストライプ状の平面パターンをなすことを特徴とする請求項 5 又は 6 に記載の固体撮像装置。

【請求項 8】

前記電荷蓄積領域の下方に、第 1 導電型で前記半導体領域よりも高不純物密度のキャリアアブロック層を更に備えることを特徴とする請求項 5 ~ 7 のいずれか 1 項に記載の固体撮像装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光が生成した電子の検出を時間領域で変調する機能をもった半導体素子、及びこの半導体素子を 1 次元又は 2 次元に周期的に配列した固体撮像装置に関する。

【背景技術】

【0002】

1994年に発表された「強度変調された照射野の検出及び復調のための装置（特許文

50

献 1 参照。)」等の画素内に光で発生した電子の検出を時間領域で変調する機能をもったセンサ要素は、「ロックインピクセル」とも呼ばれる。

【 0 0 0 3 】

例えば、CMOS 製造技術を用いて共通の半導体基板の上に、ピクセル光検知ディテクタ、専用の電子回路及び対応する処理回路を形成した 3 次元画像化システムが提案されている(特許文献 2 参照。)。特許文献 2 の実施例においては、各ディテクタは、システムによって放射された光パルスが物体の点から反射され、そしてフォーカスされてピクセルディテクタによって検出される飛行時間(TOF)を用いるものであり、TOF データに比例するクロックパルス数を積算する対応する高速カウンタを有している。TOF データは、放射された光パルスを反射する物体上の点までの距離についての直接のデジタル的な尺度を与える。特許文献 2 の他の実施例では、カウンタ及び高速クロック回路の代わりに電荷蓄積器及び電子シャッタ(S1)が各ピクセルディテクタに設けられる。各ピクセルディテクタは電荷を蓄積し、その総量が往復の TOF の直接的な尺度を与える。

10

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献 1】特表平 10 - 508736 号公報

【特許文献 2】特表 2003 - 510561 号公報

【発明の概要】

【 0 0 0 5 】

(発明が解決しようとする課題)

しかしながら、従来のロックインピクセルを用いたイメージセンサは、いずれも MOS トランジスタのゲート構造を介して、電荷を 1 つ以上の電荷蓄積領域に転送する動作を、変調された光と同期して検出するものである。このため、従来のロックインピクセルを用いたイメージセンサは構造が複雑であり、又 MOS トランジスタのゲート構造を介した転送の場合、シリコン(Si)とシリコン酸化膜(SiO<sub>2</sub>)の界面のトラップに電子が捕獲され、転送遅れが生じるという問題も発生する。

20

【 0 0 0 6 】

上記課題を鑑み、本発明は、画素の構造が簡単で高解像度化が可能であり、高速転送が可能で時間分解能が向上した固体撮像装置(ロックインイメージセンサ)及びこの固体撮像装置のセンサ要素(画素)として用いることの可能な半導体素子を提供することを目的とする。

30

【 0 0 0 7 】

(課題を解決するための手段)

上記目的を達成するために、本発明の第 1 の態様は、第 1 導電型の半導体領域と、半導体領域の上部の一部に埋め込まれ、光を入射する第 2 導電型の受光用表面埋込領域と、半導体領域の上部の一部に受光用表面埋込領域に連続して埋め込まれ、受光用表面埋込領域よりもポテンシャル井戸の深さが深い第 2 導電型の電荷蓄積領域と、電荷蓄積領域が蓄積した電荷を読み出す電荷読み出し領域と、半導体領域の上部の一部に埋め込まれ、受光用表面埋込領域から電荷を排出する排出ドレイン領域と、受光用表面埋込領域と排出ドレイン領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、受光用表面埋込領域から排出ドレイン領域へ電荷を排出する第 1 の電位制御手段と、電荷蓄積領域と電荷読み出し領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、電荷蓄積領域から電荷読み出し領域へ電荷を転送する第 2 の電位制御手段とを備える半導体素子であることを要旨とする。

40

【 0 0 0 8 】

本発明の第 2 の態様は、第 1 導電型の半導体領域と、半導体領域の上部の一部に埋め込まれ、光を入射する第 2 導電型の受光用表面埋込領域と、半導体領域の上部の一部に受光用表面埋込領域に連続して埋め込まれ、受光用表面埋込領域よりもポテンシャル井戸の深さが深い第 2 導電型の電荷蓄積領域と、電荷蓄積領域が蓄積した電荷を読み出す電荷読み

50

出し領域と、半導体領域の上部の一部に埋め込まれ、受光用表面埋込領域から電荷を排出する排出ドレイン領域と、受光用表面埋込領域と排出ドレイン領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、受光用表面埋込領域から排出ドレイン領域へ電荷を排出する第1の電位制御手段と、電荷蓄積領域と電荷読み出し領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、電荷蓄積領域から電荷読み出し領域へ電荷を転送する第2の電位制御手段とを備える画素を、複数配列した固体撮像装置であることを要旨とする。

【0009】

(発明の効果)

本発明によれば、画素の構造が簡単で高解像度化が可能であり、高速転送が可能で時間分解能が向上した固体撮像装置(ロックインイメージセンサ)及びこの固体撮像装置のセンサ要素(画素)として用いることの可能な半導体素子を提供することができる。

【図面の簡単な説明】

【0010】

【図1】図1は、本発明の第1の実施の形態に係る固体撮像装置(2次元イメージセンサ)の半導体チップ上のレイアウトを説明する模式的平面図である。

【図2】図2は、本発明の第1の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する概略的な平面図である。

【図3】図3(a)は、図2のIII-III方向から見た模式的な断面図である。図3(b)は、下方向を電位の正方向として示した、電荷(電子)の電荷蓄積領域への転送の様子を説明するポテンシャル図である(以下、本発明の図面の説明において、ポテンシャル図の電位の正方向はすべて下方向として説明する)。図3(c)は、電荷の排出ドレイン領域への排出の様子を説明するポテンシャル図である。

【図4】図4は、排出ゲート電極に制御信号を与えた場合のポテンシャル図であり、破線は制御信号として高い電圧を与えた場合、実線は制御信号として低い電圧を与えた場合のポテンシャル図である。

【図5】図5は、本発明の第1の実施の形態の変形例に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する概略的な平面図である。

【図6】図6(a)は、図5のVI-VI方向から見た模式的な断面図であり、図6(b)は、図6(a)の断面図において、第2の排出ドレイン領域、受光用表面埋込領域、第1の排出ドレイン領域を水平面で切った断面に沿ったポテンシャル図であり、受光用表面埋込領域から電荷蓄積領域に向かう電荷転送経路を垂直に切った伝導帯端のポテンシャル形状である。

【図7】図7(a)は、本発明の第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法を説明する工程断面図であり、pウェルが形成された段階を示す。図7(b)は、図7(a)の工程の段階に続く、第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法を説明する工程断面図である。図7(c)は、図7(b)の工程の段階に続く、第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法を説明する工程断面図である。

【図8】図8(a)は、図7(c)の工程の段階に続く、第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法を説明する工程断面図である。図8(b)は、図8(a)の工程の段階に続く、第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法を説明する工程断面図である。図8(c)は、図8(b)の工程の段階に続く、第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法を説明する工程断面図である。

【図9】図9は、第1の実施の形態に係る固体撮像装置の読み出し方法を、排出ゲート電極に印加する制御信号TXDの繰り返し周期を基礎として、説明するタイミングチャートである。

【図10】図10は、第1の実施の形態に係る固体撮像装置の読み出し方法を、1フレームについて説明するタイミングチャートである。

【図11】図11は、第1の実施の形態に係る固体撮像装置を用いて、蛍光の寿命を測定

10

20

30

40

50

する場合のタイミング図である。

【図12】図12は、本発明の第2の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の模式的な断面図である。

【図13】図13は、光源としてのLED照明を背景光に対して相対的に増強させる場合のタイミング図である。

【図14】図14は、本発明のその他の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する概略的な平面図である。

【発明を実施するための形態】

【0011】

次に、図面を参照して、本発明の第1及び第2の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

10

【0012】

又、以下に示す第1及び第2の実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

20

【0013】

(第1の実施の形態)

本発明の第1の実施の形態に係る固体撮像装置(2次元イメージセンサ)は、図1に示すように、画素アレイ部1と周辺回路部(2, 3, 4, 5, 6)とを同一の半導体チップ上に集積化している。画素アレイ部には、2次元マトリクス状に多数の画素 $X_{ij}$ ( $i = 1 \sim m$ ;  $j = 1 \sim n$ ;  $m, n$ はそれぞれ整数である。)が配列されており、方形の撮像領域を構成している。そして、この画素アレイ部の下辺部には、画素行 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ 方向に沿って水平走査回路(シフトレジスタ)2が設けられ、画素アレイ部の左辺部には画素列 $X_{11}, \dots, X_{i1}, \dots, X_{(n-2)1}, X_{(n-1)1}, X_{n1}; X_{12}, \dots, X_{i2}, \dots, X_{(n-2)2}, X_{(n-1)2}, X_{n2}; X_{13}, \dots, X_{i3}, \dots, X_{(n-2)3}, X_{(n-1)3}, X_{n3}; \dots; X_{1j}, \dots, X_{ij}, \dots, X_{(n-2)j}, X_{(n-1)j}, X_{nj}; \dots; X_{1m}, \dots, X_{im}, \dots, X_{(n-2)m}, X_{(n-1)m}, X_{nm}$ 方向に沿って垂直走査回路(シフトレジスタ)3が設けられている。垂直走査回路(シフトレジスタ)3及び水平走査回路(シフトレジスタ)2には、タイミング発生回路4が接続されている。

30

【0014】

タイミング発生回路4、水平走査回路2及び垂直走査回路3によって画素アレイ部内の画素 $X_{ij}$ が順次走査され、画素信号の読み出しや電子シャッタ動作が実行される。即ち、本発明の第1の実施の形態に係る固体撮像装置では、画素アレイ部を各画素行 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ 単位で垂直方向に走査することにより、各画素行 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ の画素信号を各画素列 $X_{11}, \dots, X_{i1}, \dots, X_{(n-2)1}, X_{(n-1)1}, X_{n1}; X_{12}, \dots, X_{i2}, \dots, X_{(n-2)2}, X_{(n-1)2}, X_{n2}; X_{13}, \dots, X_{i3}, \dots, X_{(n-2)3}, X_{(n-1)3}, X_{n3}; \dots; X_{1j}, \dots, X_{ij}, \dots, X_{(n-2)j}, X_{(n-1)j}, X_{nj}; \dots; X_{1m}, \dots, X_{im}, \dots, X_{(n-2)m}, X_{(n-1)m}, X_{nm}$ 毎に設けられた垂直信号線によって画素信号を読み出す構成となっている。

40

【0015】

第1の実施の形態に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ 内の画素回路として機能する半導体素子の平面構造の一例を、図2に、対応する断面図を図3(a)に示す。

50

## 【 0 0 1 6 】

図3(a)は、図2に示した半導体素子のIII-III方向から見た断面構造であり、先に図3(a)を説明する。図3(a)に示すように、半導体素子は、第1導電型(p型)の半導体領域21と、半導体領域21とフォトダイオードを構成するように、半導体領域21の上部の一部に埋め込まれ、光を入射する第2導電型(n型)の受光用表面埋込領域(受光カソード領域)23と、半導体領域21の上部の一部に受光用表面埋込領域(受光カソード領域)23と隣接(連続)して埋め込まれ、フォトダイオードが生成した電荷を移動させる場の方向を深さ方向として、受光用表面埋込領域(受光カソード領域)23よりもポテンシャル井戸(電子井戸)の深さが深く(図3(b)及び図3(c)参照。)、受光用表面埋込領域(受光カソード領域)23が生成した電荷を蓄積する第2導電型(n<sup>+</sup>型)の電荷蓄積領域24と、電荷蓄積領域24が蓄積した電荷を受け入れる第2導電型(n<sup>+</sup>型)の電荷読み出し領域27と、受光用表面埋込領域(受光カソード領域)23が生成した電子を排出する第2導電型(n<sup>+</sup>型)の排出ドレイン領域25とを備える。電子はポテンシャルの高い方向に向かって移動し、正孔はポテンシャルの低い方向に向かって移動する。よって、本明細書において、「信号電荷を移動させる場の方向」とは、電子に対しては電気力線とは反対の方向を意味し、正孔に対しては電気力線の方向を意味する。

10

## 【 0 0 1 7 】

図2に一点鎖線で示したように、電荷読み出し領域27と排出ドレイン領域25とを囲むように、半導体領域21より高不純物密度の第1導電型のウェル(pウェル)22が形成されている。図3(a)では「第1導電型の半導体領域」としては、第1導電型の半導体領域21を用いる場合を例示しているが、半導体領域21の代わりに、第1導電型の半導体基板上に形成した半導体基板よりも低不純物密度の第1導電型のシリコンエピタキシャル成長層を形成して、エピタキシャル成長層を第1導電型の半導体からなる半導体領域21として採用しても良く、第2導電型(n型)の半導体基板上に、第1導電型(p型)のシリコンエピタキシャル成長層を形成して、エピタキシャル成長層を第1導電型の半導体からなる半導体領域21として採用しても良い。第2導電型(n型)の半導体基板上に、pn接合を形成するように、第1導電型(p型)のエピタキシャル成長層を形成すれば、長い波長の場合光が、第2導電型の半導体基板深くまで浸入するが、第2導電型の半導体基板で発生した光によるキャリアは、pn接合のビルトインポテンシャルによる電位障壁のため第1導電型のエピタキシャル成長層まで入って来られないので、第2導電型の半導体基板深くで発生したキャリアを積極的に捨てることができる。これによって、深い位置で発生したキャリアが拡散で戻ってきて、隣の画素に漏れ込むのを防ぐことが可能になる。これは特に、RGBのカラーフィルタが搭載された単板カラーのイメージセンサの場合に、色の混合を起こさないようにできる効果を奏する。

20

30

## 【 0 0 1 8 】

受光用表面埋込領域(受光カソード領域)23と、受光用表面埋込領域(受光カソード領域)23の直下の半導体領域(アノード領域)21とで第1の埋め込みフォトダイオード(以下において、単に「フォトダイオード」という。)D1を構成している。電荷蓄積領域(カソード領域)24と、電荷蓄積領域24の直下の半導体領域(アノード領域)21とで第2の埋め込みフォトダイオード(以下において「電荷蓄積ダイオード」という。)D2を構成している。

40

## 【 0 0 1 9 】

受光用表面埋込領域23の上から電荷蓄積領域24の上に渡り、p<sup>+</sup>型ピニング層26が配置されている。p<sup>+</sup>型ピニング層26は、ダーク時の表面でのキャリアの生成を抑制する層であり、ダーク電流削減のために好ましい層として用いている。

## 【 0 0 2 0 】

p<sup>+</sup>型ピニング層26上の半導体領域21の上、及び受光用表面埋込領域23と電荷読み出し領域27との間の半導体領域21の上にはゲート絶縁膜30が形成されている。ゲート絶縁膜30としては、シリコン酸化膜(SiO<sub>2</sub>膜)が好適であるが、シリコン酸化膜(SiO<sub>2</sub>膜)以外の種々の絶縁膜を用いた絶縁ゲート型トランジスタ(MISトラン

50

ジスタ)の絶縁ゲート構造をなしても良い。例えば、シリコン酸化膜(SiO<sub>2</sub>膜)/シリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>膜)/シリコン酸化膜(SiO<sub>2</sub>膜)の3層積層膜からなるONO膜でも良い。更には、ストロンチウム(Sr)、アルミニウム(Al)、マグネシウム(Mg)、イットリウム(Y)、ハフニウム(Hf)、ジルコニウム(Zr)、タンタル(Ta)、ビスマス(Bi)のいずれか1つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物等がゲート絶縁膜30として使用可能である。

#### 【0021】

ゲート絶縁膜30上には、電荷蓄積領域24と電荷読み出し領域27との間に形成される転送チャンネルの電位を制御して、電荷蓄積領域24から電荷読み出し領域27へ電荷を転送する読み出しゲート電極32と、受光用表面埋込領域23と排出ドレイン領域25との間に形成される排出チャンネルの電位を制御して、受光用表面埋込領域23から、受光用表面埋込領域23が生成した電子を排出ドレイン領域25へ電荷を転送する排出ゲート電極31が配置されている。ゲート絶縁膜30上には、読み出しゲート電極32と排出ゲート電極31とを含んで層間絶縁膜36が形成されている。ゲート絶縁膜30とゲート絶縁膜30上の排出ゲート電極31とで、受光用表面埋込領域23と排出ドレイン領域25との間の半導体領域21の上部に形成されるチャンネルの電位を制御して、受光用表面埋込領域23から排出ドレイン領域25へ電荷を排出する第1の電位制御手段(31, 30)を構成している。又、ゲート絶縁膜30とゲート絶縁膜30上の読み出しゲート電極32とで、排出ゲート電極31と電荷蓄積領域24と電荷読み出し領域との間の半導体領域21の上部に形成されるチャンネルの電位を制御して、電荷蓄積領域24から電荷読み出し領域へ電荷を転送する第2の電位制御手段(32, 30)を構成している。

#### 【0022】

図3(b)及び図3(c)は、図3(a)の断面図において、受光用表面埋込領域23、電荷蓄積領域24、電荷読み出し領域27を水平面で切った断面におけるポテンシャル図であり、電荷(電子)を黒丸で示している。図3(a)に対応して、図3(b)及び図3(c)の中央の左側に受光用表面埋込領域23の伝導帯端のポテンシャル井戸(第1のポテンシャル井戸)PW1を示す。更に、第1のポテンシャル井戸PW1の右側に、電荷蓄積領域24の伝導帯端のポテンシャル井戸(第2のポテンシャル井戸)PW2を示す。更に、第2のポテンシャル井戸PW2の右側に、電荷読み出し領域27のポテンシャル井戸を右上がりのハッチングで示す。第2のポテンシャル井戸PW2と、電荷読み出し領域27のポテンシャル井戸との間の電位障壁は、読み出しゲート電極32直下の半導体領域21の伝導帯端のポテンシャル分布に相当する。一方、第1のポテンシャル井戸PW1の左側に、排出ドレイン領域25のポテンシャル井戸を右上がりのハッチングで示す。第1のポテンシャル井戸PW1と、排出ドレイン領域25のポテンシャル井戸との間の電位障壁は、排出ゲート電極31直下の半導体領域21の伝導帯端のポテンシャル分布に相当する。第1の実施の形態に係る固体撮像装置の説明では、第1導電型をp型、第2導電型をn型として、転送、蓄積等の処理をされる電荷が電子である場合を例示的に説明している。このため、図3(b)、図3(c)に示すポテンシャル図において、図の下方方向(深さ方向)が、電位(ポテンシャル)の正方向として表現しており、下方方向がフォトダイオードが生成した電荷を移動させる場の方向である。したがって、第1導電型をn型、第2導電型をp型として、電気的な極性を反対とする場合においては、処理される電荷が正孔となるが、正孔に対しては、半導体素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状等は、図の下方方向(深さ方向)を、電位の負方向として表現される。しかし、電荷が正孔の場合も、ポテンシャル(電位)的には逆となるが、図3(b)、図3(c)の下方方向がフォトダイオードが生成した電荷(正孔)を移動させる場の方向である。

#### 【0023】

図3(b)及び図3(c)に示すように、受光用表面埋込領域23と電荷蓄積領域24との間にポテンシャルバリアを設けないようにして、受光用表面埋込領域23の完全空乏化したときの第1のポテンシャル井戸PW1の深さが、電荷蓄積領域24の完全空乏化し

10

20

30

40

50

たときの第2のポテンシャル井戸PW2の深さよりも階段状(ステップ状)に浅くなるようにするためには、例えば、受光用表面埋込領域23の不純物密度よりも電荷蓄積領域24の不純物密度が階段状に高くなるように、それぞれの不純物密度を選ば良い。受光用表面埋込領域23の不純物密度よりも電荷蓄積領域24の不純物密度を階段状に高く設定する方法は、公知の種々の方法が採用可能である。但し、図2に示した平面パターンにおけるマスク位置のずれによるポテンシャルバリアが発生しないようにするためには、図2に示すように、電荷蓄積領域24には、深い第2のポテンシャル井戸PW2を形成するようにn型の不純物が2回イオン注入され(不純物密度 $n_1$ と不純物密度 $n_2$ )、浅い第1のポテンシャル井戸PW1を形成したい領域には1回のみイオン注入される(不純物密度 $n_1$ のみ)ようにすれば良い。即ち、図2の平面図において受光用表面埋込領域23と電荷蓄積領域24との両方を含む広い領域への不純物密度 $n_1$ を実現するためのイオン注入のマスクと、電荷蓄積領域24のみからなる狭い領域への不純物密度 $n_2$ のイオン注入のマスクを用意し、マスク合わせにより選択的に1回のみイオン注入される領域と選択的に2回イオン注入される領域を形成して階段状の不純物密度分布を実現すれば良い。

#### 【0024】

図3(a)の断面図では、受光用表面埋込領域23及び電荷蓄積領域24の上に配置された矩形のp<sup>+</sup>型ピニング層26が、図2の平面図では受光用表面埋込領域23の上方から下方に渡って、受光用表面埋込領域23の両側にはみ出して配置され、同様に、電荷蓄積領域24の上方から下方に渡って、電荷蓄積領域24の両側にはみ出して配置されている。即ち、p<sup>+</sup>型ピニング層26の平面パターンは、図2において受光用表面埋込領域23及び電荷蓄積領域24が占める領域と、その両側にはみ出した領域を含む十字型の領域である。図2の平面図に示すように、受光用表面埋込領域23の上端の一部、左端及び下端の一部を囲むように、排出ゲート電極31が型をなすように直角に屈折して延伸している。そして、排出ゲート電極31の外側にコの字形の排出ドレイン領域25が排出ゲート電極31の一部を囲むように形成されている。排出ドレイン領域25と排出ゲート電極31とは、図示を省略した表面配線により互いに接続されている。受光用表面埋込領域23の上にはp<sup>+</sup>型ピニング層26が形成されているので、半導体領域21の最上層に着目すれば、p<sup>+</sup>型ピニング層26とコの字形の排出ドレイン領域25の間に型の排出ゲート電極31が型に屈折して延伸していることになる。更に、p<sup>+</sup>型ピニング層26とn<sup>+</sup>型電荷読み出し領域27との間には読み出しゲート電極32が延伸している。

#### 【0025】

図2の平面図に示すように、受光用表面埋込領域23、電荷蓄積領域24、電荷読み出し領域27及び排出ドレイン領域25を囲むように、一点鎖線で示した領域の外側に第1導電型のウェル(pウェル)22が形成されている。一点鎖線の更に外側のピニング層26を囲む太い実線は、素子分離領域との境界を示す。即ち、ピニング層26を囲む太い実線の外側が、LOCOS(Local oxidation of silicon)法やSTI(Shallow Trench Isolation:浅溝型素子分離)法に用いられるゲート絶縁膜よりも厚い素子分離絶縁膜35(図3(a)参照。)の領域である。読み出しゲート電極32及び排出ゲート電極31はその両端がY方向にそれぞれ延伸し、図2に示すように、ピニング層26を囲む太い実線の外側の素子分離絶縁膜35の上まで配線されている。

#### 【0026】

例えば、排出ドレイン領域25に接続された排出ゲート電極31に制御信号TXDとして高い電圧(正の電圧)を与えると、図3(c)に示すような受光用表面埋込領域23から排出ドレイン領域25の方に向かう空乏化電位の傾きが発生する。図3(c)に示すような傾きのポテンシャル分布に起因する電界によって、受光用表面埋込領域23で発生した殆どの電子は排出ドレイン領域25に排出される。

#### 【0027】

一方、排出ゲート電極31に制御信号TXDとして低い電圧(0V、又は-1V程度の負電圧)を与えると、図3(b)に示すように、受光用表面埋込領域23と排出ドレイン領域25との間に電子に対する電位障壁が形成され、受光用表面埋込領域23から電荷蓄

10

20

30

40

50



積領域 2 4 の方に向かう空乏化電位の傾きが発生する。よって、受光用表面埋込領域 2 3 から排出ドレイン領域 2 5 には電子は排出が止まり、図 3 ( b ) に示すようなポテンシャル分布に起因する電界によって、受光用表面埋込領域 2 3 で発生した殆どの電子 ( 電荷 ) が、電荷蓄積領域 2 4 に転送される。

【 0 0 2 8 】

以上のように、受光用表面埋込領域 2 3 と電荷蓄積領域 2 4 との間に特別なゲート構造を設けることなく、排出ゲート電極 3 1 の電位制御だけで、光による発生電子の電荷蓄積領域 2 4 への蓄積を変調することができる。又、排出ゲート電極 3 1 に制御信号 T X D として低い電圧を与えたときには、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 の方に向かう空乏化電位の傾きが形成されているので、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 にすべての電荷を転送する完全転送が実現できる。この完全転送により、残像を防止でき、残電荷によるランダムノイズの発生を防止できる。

10

【 0 0 2 9 】

このように、第 1 の実施の形態に係る固体撮像装置によれば、発生した光電子を排出する排出ゲート電極 3 1 の電位制御だけで、電荷蓄積領域 2 4 への転送を制御することができるので、画素の構造が簡単化され、高解像度化が可能になる。又、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 に至る電荷転送経路にゲート構造やスイッチがないため、ゲート電極下を電子が通過するときのシリコン / 酸化膜界面 ( S i - S i O<sub>2</sub> 界面 ) での電子のトラップがなく、高速転送が可能となるため、時間分解能が向上する。更に、受光用表面埋込領域 2 3 と電荷蓄積領域 2 4 が 1 つの埋込みフォトダイオード構造となっているため、暗電流ノイズ、転送ノイズ等のノイズの抑制の点からも有利となる。

20

【 0 0 3 0 】

図 4 は、破線で示した排出ゲート電極 3 1 に制御信号 T X D として高い電圧 ( 2 V ) を与えた場合と、実線で示した排出ゲート電極 3 1 に制御信号 T X D として低い電圧 ( - 1 V ) を与えた場合に、図 3 ( a ) の断面図の水平方向の最大電位をシミュレーションによって求めてプロットしたものである。このように、排出ゲート電極 3 1 に印加する制御信号 T X D によって、受光用表面埋込領域 2 3 での電位傾斜の方向を制御できることが分かる。

【 0 0 3 1 】

一方、読み出しゲート電極 3 2 は、転送チャネルの電位をゲート絶縁膜 3 0 を介して静電的に制御する。例えば、読み出しゲート電極 3 2 に制御信号 T X として低い電圧 ( 0 V 、又は負電圧 ) を与えると、電荷蓄積領域 2 4 と電荷読み出し領域 2 7 との間に電子に対する電位障壁が形成され、電荷蓄積領域 2 4 から電荷読み出し領域 2 7 へ電荷は転送されない。一方、読み出しゲート電極 3 2 に制御信号 T X として高い電圧 ( 正の電圧 ) を与えると、電荷蓄積領域 2 4 と電荷読み出し領域 2 7 との間の電位障壁の高さが減少、若しくは消滅し、電荷蓄積領域 2 4 から電荷読み出し領域 2 7 へ電荷が転送される。

30

【 0 0 3 2 】

図 3 ( a ) に示すように、電荷読み出し領域 2 7 には、読み出し用バッファアンプを構成する信号読み出しトランジスタ ( 増幅トランジスタ ) T A<sub>ij</sub> のゲート電極が接続されている。信号読み出しトランジスタ ( 増幅トランジスタ ) T A<sub>ij</sub> のドレイン電極は電源 V D D に接続され、ソース電極は画素選択用のスイッチングトランジスタ T S<sub>ij</sub> のドレイン電極に接続されている。画素選択用のスイッチングトランジスタ T S<sub>ij</sub> のソース電極は、垂直信号線 B<sub>j</sub> に接続され、ゲート電極には水平ラインの選択用制御信号 S ( i ) が垂直走査回路 3 から与えられる。選択用制御信号 S ( i ) をハイ ( H ) レベルにすることにより、スイッチングトランジスタ T S<sub>ij</sub> が導通し、信号読み出しトランジスタ ( 増幅トランジスタ ) T A<sub>ij</sub> で増幅された電荷読み出し領域 2 7 の電位に対応する電流が垂直信号線 B<sub>j</sub> に流れる。更に、電荷読み出し領域 2 7 には、読み出し用バッファアンプを構成するリセットトランジスタ T R<sub>ij</sub> のソース電極が接続されている。リセットトランジスタ T R<sub>ij</sub> のドレイン電極は電源 V D D に接続され、ゲート電極にはリセット信号 R ( i ) が与えられる。リセット信号 R ( i ) をハイ ( H ) レベルにして、電荷読み出し領域 2 7 に蓄積され

40

50

た電荷を吐き出し、電荷読み出し領域 27 をリセットする。

【0033】

半導体領域 21 は、不純物密度  $5 \times 10^{12} \text{ cm}^{-3}$  程度以上、 $5 \times 10^{16} \text{ cm}^{-3}$  程度以下程度が好ましい。受光用表面埋込領域 23 の不純物密度は、 $1 \times 10^{17} \text{ cm}^{-3}$  程度以上、 $8 \times 10^{18} \text{ cm}^{-3}$  程度以下、好ましくは  $2 \times 10^{17} \text{ cm}^{-3}$  程度以上、 $1 \times 10^{18} \text{ cm}^{-3}$  程度以下、代表的には、例えば  $8 \times 10^{17} \text{ cm}^{-3}$  程度の比較的的空乏化が容易な値が採用可能であり、その厚さは  $0.1 \sim 3 \mu\text{m}$  程度、好ましくは  $0.5 \sim 1.5 \mu\text{m}$  程度とすることが可能である。一方、電荷蓄積領域 24 の不純物密度は、 $1 \times 10^{19} \text{ cm}^{-3}$  程度以上、 $1 \times 10^{21} \text{ cm}^{-3}$  程度以下、好ましくは  $2 \times 10^{19} \text{ cm}^{-3}$  程度以上、 $5 \times 10^{20} \text{ cm}^{-3}$  程度以下、代表的には、例えば  $3 \times 10^{19} \text{ cm}^{-3}$  程度の値が採用可能であり、その厚さは  $0.1 \sim 3 \mu\text{m}$  程度、好ましくは  $0.5 \sim 1.5 \mu\text{m}$  程度とすることが可能である。電荷蓄積領域 24 の不純物密度は、受光用表面埋込領域 23 の不純物密度の  $5 \sim 1000$  倍、好ましくは  $10 \sim 300$  倍程度に設定しておけば良い。

10

【0034】

ゲート絶縁膜 30 を熱酸化膜で形成する場合は、熱酸化膜の厚さは、 $150 \text{ nm}$  程度以上、 $1000 \text{ nm}$  程度以下、好ましくは  $200 \text{ nm}$  程度以上、 $400 \text{ nm}$  程度以下とすれば良い。ゲート絶縁膜 30 を熱酸化膜以外の誘電体膜とする場合は、熱酸化膜の比誘電率  $\epsilon_r$  ( $1 \text{ MHz}$  で  $\epsilon_r = 3.8$ ) で換算した等価な厚さとすれば良い。例えば、比誘電率  $\epsilon_r = 4.4$  である CVD 酸化膜を用いるのであれば上記厚さを  $4.4 / 3.8 = 1.16$  倍した厚さを、比誘電率  $\epsilon_r = 7$  であるシリコン窒化物 ( $\text{Si}_3\text{N}_4$ ) 膜を用いるのであれば上記厚さを  $7 / 3.8 = 1.84$  倍した厚さを採用すれば良い。但し、標準的な CMOS 技術で形成される酸化膜 ( $\text{SiO}_2$  膜) を用いるのが好ましく、CMOS 技術におけるフィールド酸化膜を用いるのが製造工程の簡略化に適している。

20

【0035】

図 3 (a) に示すように、遮光膜 41 の開口部 42 は、光電荷の発生が、フォトダイオード D1 を構成している受光用表面埋込領域 23 の直下の半導体領域 21 で生じるように選択的に設けられている。図 3 (a) では、ゲート絶縁膜 30 のみを示しているが、遮光膜 41 は、図示を省略した多層配線構造をなす複数の層間絶縁膜の内のいずれかの上部に設けられたアルミニウム (Al) 等の金属薄膜で構成すれば良い。

【0036】

(第 1 の実施の形態の変形例)

図 5 に示すように、第 1 の実施の形態の変形例に係る固体撮像装置は、固体撮像装置のそれぞれの画素として機能する半導体素子が、光を入射する第 2 導電型 (n 型) の受光用表面埋込領域 23 と、受光用表面埋込領域 23 と一部重複して埋め込まれ、受光用表面埋込領域 23 よりもポテンシャル井戸 (電子井戸) の深さが深く (図 3 (b) 及び図 3 (c) 参照)、受光用表面埋込領域 23 が生成した電荷を蓄積する第 2 導電型 (n<sup>+</sup> 型) の電荷蓄積領域 24 と、電荷蓄積領域 24 が蓄積した電荷を受け入れる第 2 導電型 (n<sup>+</sup> 型) の電荷読み出し領域 27 と、受光用表面埋込領域 23 が生成した電子を排出する第 2 導電型 (n<sup>+</sup> 型) の第 1 の排出ドレイン領域 25 a 及び第 2 の排出ドレイン領域 25 b とを備える。受光用表面埋込領域 23 は、二股フォークの形状にパターンニングされている。

30

40

【0037】

受光用表面埋込領域 23 と電荷蓄積領域 24 との間にポテンシャルバリアを設けないような、受光用表面埋込領域 23 の完全空乏化したときの第 1 のポテンシャル井戸 PW1 の深さが、電荷蓄積領域 24 の完全空乏化したときの第 2 のポテンシャル井戸 PW2 の深さよりも階段状 (ステップ状) に浅くなるようなポテンシャルプロファイルにするためには、既に説明したとおり、それぞれの不純物密度を選べば良い。図 5 に示した平面パターンにおけるマスク位置のずれによるポテンシャルバリアが発生しないようにするためには、図 5 に示すように、電荷蓄積領域 24 には、深い第 2 のポテンシャル井戸 PW2 を形成するように n 型の不純物が 2 回イオン注入され (不純物密度  $n_1$  と不純物密度  $n_2$ )、浅い第 1 のポテンシャル井戸 PW1 を形成したい領域には 1 回のみイオン注入される (不純物密

50

度  $n_1$  のみ) ようにすれば良い。

【 0 0 3 8 】

図 2 に示すように受光用表面埋込領域 2 3 の電荷転送方向に垂直となる方向に測った幅が電荷蓄積領域 2 4 が広いが、ほぼ同様なパターンを用いている場合には、第 2 のポテンシャル井戸 P W 2 を第 1 のポテンシャル井戸 P W 1 より深くするためには、不純物密度の制御等が必要になる。第 1 の実施の形態の変形例に係る固体撮像装置では、それぞれの画素  $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$  内の半導体素子の平面構造として、図 5 に示すように、二股フォークの形状にパターンニングすることにより、二股フォークの部分の受光用表面埋込領域 2 3 a は容易に空乏化する。即ち、二股フォークの部分に着目すれば、第 1 のポテンシャル井戸 P W 1 の底 (空乏化したときの電位) を実効的に第 2 のポテンシャル井戸 P W 2 の底よりも高くすることができる。即ち、受光用表面埋込領域 2 3 の一部を縞状 (ストライプ状) のパターンにすれば、幅の狭い縞状 (ストライプ状) のパターンの部分が容易に空乏化するので、第 1 のポテンシャル井戸 P W 1 の底 (空乏化したときの電位) を実効的に第 2 のポテンシャル井戸 P W 2 の底よりも高くすることができる。

10

【 0 0 3 9 】

したがって、受光用表面埋込領域 2 3 の形状は、二股フォークの形状だけでなく、三股フォークの形状でも、4 本以上の歯を有する楕形の形状でも構わない。電荷蓄積領域 2 4 と受光用表面埋込領域 2 3 とを異なる不純物密度にする代わりに、受光用表面埋込領域 2 3 の平面パターンの少なくとも一部を細くすることにより、細くした部分の受光用表面埋込領域 2 3 は容易に空乏化するので、この場合は、受光用表面埋込領域 2 3 と電荷蓄積領域 2 4 との不純物密度は同一でも構わない。受光用表面埋込領域 2 3 よりも電荷蓄積領域 2 4 の不純物密度を高くした場合は、受光用表面埋込領域 2 3 の一部となる縞状 (ストライプ状) のパターンの部分のポテンシャル井戸の底が一番浅くなるので、第 1 のポテンシャル井戸 P W 1 の底が 2 つのレベルを有することになる。したがって、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 に至る電荷転送経路に沿って、ポテンシャル井戸の底に 2 段のステップが生じることとなる。

20

【 0 0 4 0 】

図 6 ( a ) に、図 5 の VI - VI 方向から見た断面図を示すように、受光用表面埋込領域 2 3、及びこの受光用表面埋込領域 2 3 を両側から挟む位置に配置された第 1 の排出ドレイン領域 2 5 a 及び第 2 の排出ドレイン領域 2 5 b は、第 1 導電型 ( p 型 ) の半導体領域 2 1 の表面の一部に埋め込まれている。受光用表面埋込領域 2 3 の上には、 p + 型ピニング層 2 6 が配置され、 p + 型ピニング層 2 6 の上、 p + 型ピニング層 2 6 と第 1 の排出ドレイン領域 2 5 a の間の半導体領域 2 1 の上、及び、 p + 型ピニング層 2 6 と第 2 の排出ドレイン領域 2 5 b の間の半導体領域 2 1 の上にはゲート絶縁膜 ( 図示省略。 ) が形成されている ( p + 型ピニング層 2 6 は、受光用表面埋込領域 2 3 と同様に二股フォークの形状となっても、二股部分が連続したパターンとなっても構わない。 ) 。ゲート絶縁膜上には、受光用表面埋込領域 2 3 が生成した電子を第 1 の排出ドレイン領域 2 5 a 及び第 2 の排出ドレイン領域 2 5 b へそれぞれ排出する第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b が配置されている。第 1 の排出ドレイン領域 2 5 a と第 1 の排出ゲート電極 3 1 a とは、図示を省略した表面配線により互いに接続され、第 2 の排出ドレイン領域 2 5 b と第 2 の排出ゲート電極 3 1 b とは、図示を省略した表面配線により互いに接続されている。図示を省略しているが、図 3 ( a ) に示したのと同様に、ゲート絶縁膜上には、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b を含んで層間絶縁膜が形成されている。

30

40

【 0 0 4 1 】

受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 に向かう X 方向に沿った断面図の図示を省略しているが、図 5 から理解できるように、図 3 ( a ) に示したのと同様に、電荷蓄積領域 2 4 及び電荷読み出し領域 2 7 も半導体領域 2 1 の表面の一部に埋め込まれている。即ち、図 5 に示したとおり、受光用表面埋込領域 2 3 の上から電荷蓄積領域 2 4 の上に渡

50

る領域の上に p<sup>+</sup>型ピニング層 2 6 が配置されている。そして、p<sup>+</sup>型ピニング層 2 6 の上、p<sup>+</sup>型ピニング層 2 6 と第 1 の排出ドレイン領域 2 5 a の間の半導体領域 2 1 の上、p<sup>+</sup>型ピニング層 2 6 と第 2 の排出ドレイン領域 2 5 b の間の半導体領域 2 1 の上及び受光用表面埋込領域 2 3 と電荷読み出し領域 2 7 との間の半導体領域 2 1 の上にはゲート絶縁膜が形成されている。

#### 【0042】

図 5 に示すように、電荷蓄積領域 2 4 と電荷読み出し領域 2 7 との間には、電荷蓄積領域 2 4 から電荷読み出し領域 2 7 へ電荷を転送する読み出しゲート電極 3 2 が配置されている。読み出しゲート電極 3 2 は、ゲート絶縁膜（図示省略。）を介して、電荷蓄積領域 2 4 と電荷読み出し領域 2 7 との間に形成される転送チャンネルの電位を制御して、電荷蓄積領域 2 4 から電荷読み出し領域 2 7 へ電荷を転送する。ゲート絶縁膜 3 0 とゲート絶縁膜 3 0 上の読み出しゲート電極 3 2 とで、排出ゲート電極 3 1 と電荷蓄積領域 2 4 と電荷読み出し領域との間の半導体領域 2 1 の上部に形成されるチャンネルの電位を制御して、電荷蓄積領域 2 4 から電荷読み出し領域へ電荷を転送する第 2 の電位制御手段（3 2 , 3 0）を構成している。

10

#### 【0043】

更に、受光用表面埋込領域 2 3 と第 1 の排出ドレイン領域 2 5 a の間には、Z 型をなすように直角に折れ曲がった第 1 の排出ゲート電極 3 1 a が配置され、受光用表面埋込領域 2 3 と第 2 の排出ドレイン領域 2 5 b の間には、Z 型をなすように直角に折れ曲がった第 2 の排出ゲート電極 3 1 b が配置されている。ゲート絶縁膜 3 0 と、ゲート絶縁膜 3 0 上の第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b とで、受光用表面埋込領域 2 3 と第 1 の排出ドレイン領域 2 5 a の間の半導体領域 2 1 の上部及び受光用表面埋込領域 2 3 と第 2 の排出ドレイン領域 2 5 b の間の半導体領域 2 1 の上部に形成されるチャンネルの電位をそれぞれ制御して、受光用表面埋込領域 2 3 から第 1 の排出ドレイン領域 2 5 a 及び第 2 の排出ドレイン領域 2 5 b へそれぞれ電荷を排出する第 1 の電位制御手段（3 1 a , 3 1 b , 3 0）を構成している。図 5 において、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b とは平面パターンとしては空間的に独立した 2 つのパターンであるかのように表示されているが、電気的には互いに短絡されて同一の制御信号 TXD が印加される単一の第 1 の電位制御手段（3 1 a , 3 1 b , 3 0）の一部として機能する。したがって、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b とは同一のポリシリコン膜で紙面の範囲外の箇所接続されていても良く、層間絶縁膜を介して他の表面配線で接続されていても良い。

20

30

#### 【0044】

第 1 の排出ゲート電極 3 1 a は、受光用表面埋込領域 2 3 と第 1 の排出ドレイン領域 2 5 a との間に形成される排出チャンネルの電位を制御して、受光用表面埋込領域 2 3 から、受光用表面埋込領域 2 3 が生成した電子を第 1 の排出ドレイン領域 2 5 a へ排出し、第 2 の排出ゲート電極 3 1 b は、受光用表面埋込領域 2 3 と第 2 の排出ドレイン領域 2 5 b との間に形成される排出チャンネルの電位を制御して、受光用表面埋込領域 2 3 から、受光用表面埋込領域 2 3 が生成した電子を第 2 の排出ドレイン領域 2 5 b へ排出する。第 1 の実施の形態の変形例に係る半導体素子においては、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 への電荷の転送の変調度と高めるため、図 5 に示すように、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b は、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 に至る電荷転送経路を両側から挟むようにして配置されている。

40

#### 【0045】

図 5 の平面図に示すように、受光用表面埋込領域 2 3、電荷蓄積領域 2 4、電荷読み出し領域 2 7 及び第 1 の排出ドレイン領域 2 5 a 及び第 2 の排出ドレイン領域 2 5 b を囲む一点鎖線が示されているが、一点鎖線で示した領域の外側に第 1 導電型のウェル（p ウェル）が形成されている。一点鎖線の更に外側のピニング層 2 6 を囲む太い実線は、素子分離領域との境界を示す。即ち、ピニング層 2 6 を囲む太い実線の外側が、ゲート絶縁膜よりも厚い素子分離絶縁膜（図示省略。）の領域である。読み出しゲート電極 3 2 及び排出

50

ゲート電極 3 1 はその両端が Y 方向にそれぞれ延伸し、図 5 に示すように、ピニング層 2 6 を囲む太い実線の外側の素子分離絶縁膜の上まで配線されている。

【 0 0 4 6 】

図 6 ( b ) は、図 6 ( a ) の断面図において、第 2 の排出ドレイン領域 2 5 b、受光用表面埋込領域 2 3、第 1 の排出ドレイン領域 2 5 a を水平面で切った断面におけるポテンシャル図である。図 6 ( a ) に対応して、図 6 ( b ) の中央に受光用表面埋込領域 2 3 の伝導帯端のポテンシャル形状を示す。即ち、図 6 ( b ) の中央は、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 に向かう電荷転送経路を垂直に切った受光用表面埋込領域 2 3 の伝導帯端のポテンシャル形状である。

【 0 0 4 7 】

更に、中央の電荷転送経路の右側に、第 1 の排出ドレイン領域 2 5 a の伝導帯端のポテンシャル井戸を右上がりのハッチングで示す。一方、中央の電荷転送経路の左側に、第 2 の排出ドレイン領域 2 5 b の伝導帯端のポテンシャル井戸を右上がりのハッチングで示す。実線で示した中央の電荷転送経路と第 1 の排出ドレイン領域 2 5 a のポテンシャル井戸との間の電位障壁は、第 1 の排出ゲート電極 3 1 a の直下の半導体領域 2 1 の伝導帯端のポテンシャル分布に相当し、中央の電荷転送経路と第 2 の排出ドレイン領域 2 5 b のポテンシャル井戸との間の電位障壁は、第 2 の排出ゲート電極 3 1 b の直下の半導体領域 2 1 の伝導帯端のポテンシャル分布に相当する。

【 0 0 4 8 】

図 6 ( b ) の破線で示すように、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b に高い電位 ( T X D = High ) を与えて、電荷転送経路を中央が凸となる尾根形のポテンシャルにし、電子を山稜から両側の第 1 の排出ドレイン領域 2 5 a 及び第 2 の排出ドレイン領域 2 5 b に落とし込む。一方、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b に低い電位 ( T X D = Low ) を与えて、図 6 ( b ) の実線で示すように、中央の電荷転送経路と第 1 の排出ドレイン領域 2 5 a のポテンシャル井戸との間、及び、中央の電荷転送経路と第 2 の排出ドレイン領域 2 5 b のポテンシャル井戸との間にそれぞれ電位障壁を形成して、第 1 の排出ドレイン領域 2 5 a 及び第 2 の排出ドレイン領域 2 5 b の間のポテンシャル形状を逆さの W 型にする。即ち、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b に低い電位 ( T X D = Low ) を与えたときには、電荷転送経路の中央部のポテンシャルが低い谷型 ( U 型 ) のポテンシャル形状をなすことによって U 型の溝に沿って、電子を受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 に転送する。

【 0 0 4 9 】

このように、図 5 及び図 6 に示す構造によれば、受光用表面埋込領域 2 3 と電荷蓄積領域 2 4 の間にゲート構造を設けなくても、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b に印加する電圧によりポテンシャル形状を変化させることにより、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 への電荷の転送を制御することができる。即ち、図 5 及び図 6 に示す第 1 の実施の形態の変形例に係る半導体素子においては、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b により電荷に印加される電界の方向を変更するというよりも、電荷転送経路のポテンシャル分布 ( ポテンシャル形状 ) を静電誘導効果により制御して、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b による電子の転送方向の変調を実現している。

【 0 0 5 0 】

第 1 の実施の形態の変形例に係る固体撮像装置によれば、発生した光電子を排出する第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b の電位制御だけで、電荷蓄積領域 2 4 への転送を制御することができるので、画素の構造が簡単化され、高解像度化が可能になる。又、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 に至る電荷転送経路にゲート構造やスイッチがないため、ゲート電極下を電子が通過するときの  $S i - S i O_2$  界面での電子のトラップがなく、高速転送が可能となるため、時間分解能が向上する。更に、受光用表面埋込領域 2 3 と電荷蓄積領域 2 4 が 1 つの埋め込みフォトダイオード構造となっているため、暗電流ノイズ、転送ノイズ等のノイズの抑制の点からも有利となる。

10

20

30

40

50

## 【 0 0 5 1 】

< 半導体素子及び固体撮像装置の製造方法 >

次に、図 2 及び図 3 に示した本発明の第 1 の実施の形態に係る半導体素子及び固体撮像装置の製造方法を、半導体素子（画素）に着目しながら、図 7 ~ 図 8 を用いて説明する。尚、以下に述べる半導体素子及び固体撮像装置の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

## 【 0 0 5 2 】

( a ) 先ず、 $30 \sim 0.65 \text{ cm}$  程度（不純物密度  $4 \times 10^{14} \text{ cm}^{-3}$  程度以上、 $3 \times 10^{16} \text{ cm}^{-3}$  程度以下）の（100）面を主表面とする p 型半導体基板を半導体領域 2 1 として用意する。この p 型半導体領域 2 1 の主表面に  $150 \text{ nm}$  程度の熱酸化膜（ $\text{SiO}_2$  膜）を形成後、フォトレジスト膜を塗布（スピコート）し、これをフォトリソグラフィ技術によりパターニングして p ウェル形成領域を開口する。次に、p ウェル形成領域に熱酸化膜を通して  $10^{12} \sim 10^{13} \text{ cm}^{-2}$  程度のドーズ量でボロン（ $^{11}\text{B}^+$ ）をイオン注入する。次に、熱酸化膜のウェル形成領域の部分をエッチング除去する。又、フォトレジスト膜も除去し、所定の清浄化工程を終えてから、約  $1200^\circ\text{C}$  でイオン注入されたボロンを熱拡散して、p ウェル 2 2 を形成する（図 7（a）参照。）。このとき周辺回路部及びそれぞれの画素  $X_{ij}$  の内部に配置される読み出し用バッファアンプにも、同時に p ウェル 2 2 が形成される。又、周辺回路部には、同様にして n ウェル（図示省略。）も形成される。更に、p 型半導体領域 2 1 の主表面の熱酸化膜をすべて除去（剥離）してから、再び膜厚  $100 \text{ nm}$  程度のパッド酸化膜（ $\text{SiO}_2$  膜）を半導体領域 2 1 の主表面に熱酸化法

10

20

## 【 0 0 5 3 】

( b ) 次に、図示を省略するが、窒化膜を除去してから、素子形成領域に膜厚が数  $10 \text{ nm}$  のダミー酸化膜を形成する。そして、フォトリソグラフィ技術により、周辺回路の p ウェル 2 2 をフォトレジスト膜で被覆してから p MOS のゲートしきい値電圧制御（ $V_{th}$  制御）用の不純物をイオン注入する。次に、フォトレジスト膜を除去してから p ウェル 2 2 以外の領域上に、フォトリソグラフィ技術により、フォトレジスト膜のパターンを形成し、続いて周辺回路及び読み出し用バッファアンプの p ウェル 2 2 と同時に、p ウェル 2 2 に n MOS のゲートしきい値電圧制御用の不純物をイオン注入する。その後、フォトレジスト膜を除去する。更に、 $V_{th}$  制御イオン注入イオン注入時の保護膜として使用されたダミー酸化膜を剥離する。

30

## 【 0 0 5 4 】

( c ) 次に、半導体領域 2 1 の表面を熱酸化し、図 7（a）に示すように酸化膜（ $\text{SiO}_2$  膜）からなるゲート絶縁膜 3 0 を形成する。そして、図 7（b）に示すように、ゲート絶縁膜 3 0 の全面の上に CVD 法によりポリシリコン膜 5 1 を  $200 \sim 400 \text{ nm}$  程度堆積し、更に、フォトレジスト膜 5 2 をポリシリコン膜 5 1 上に塗布する。そして、図 7（c）に示すように、フォトリソグラフィ技術によりパターニングされたフォトレジスト膜 5 2 をマスクとして、RIE 等によりポリシリコン膜 5 1 をエッチングすれば、排出ゲート電極 3 1 及び読み出しゲート電極 3 2 のパターンが形成される（図 5 及び図 6 に示す構造であれば、第 1 の排出ゲート電極 3 1 a 及び第 2 の排出ゲート電極 3 1 b のパターンが形成される。）。その後、フォトレジスト膜 5 2 を除去する。

40

## 【 0 0 5 5 】

( d ) 次に、半導体領域 2 1 の上にフォトレジスト膜 5 3 を塗布し、フォトリソグラフィ技術を用いて、受光用表面埋込領域と電荷蓄積領域との両方を含む領域を開口するよう

50

に、フォトレジスト膜 5 3 に窓部を形成する。そして、図 8 ( a ) に示すようにフォトレジスト膜 5 3、排出ゲート電極 3 1 及び読み出しゲート電極 3 2 をマスクとして、半導体領域 2 1 の表面の受光用表面埋込領域形成予定領域と電荷蓄積領域形成予定領域に対し、砒素 ( $^{75}\text{As}^+$ ) をドーズ量  $\phi_1 = 1.0 \times 10^{15} \text{ cm}^{-2}$  のオーダーでイオン注入する。排出ゲート電極 3 1 及び読み出しゲート電極 3 2 に関しては、砒素 ( $^{75}\text{As}^+$ ) が自己整合的にイオン注入されるので、排出ゲート電極 3 1 及び読み出しゲート電極 3 2 にも砒素 ( $^{75}\text{As}^+$ ) がイオン注入される。同時に、周辺回路及び読み出し用バッファアンプの p ウェル 2 2 にも同様に、ポリシリコンゲート電極をマスクとして、自己整合的に砒素 ( $^{75}\text{As}^+$ ) をイオン注入する。このとき、図示を省略した周辺回路の p ウェル 2 2 等の上のポリシリコンゲート電極にも砒素 ( $^{75}\text{As}^+$ ) がイオン注入される。その後、フォトレジスト膜 5 3 を除去する。

10

## 【 0 0 5 6 】

( e ) 次に、フォトリソグラフィ技術を用いて、半導体領域 2 1 の上にフォトレジスト膜 5 4 を塗布し、フォトリソグラフィ技術を用いて、電荷蓄積領域形成予定領域のみを開口するように、フォトレジスト膜 5 4 に窓部を形成する。そして、図 8 ( b ) に示すようにフォトレジスト膜 5 4 及び読み出しゲート電極 3 2 をマスクとして、半導体領域 2 1 に燐 ( $^{31}\text{P}^+$ ) をドーズ量  $\phi_2 = 8 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$  のオーダーでイオン注入する。読み出しゲート電極 3 2 に関しては、自己整合的に燐 ( $^{31}\text{P}^+$ ) がイオン注入されるので、読み出しゲート電極 3 2 にも燐 ( $^{31}\text{P}^+$ ) がイオン注入される。同時に、必要に応じて、周辺回路及び電圧読み出し用バッファアンプの p ウェル 2 2 にも同様に、ポリシリコンゲート電極をマスクとして、自己整合的にイオン注入する。このとき、図示を省略した周辺回路の p ウェル 2 2 等の上のポリシリコンゲート電極にも燐 ( $^{31}\text{P}^+$ ) がイオン注入される。その後、フォトレジスト膜 5 4 を除去した後、半導体領域 2 1 を第 1 の活性化熱処理 (アニール) すれば、n 型の不純物が 2 回イオン注入された (不純物密度  $n_1$  と不純物密度  $n_2$ ) 電荷蓄積領域及び 1 回のみイオン注入された (不純物密度  $n_1$  のみ) 受光用表面埋込領域が形成される。

20

## 【 0 0 5 7 】

( f ) 次に、フォトリソグラフィ技術を用いて、半導体領域 2 1 の上に他のフォトレジスト膜 5 5 を被覆する。そして、図 8 ( c ) に示すようにフォトレジスト膜 5 5 をマスクとして、半導体領域 2 1 にホウ素 ( $^{11}\text{B}^+$ ) を  $3 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$  のオーダーでイオン注入する。同時に、必要に応じて、周辺回路及び電圧読み出し用バッファアンプの n ウェルにも同様に、ポリシリコンゲート電極をマスクとして、自己整合的にイオン注入する。このとき、図示を省略した周辺回路の p ウェル 2 2 等の上のポリシリコンゲート電極にもホウ素 ( $^{11}\text{B}^+$ ) がイオン注入される。その後、フォトレジスト膜 5 5 を除去し、受光用表面埋込領域と電荷蓄積領域との両方を含む領域を被覆する新たなフォトレジスト膜のパターンを形成する。

30

## 【 0 0 5 8 】

( g ) そして、排出ゲート電極 3 1 及び読み出しゲート電極 3 2 をマスクとして、電荷読み出し領域形成予定領域と排出ドレイン領域形成予定領域に砒素 ( $^{75}\text{As}^+$ ) を自己整合的にイオン注入する。その後、新たなフォトレジスト膜を除去して、半導体領域 2 1 を第 2 の活性化熱処理すれば、半導体領域 2 1 には、図 3 ( a ) に示すように、n 型の受光用表面埋込領域 2 3、p<sup>+</sup>型ピニング層 2 6、受光用表面埋込領域 2 3 より不純物密度が高い n<sup>+</sup>型の電荷蓄積領域 2 4、p<sup>+</sup>型ピニング層 2 6、n<sup>+</sup>型の排出ドレイン領域 2 5 及び n<sup>+</sup>型の電荷読み出し領域 2 7 が形成される。(図 5 及び図 6 に示す構造であれば、第 1 の排出ドレイン領域 2 5 a 及び第 2 の排出ドレイン領域 2 5 b が形成される。)。同様に、図示を省略した周辺回路の p ウェル 2 2 等に n 型ソース / ドレイン領域が形成される。このとき、排出ゲート電極 3 1 及び読み出しゲート電極 3 2 に注入された燐 ( $^{31}\text{P}^+$ )、砒素 ( $^{75}\text{As}^+$ ) 及びホウ素 ( $^{11}\text{B}^+$ ) も活性化されるので、排出ゲート電極 3 1 及び読み出しゲート電極 3 2 が低抵抗化する。

40

## 【 0 0 5 9 】

50

(h)次に、図8(c)に続く図の図示を省略するが、各画素を接続する垂直信号線や水平走査線、或いは周辺回路の各トランジスタ間を接続する金属配線層やゲート電極を形成するポリシリコン膜間の絶縁のため、層間絶縁膜36を堆積させる(図3(a)参照)。この層間絶縁膜36は、CVD法により堆積された膜厚0.5 $\mu$ m程度の酸化膜(CVD-SiO<sub>2</sub>)と、この酸化膜(CVD-SiO<sub>2</sub>)の上に、CVD法により堆積された膜厚0.5 $\mu$ m程度のPSG膜又はBPSG膜の2層構造から構成された複合膜等種々の誘電体膜が使用可能である。CVD法で堆積後、熱処理することにより、この複合膜の上層のBPSG膜は、リフローされて層間絶縁膜36の表面が平坦化される。この上部に、フォトリソグラフィ技術を用いてパターンニングされたフォトレジスト膜をマスクにして、RIE若しくはECRIオンエッチング等により層間絶縁膜36をエッチングし、金属配線層とトランジスタを接続するコンタクト孔を形成する。その後、このコンタクト孔を形成に用いたフォトレジスト膜を除去する。次に、スパッタリング法又は電子ビーム真空蒸着法等によりシリコン等を含むアルミニウム合金膜(Al-Si, Al-Cu-Si)を形成する。この上に、フォトリソグラフィ技術を用いて、フォトレジスト膜のマスクを形成し、このマスクを用いて、RIEにより、アルミニウム合金膜をパターンニングするという一連の処理を順次繰り返し、排出ドレイン領域25と排出ゲート電極31とを互いに接続する表面配線、各画素を接続する垂直信号線や水平走査線、或いは周辺回路の各トランジスタ間を接続する金属配線層等を形成する。更に、金属配線層等の上に他の層間絶縁膜36を堆積させ、フォトリソグラフィ技術を用いて、各画素の半導体領域の直上に開口部42を有する金属膜を形成し、遮光膜41とする(図3(a)参照)。そして、機械的損傷防止と、水分や不純物の浸入の防止を目的とした膜厚1 $\mu$ m程度のパッシベーション膜を遮光膜41の上にCVD法により積層すれば、本発明の第1の実施の形態に係る固体撮像装置が完成する。パッシベーション膜にはPSG膜や窒化膜等が利用される。

#### 【0060】

以上説明したように、本発明の第1の実施の形態に係る半導体素子及び固体撮像装置の製造方法によれば、受光用表面埋込領域23、p<sup>+</sup>型ピニング層26、電荷蓄積領域24、p<sup>+</sup>型ピニング層26及び電荷読み出し領域27の形成は、標準的なCMOSイメージセンサの製造工程に、図8(b)に示すようなイオン注入等の簡単な工程を追加するだけで実現できる。したがって、標準CMOSプロセスを基本としながら、2段転送による電子シャッタ機能を有し、空間解像度を得ることができる固体撮像装置を標準的なCMOS

#### 【0061】

<固体撮像装置の動作：距離画像センサ>

図2及び図3に概略構成を示したロックインピクセルの応用はいくつか考えられるが、光の飛行時間を利用した距離センサ或いは、1次元、2次元アレイとした距離画像センサへの応用を以下に説明する。即ち、光源からパルス幅T<sub>0</sub>の繰り返しパルス信号として照射された光が、対象物で反射され、レンズを介して、図1に示した固体撮像装置(2次元イメージセンサ)のそれぞれの画素X<sub>11</sub>~X<sub>1m</sub>; X<sub>21</sub>~X<sub>2m</sub>; ...; X<sub>n1</sub>~X<sub>nm</sub>に入射する。即ち、図3(a)に示したように、それぞれの画素X<sub>11</sub>~X<sub>1m</sub>; X<sub>21</sub>~X<sub>2m</sub>; ...; X<sub>n1</sub>~X<sub>nm</sub>の遮光膜41の開口部42を介して、それぞれの画素X<sub>11</sub>~X<sub>1m</sub>; X<sub>21</sub>~X<sub>2m</sub>; ...; X<sub>n1</sub>~X<sub>nm</sub>のフォトダイオードD1に入射する。フォトダイオードD1は、遮光膜の開口部42を介して入射したパルス幅T<sub>0</sub>のパルス光を光信号として受光し、この光信号を電荷に変換する。この際、図9に示すタイミングのように、排出ゲート電極31に制御信号TXDとして高い電圧(正の電圧)を与えるタイミングと、受信したパルス幅T<sub>0</sub>の光パルスの関係として、図9(1)、図9(2)及び図9(3)の3種類を用いる。

#### 【0062】

既に説明したとおり、排出ゲート電極31に制御信号TXDとして高い電圧(正の電圧)を与えると、図3(c)に示すような傾きのポテンシャル分布に起因する電界によって、受光用表面埋込領域23で発生した殆どの電子は排出ドレイン領域25に排出される。一方、排出ゲート電極31に制御信号TXDとして低い電圧(0V、又は-1V程度の負



電圧)を与えると、図3(b)に示すようなポテンシャル分布によって、受光用表面埋込領域23で発生した殆どの電子(電荷)が、電荷蓄積領域24に転送される。

【0063】

先ず、図9(1)のように、パルス幅 $T_o$ の受信光パルスが排出ゲート電極31に印加する制御信号TXDの立ち上がりエッジに、光パルスの遅れ時間 $T_d$ 分、遅れてかかるようなタイミングで発光させた場合、光パルスによって受光用表面埋込領域23で発生し、電荷蓄積領域24に蓄積される電荷 $Q_1$ は、

$$Q_1 = I_p(T_o - T_d) + Q_B + Q_{SR} \quad \dots (1)$$

10

で与えられる。ここで、 $I_p$ は受信光パルスにより発生する光電流、 $Q_B$ は背景光による電荷、 $Q_{SR}$ は受信光パルスによって発生した電荷の内、応答速度が遅く、受光用表面埋込領域23中でオフセット電荷としてふるまう成分である。

【0064】

図9(2)では、計測対象とする測距範囲において、パルス幅 $T_o$ の受信光パルスによる受光用表面埋込領域23で発生した電荷は、すべて電荷蓄積領域24に蓄積されるように光パルスのタイミングを設定しており、この場合に、蓄積される電荷 $Q_2$ は、

$$Q_2 = I_p T_o + Q_B + Q_{SR} \quad \dots (2)$$

20

と表される。

【0065】

図9(3)では、受信した光パルスにより受光用表面埋込領域23で発生した成分は、すべて排出ドレイン領域25に排出されるように光パルスのタイミングを設定している。この場合は、応答速度の遅いオフセット電荷の成分 $Q_{SR}$ と背景光による成分 $Q_B$ が電荷蓄積領域24に蓄積されるように取り込まれ、次式、

$$Q_3 = Q_B + Q_{SR} \quad \dots (3)$$

で表される。式(3)から、式(1)、式(2)に含まれる背景光による成分 $Q_B$ と電荷の成分の内、応答速度の遅いオフセット電荷の成分 $Q_{SR}$ をキャンセルすることにより、光パルスの遅れ時間 $T_d$ を求めることができることが分かる。即ち、光パルスの遅れ時間 $T_d$ は、次式、

30

$$T_d = T_o(Q_2 - Q_1)/(Q_2 - Q_3) \quad \dots (4)$$

から求めることができるので、対象物までの距離 $L$ は、光速 $c$ を用いて、

$$L = (c/2) T_d = (c/2) T_o(Q_2 - Q_1)/(Q_2 - Q_3) \quad \dots (5)$$

40

により求められる。

【0066】

実際には、図9で示した排出ゲート電極31に印加する制御信号TXDの繰り返し周期 $T_S$ を1サイクルとして、多数回繰り返し、十分な電子数を電荷蓄積領域24に蓄積したのち、各画素の信号をイメージセンサの外部に読み出す。その一連の操作を図9の(1)、(2)、(3)に対して順次行い、読み出された各電荷量に比例した信号電圧或いは、その信号電圧に比例したデジタル値により、デジタル領域での演算で、式(5)に相当する処理を行うことで距離が求められる。

【0067】

実際のイメージセンサの読み出しのタイミングの例を、図10に示す。図1に示した固

50

体撮像装置（２次元イメージセンサ）では、図２及び図３（a）の排出ゲート電極３１に、全画素共通の制御信号TXDを与え、同じタイミングで動作させる。或いは、例えば、行毎にタイミングの異なる信号を加え、読み出し動作と連動させて与えても良い。図１０のように、「光照射」の期間で、排出ゲート電極３１に制御信号TXDを繰り返し周期TSで、多数回繰り返し印加し、電荷の排出ドレイン領域２５への排出と、電荷蓄積領域２４への転送を繰り返し、十分な電子数を電荷蓄積領域２４に蓄積する。その後、「読み出し」の期間で、図１に示した画素アレイ部１の各行の排出ゲート電極３１に、垂直走査回路３から制御信号TX(1), ..., TX(i), ..., TX(n-2), TX(n-1), TX(n)を、図１０に示すように、順に印加し、電荷蓄積領域２４の信号電子を読み出す。信号をイメージセンサの外部に読み出す方法については、従来の埋め込みフォトダイオードを用いた電荷転送型のCMOSイメージセンサと違いはなく、詳細な説明は省略する。図１０では、読み出し期間における、各行毎に与えるTX信号のタイミングだけを示している。

10

## 【0068】

第１の実施の形態に係る固体撮像装置によれば、変調された光信号と同期して電荷の検出を行う場合において、信号検出のための電荷転送経路が一種類であるため、例えばフォトダイオードからの複数の電荷蓄積領域２４にゲート電極構造を介して、電荷を振り分ける従来の構造に比較して、画素毎に特性ばらつきを少なくした距離画像センサを実現することができる。

## 【0069】

<固体撮像装置の動作：蛍光強度及び蛍光の寿命測定>

次に、本発明の第１の実施の形態に係る固体撮像装置の応用例として、対象物の蛍光の寿命を画像化する方法を説明する。蛍光寿命の測定は、バイオイメージングにおいて有用であり、その計測が半導体デバイスと簡単な光源及び光学系で実現することができれば、蛍光の寿命測定の応用範囲を拡大することができる。

20

## 【0070】

図１１は、排出ゲート電極３１に制御信号TXDとして低い電圧（０V、又は-1V程度の負電圧）を印加する期間Tを短くし、そのパルスのタイミング $T_d$ を１フレーム毎に変化させることで蛍光の寿命を測定する場合のタイミング図を示している。期間Tの間以外は、排出ゲート電極３１に制御信号TXDとして高い電圧を与えて、受光用表面埋込領域２３の電荷を排出ドレイン領域２５へ排出する。繰り返しパルスの励起光を照射したとき、励起光が照射された対象物からの蛍光は遅れて応答する。

30

## 【0071】

蛍光は指数関数的に減衰するため、蛍光の強度をPとすると、蛍光Pと時間Tとの関係は、 $P = P_0 \exp(-t/\tau)$ を蛍光の寿命、 $P_0$ を蛍光の強度の初期値として、式（６）のように表すことができる：

$$P = P_0 \exp(-t/\tau) \quad \dots (6)$$

図１１において、タイミング $T_d = t_1$ から期間Tの間、制御信号TXDとして低い電圧を排出ゲート電極３１に与えて、蛍光による電荷を電荷蓄積領域２４に転送したとき、蛍光電荷の転送の遅れ時間を無視すれば、転送電荷 $Q_1$ は、式（７）のように、時刻 $t_1$ から $t_1 + T$ の期間の積分で与えられる：

40

## 【数１】

$$Q_1 = k \int_{t_1}^{t_1 + \Delta T} P_0 \exp(-t/\tau) dt = kP_0\tau \exp(-t_1/\tau)(1 - \exp(-\Delta T/\tau))$$

50

... (7)

この転送動作を何度も繰り返す。このとき、蛍光の寿命が変化せず、同じ蛍光を繰り返すとすれば、N回の繰り返しにより、その電荷はN倍になる。

【0072】

同様に、図11において、時刻 $t_1$ とは異なるタイミング $T_d = t_2$ から期間 $T$ の間、制御信号 $TXD$ として低い電圧を排出ゲート電極31に与えて、蛍光による電荷を電荷蓄積領域24に転送したとき、蛍光電荷の転送の遅れ時間を無視すれば、転送電荷 $Q_2$ は、式(8)のように、時刻 $t_2$ から $t_2 + T$ の期間の積分で与えられる：

【数2】

$$Q_2 = k \int_{t_2}^{t_2 + \Delta T} P_0 \exp(-t/\tau) dt = kP_0\tau \exp(-t_2/\tau)(1 - \exp(-\Delta T/\tau))$$

... (8)

式(7)及び式(8)から、蛍光の寿命 $\tau$ は以下の式(9)のように表すことができる：

$$\tau = (t_2 - t_1) / \ln(Q_1/Q_2) \quad \dots (9)$$

したがって、蛍光により発生した電荷を異なるタイミングで読み出すことにより、蛍光の寿命 $\tau$ を測定可能となる。尚、イメージセンサとしての全体的な読み出しの動作は、図10を用いて説明した動作と実質的に同様であるので、重複した説明を省略する。

【0073】

第1の実施の形態に係る固体撮像装置によれば、変調された光信号と同期して電荷の検出を行う場合において、信号検出のための電荷転送経路が一種類であるため、例えばフォトダイオードからの複数の電荷蓄積領域24にゲート電極構造を介して、電荷を振り分ける従来の構造に比較して画素毎に特性ばらつきを少なくして、蛍光の寿命を画像化することができる。

【0074】

図11に示したタイミング図は、蛍光寿命を測る場合だけでなく、蛍光の強度を測るものにも使える。蛍光の強度の測定は、単に時間的に窓をかけて、励起光の成分を捨てて(排出)、蛍光が発生しているときだけ、転送するようにすれば良い。その時間窓のタイミングは固定であるが、蛍光をできるだけ集めたいので、励起光のすぐ後で、開きはじめ、十分に減衰するまで時間窓を広く、即ち $T$ を大きくする。

【0075】

よって、蛍光強度イメージングの場合は、時間窓 $T$ を固定として、励起光による電荷を十分に排出したのちに、排出ゲートを閉じ、蛍光により発生した電荷のみを電荷蓄積部に転送する。従来、蛍光強度イメージングでは、励起光による成分と蛍光による成分の分離は、それらの波長が異なることを利用し、光の波長に対して選択する光学フィルタのみが用いられているが、励起光と蛍光の波長成分が一部重なりあうため、励起光が必ずしも十分に分離できない場合がある。本発明のように、時間窓による選択を併用することで、より分離性が高まり、より微弱な蛍光を検出することができる。

(第2の実施の形態)

例えば近赤外光など、使用する光の波長が長い場合、基板の深くで発生した電子が表面に拡散によって戻ってくる場合、その一部が、電荷蓄積領域24に取り込まれ、変調特性に影響を与える。これを軽減するための構造を、本発明の第2の実施の形態において説明する。本発明の第2の実施の形態に係る固体撮像装置(2次元イメージセンサ)の全体構

10

20

30

40

50

成は、図1にしたブロック図と同一であるため、重複した説明を省略する。第2の実施の形態に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}$ ;  $X_{21} \sim X_{2m}$ ; ... ;  $X_{n1} \sim X_{nm}$ 内の半導体素子の平面構造も、図2と同様であり、重複した説明を省略する。

【0076】

図12は、図2に示した半導体素子のIII-III方向から見た断面構造に対応する。図12に示すように、半導体素子は、第1導電型(p型)の半導体領域21と、半導体領域21とフォトダイオードを構成するように、半導体領域21の上部の一部に埋め込まれ、光を入射する第2導電型(n型)の受光用表面埋込領域(受光カソード領域)23と、半導体領域21の上部の一部に受光用表面埋込領域23と隣接(連続)して埋め込まれ、フォトダイオードが生成した電荷を移動させる場の方向を深さ方向として、受光用表面埋込領域23よりもポテンシャル井戸の深さが深く、受光用表面埋込領域23が生成した電荷を蓄積する第2導電型(n<sup>+</sup>型)の電荷蓄積領域24と、電荷蓄積領域24が蓄積した電荷を受け入れる第2導電型(n<sup>+</sup>型)の電荷読み出し領域27と、受光用表面埋込領域23が生成した電子を排出する第2導電型(n<sup>+</sup>型)の排出ドレイン領域25とを備える点では、第1の実施の形態に係る固体撮像装置と同様であるが、電荷蓄積領域24の下方に第1導電型(p<sup>+</sup>型)で半導体領域21よりも高不純物密度のキャリアブロック層19を備えている点が、図3(a)に示した半導体素子の断面構造と異なる。キャリアブロック層19の不純物密度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度以上、 $6 \times 10^{20} \text{ cm}^{-3}$ 程度以下、好ましくは $3 \times 10^{18} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{20} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $2 \times 10^{19} \text{ cm}^{-3}$ 程度の値が採用可能であり、その厚さは $0.1 \sim 1 \mu\text{m}$ 程度、好ましくは $0.3 \sim 0.7 \mu\text{m}$ 程度とすることが可能である。

【0077】

図2に一点鎖線で示したのと同様に、第2の実施の形態に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}$ ;  $X_{21} \sim X_{2m}$ ; ... ;  $X_{n1} \sim X_{nm}$ を構成する半導体素子は、電荷読み出し領域27と排出ドレイン領域25とを囲むように、半導体領域21より高不純物密度の第1導電型のウェル(pウェル)22が形成されている。図12に示した半導体領域21の代わりに、第1導電型の半導体基板上に形成した半導体基板よりも低不純物密度の第1導電型のシリコンエピタキシャル成長層を採用しても良い。受光用表面埋込領域23と、受光用表面埋込領域23の直下の半導体領域(アノード領域)21とで第1の埋め込みフォトダイオード(フォトダイオード)D1を構成し、電荷蓄積領域(カソード領域)24と、電荷蓄積領域24の直下の半導体領域(アノード領域)21とで第2の埋め込みフォトダイオード(電荷蓄積ダイオード)D2を構成している。

【0078】

受光用表面埋込領域23の上から電荷蓄積領域24の上に渡り、p<sup>+</sup>型ピニング層26が配置されている。p<sup>+</sup>型ピニング層26上の半導体領域21の上、及び受光用表面埋込領域23と電荷読み出し領域27との間の半導体領域21の上にはゲート絶縁膜30が形成されている。ゲート絶縁膜30上には、電荷蓄積領域24と電荷読み出し領域27との間に形成される転送チャネルの電位を制御して、電荷蓄積領域24から電荷読み出し領域27へ電荷を転送する読み出しゲート電極32と、受光用表面埋込領域23と排出ドレイン領域25との間に形成される排出チャネルの電位を制御して、受光用表面埋込領域23から、受光用表面埋込領域23が生成した電子を排出ドレイン領域25へ電荷を転送する排出ゲート電極31が配置されている。ゲート絶縁膜30とゲート絶縁膜30上の排出ゲート電極31とで、受光用表面埋込領域23と排出ドレイン領域25との間の半導体領域21の上部に形成されるチャネルの電位を制御して、受光用表面埋込領域23から排出ドレイン領域25へ電荷を排出する第1の電位制御手段(31, 30)を構成している。又、ゲート絶縁膜30とゲート絶縁膜30上の読み出しゲート電極32とで、排出ゲート電極31と電荷蓄積領域24と電荷読み出し領域との間の半導体領域21の上部に形成されるチャネルの電位を制御して、電荷蓄積領域24から電荷読み出し領域へ電荷を転送する第2の電位制御手段(32, 30)を構成している。ゲート絶縁膜30上には、読み出しゲート電極32と排出ゲート電極31とを含んで層間絶縁膜36が形成されている。

## 【 0 0 7 9 】

例えば、排出ドレイン領域 2 5 に接続された排出ゲート電極 3 1 に制御信号 T X D として高い電圧（正の電圧）を与えると、図 3（c）に示したのと同様に、受光用表面埋込領域 2 3 から排出ドレイン領域 2 5 の方に向かう空乏化電位の傾きが発生し、受光用表面埋込領域 2 3 で発生した殆どの電子は排出ドレイン領域 2 5 に排出される。一方、排出ゲート電極 3 1 に制御信号 T X D として低い電圧（0 V、又は - 1 V 程度の負電圧）を与えると、図 3（b）に示したのと同様に、受光用表面埋込領域 2 3 と排出ドレイン領域 2 5 との間に電子に対する電位障壁が形成され、受光用表面埋込領域 2 3 から排出ドレイン領域 2 5 には電子は排出が止まり、受光用表面埋込領域 2 3 で発生した殆どの電子（電荷）が、電荷蓄積領域 2 4 に転送される。

10

## 【 0 0 8 0 】

以上のように、第 2 の実施の形態に係る固体撮像装置によれば、受光用表面埋込領域 2 3 と電荷蓄積領域 2 4 との間に特別なゲート構造を設けることなく、発生した光電子を排出する排出ゲート電極 3 1 の電位制御だけで、電荷蓄積領域 2 4 への転送を制御することができるので、画素の構造が簡単化され、高解像度化が可能になるが、第 2 の実施の形態に係る固体撮像装置の画素を構成する半導体素子が、図 1 2 に示すように、電荷蓄積領域 2 4 の深部に第 1 導電型（p 型）のキャリアブロック層 1 9 を備えているので、使用する光の波長が長い場合において、半導体領域 2 1 の深くで発生した電子が表面に拡散によって戻ってくる場合、その一部が、電荷蓄積領域 2 4 に取り込まれるのをブロックすることができる。このため、例えば近赤外光など、使用する光の波長が長い場合であっても、本発明の第 2 の実施の形態に係る固体撮像装置によれば、排出ゲート電極 3 1 の電位制御による発生電子の電荷蓄積領域 2 4 への転送の変調特性に対する、半導体領域 2 1 の深くで発生した電子が表面に拡散によって戻ってくる影響を抑制することが可能である。

20

## 【 0 0 8 1 】

その他の、例えば、受光用表面埋込領域 2 3 から電荷蓄積領域 2 4 に至る電荷転送経路にゲート構造やスイッチがないため、ゲート電極下を電子が通過するときの Si - SiO<sub>2</sub> 界面での電子のトラップがなく、高速転送が可能となるため、時間分解能が向上する効果、受光用表面埋込領域 2 3 と電荷蓄積領域 2 4 が 1 つの埋め込みフォトダイオード構造となっているため、暗電流ノイズ、転送ノイズ等のノイズの抑制の点からも有利となるという効果、更に、変調された光信号と同期して電荷の検出を行う場合において、信号検出のための電荷転送経路が一種類であるため、例えばフォトダイオードからの複数の電荷蓄積領域 2 4 にゲート電極構造を介して、電荷を振り分ける従来の構造と比較して、画素毎に特性ばらつきを少なくすることができる等の効果は、第 1 の実施の形態に係る固体撮像装置と同様と実質的に同様であるので、重複した説明を省略する。

30

## 【 0 0 8 2 】

（その他の実施の形態）

上記のように、本発明は第 1 及び第 2 の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

## 【 0 0 8 3 】

例えば、本発明の第 1 又は第 2 の実施の形態で説明した構造を利用して、距離測定等に用いる光源としての LED 照明を、背景光に対して相対的に増強させることもできる。この場合、図 1 3 に示すように、LED が発光しているタイミングに合わせて、排出ゲート電極 3 1 に制御信号 T X D として低い電圧を与え、LED により生成された電荷を電荷蓄積領域 2 4 に転送されるようにし、それ以外の期間では発生した電子が排出ドレイン領域 2 5 に排出されるようにする。この場合、LED を繰り返し発光させたときの、発光のデューティ比を小さくして、直流発光の場合に比べて、最大許容駆動電流を大きくすることができるので、同じ発光強度を得るのに必要な LED の数を減らすことができる。

40

## 【 0 0 8 4 】

又、本発明の第 1 又は第 2 の実施の形態で説明した構造は、全画素同時電子シャッタと

50

しても利用することができる。電子シャッタを開く場合のみ、排出ゲート電極 3 1 を低い電位として、光で発生した電子が電荷蓄積領域 2 4 に転送されるようにしておき、電子シャッタを閉じたい期間と信号の読み出しの期間では、排出ゲート電極 3 1 に高い電位を与えて、発生した光電子を排出ドレイン領域 2 5 に排出するようにしておく。この電子シャッタでは、その電荷の蓄積と信号の読み出しを独立した期間で行わなければならないが、機械的なシャッタを用いることなく、全画素で電荷蓄積期間をそろえることができるため、動きの速い被写体に対してもひずみなく撮像を行うことができる。

【 0 0 8 5 】

又、図 1 4 に示すように、光を入射する第 2 導電型 ( n 型 ) の受光用表面埋込領域 2 3 a の右側に、第 2 導電型 ( n<sup>+</sup>型 ) で受光用表面埋込領域 2 3 a よりもポテンシャル井戸 ( 電子井戸 ) の深さが深い遷移領域 2 3 b を配置し、遷移領域 2 3 b の右側に、遷移領域 2 3 b と一部重複して第 2 導電型 ( n<sup>+</sup>型 ) で、遷移領域 2 3 b よりもポテンシャル井戸 ( 電子井戸 ) の深さが深く ( 図 3 ( b ) 及び図 3 ( c ) 参照。 )、受光用表面埋込領域 2 3 a が生成した電荷を遷移領域 2 3 b を経由して蓄積する電荷蓄積領域 2 4 を配置し、この電荷蓄積領域 2 4 の右斜め上方及び右斜め下方に、電荷蓄積領域 2 4 が蓄積した電荷を交互に分岐して読み出す第 1 読み出しゲート電極 3 2 a 及び第 2 読み出しゲート電極 3 2 b を配置しても良い。図 1 4 に示す構造では、更に、第 1 読み出しゲート電極 3 2 a の右斜め上方には電荷蓄積領域 2 4 が蓄積した電荷を受け入れる第 2 導電型 ( n<sup>+</sup>型 ) の第 1 電荷読み出し領域 2 7 a が、第 2 読み出しゲート電極 3 2 b の右斜め下方には電荷蓄積領域 2 4 が蓄積した電荷を受け入れる第 2 導電型 ( n<sup>+</sup>型 ) の第 2 電荷読み出し領域 2 7 が配置されている。

【 0 0 8 6 】

図 1 4 に示すように、受光用表面埋込領域 2 3 a と電荷蓄積領域 2 4 との間に遷移領域 2 3 b を設けることにより、受光用表面埋込領域 2 3 a から電荷蓄積領域 2 4 に向かう電荷転送路に、平面パターンにおけるマスク位置のずれによるポテンシャルバリアができて、高速な転送ができる不都合を解消できる。受光用表面埋込領域 2 3 a と電荷蓄積領域 2 4 との間にポテンシャルバリアを設けないようにして、受光用表面埋込領域 2 3 a の完全空乏化したときの第 1 のポテンシャル井戸 P W 1 の深さが、電荷蓄積領域 2 4 の完全空乏化したときの第 2 のポテンシャル井戸 P W 2 の深さよりも階段状 ( ステップ状 ) に浅くなるようにするためには、例えば、受光用表面埋込領域 2 3 a の不純物密度よりも遷移領域 2 3 b の不純物密度が階段状に高くなるようにし、遷移領域 2 3 b の不純物密度よりも、電荷蓄積領域 2 4 の不純物密度が階段状に高くなるように、それぞれの不純物密度を選べば良い。受光用表面埋込領域 2 3 a の不純物密度よりも遷移領域 2 3 b の不純物密度が階段状に高くし、遷移領域 2 3 b の不純物密度よりも、電荷蓄積領域 2 4 の不純物密度が階段状に高く設定する方法は、公知の種々の方法が採用可能である。但し、図 1 4 に示した平面パターンにおけるマスク位置のずれによるポテンシャルバリアが発生しないようにするためには、図 1 4 に示すように、電荷蓄積領域 2 4 には、深い第 2 のポテンシャル井戸 P W 2 を形成するように n 型の不純物が 3 回イオン注入され ( 不純物密度  $n_1$  と不純物密度  $n_2$  と不純物密度  $n_3$  )、遷移領域 2 3 b には、中間の深さのポテンシャル井戸を形成するように n 型の不純物が 2 回イオン注入され ( 不純物密度  $n_1$  と不純物密度  $n_2$  )、浅い第 1 のポテンシャル井戸 P W 1 を形成したい領域には 1 回のみイオン注入される ( 不純物密度  $n_1$  のみ ) ようにすれば良い。

【 0 0 8 7 】

図 1 4 に示す半導体素子においては、受光用表面埋込領域 2 3 a の上下方向に測った幅が、遷移領域 2 3 b より広くなる段差を有した形状にパターンニングされ、受光用表面埋込領域 2 3 a と遷移領域 2 3 b の上下には、この段差部に沿って、受光用表面埋込領域 2 3 a が生成した電子を排出する第 2 導電型 ( n<sup>+</sup>型 ) の第 1 の排出ドレイン領域 2 5 a 及び第 2 の排出ドレイン領域 2 5 b とを備える。そして、受光用表面埋込領域 2 3 a 及び遷移領域 2 3 b と第 1 の排出ドレイン領域 2 5 a の間には、Z 型をなすように直角に折れ曲がった第 1 の排出ゲート電極 3 1 a が配置され、受光用表面埋込領域 2 3 a 及び遷移領域 2

3 bと第2の排出ドレイン領域2 5 bの間には、Z型をなすように直角に折れ曲がった第2の排出ゲート電極3 1 bが配置されている。第1の排出ゲート電極3 1 aは、受光用表面埋込領域2 3 aと第1の排出ドレイン領域2 5 aとの間に形成される排出チャネルの電位を制御して、受光用表面埋込領域2 3 aから、受光用表面埋込領域2 3 aが生成した電子を上方の第1の排出ドレイン領域2 5 aへ排出し、第2の排出ゲート電極3 1 bは、受光用表面埋込領域2 3 aと第2の排出ドレイン領域2 5 bとの間に形成される排出チャネルの電位を制御して、受光用表面埋込領域2 3 aから、受光用表面埋込領域2 3 aが生成した電子を下方の第2の排出ドレイン領域2 5 bへ排出する。

【0088】

図14に示すように、第1電荷読み出し領域2 7 aには、読み出し用バッファアンプを構成する第1信号読み出しトランジスタ $T A_{1ij}$ のゲート電極が接続されている。第1信号読み出しトランジスタ $T A_{1ij}$ のドレイン電極は電源VDDに接続され、ソース電極は画素選択用の第1スイッチングトランジスタ $T S_{1ij}$ のドレイン電極に接続されている。画素選択用の第1スイッチングトランジスタ $T S_{1ij}$ のソース電極は、第1垂直信号線 $B_{j1}$ に接続され、ゲート電極には水平ラインの選択用制御信号 $S(i1)$ が垂直走査回路(図1参照。)から与えられる。選択用制御信号 $S(i1)$ をハイ(H)レベルにすることにより、第1スイッチングトランジスタ $T S_{1ij}$ が導通し、第1信号読み出しトランジスタ $T A_{1ij}$ で増幅された第1電荷読み出し領域2 7 aの電位に対応する電流が第1垂直信号線 $B_{j1}$ に流れる。更に、第1電荷読み出し領域2 7 aには、読み出し用バッファアンプを構成する第1リセットトランジスタ $T R_{1ij}$ のソース電極が接続されている。第1リセットトランジスタ $T R_{1ij}$ のドレイン電極は電源VDDに接続され、ゲート電極にはリセット信号 $R(i1)$ が与えられる。リセット信号 $R(i1)$ をハイ(H)レベルにして、第1電荷読み出し領域2 7 aに蓄積された電荷を吐き出し、第1電荷読み出し領域2 7 aをリセットする。一方、第2電荷読み出し領域2 7 bには、読み出し用バッファアンプを構成する第2信号読み出しトランジスタ $T A_{2ij}$ のゲート電極が接続されている。第2信号読み出しトランジスタ $T A_{2ij}$ のドレイン電極は電源VDDに接続され、ソース電極は画素選択用の第2スイッチングトランジスタ $T S_{2ij}$ のドレイン電極に接続されている。画素選択用の第2スイッチングトランジスタ $T S_{2ij}$ のソース電極は、第2垂直信号線 $B_{j2}$ に接続され、ゲート電極には水平ラインの選択用制御信号 $S(i2)$ が垂直走査回路(図1参照。)から与えられる。選択用制御信号 $S(i2)$ をハイ(H)レベルにすることにより、第2スイッチングトランジスタ $T S_{2ij}$ が導通し、第2信号読み出しトランジスタ $T A_{2ij}$ で増幅された第2電荷読み出し領域2 7 bの電位に対応する電流が第2垂直信号線 $B_{j2}$ に流れる。更に、第2電荷読み出し領域2 7 bには、読み出し用バッファアンプを構成する第2リセットトランジスタ $T R_{1ij}$ のソース電極が接続されている。第2リセットトランジスタ $T R_{1ij}$ のドレイン電極は電源VDDに接続され、ゲート電極にはリセット信号 $R(i2)$ が与えられる。リセット信号 $R(i2)$ をハイ(H)レベルにして、第2電荷読み出し領域2 7 bに蓄積された電荷を吐き出し、第2電荷読み出し領域2 7 bをリセットする。

【0089】

図14に示す半導体素子においては、第1読み出しゲート電極3 2 a及び第2読み出しゲート電極3 2 bに読み出しパルス信号TXを交互に与えると、光信号により生成された電子は、右斜め上方の第1電荷読み出し領域2 7 aと、右斜め下方の第2電荷読み出し領域2 7 bに電荷蓄積領域2 4から転送される。つまり、図14に示す半導体素子による推定距離Lは、式(10)で示されるように、右斜め上方の第1電荷読み出し領域2 7 aに電荷蓄積領域2 4から転送され蓄積された電荷 $Q_{1s}$ と、右斜め下方の第2電荷読み出し領域2 7 bに電荷蓄積領域2 4から転送され、蓄積された電荷 $Q_{2s}$ との配分比から与えられる：

$$L = (c T_{OP} / 2) (Q_{2s} / (Q_{1s} + Q_{2s})) \dots (10)$$

10

20

30

40

50

ここで、 $c$  は光速、 $T_{OP}$  は、パルス光のパルス幅である。

【0090】

又、既に述べた第1及び第2の実施の形態の説明では、第1導電型をp型、第2導電型をn型として説明するが、第1導電型がn型、第2導電型をp型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。このとき、例えば、図3(a)に示した受光用表面埋込領域23は「受光アノード領域」になるように、対応して適宜極性や対応する名称を反転(変更)させれば良い。第1及び第2の実施の形態の説明では、転送、蓄積等の処理がされる電荷を電子とし、ポテンシャル図において、図の下方向(深さ方向)が、電位(ポテンシャル)の正方向としたが、電気的な極性を反対とする場合においては、処理をされる電荷は正孔となるため、半導体素子内の電位障壁、ポテンシャル谷、ポテンシャル井戸等を示すポテンシャル形状は、図の下方向(深さ方向)が、電位の負方向として表現される。

10

【0091】

第1及び第2の実施の形態の説明においては、2次元固体撮像装置(エリアセンサ)を例示的に説明したが、本発明の半導体素子は2次元固体撮像装置の画素のみに用いられるように限定して解釈するべきではない。例えば、図1に示した2次元マトリクスにおいて、 $j = m = 1$ とした1次元固体撮像装置(ラインセンサ)の画素として複数の半導体素子を1次元に配列しても良いことは、上記開示の内容から、容易に理解できるはずである。

【0092】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

20

【産業上の利用の可能性】

【0093】

本発明の半導体素子及びこの半導体素子を画素として用いた固体撮像装置は、画素の構造が簡単で高解像度化が可能であり、電荷の高速転送により高い時間分解能を有するので、TOF距離画像センサ、パライメーキングの他、各種の計測を行う時間相関イメージセンサ等の種々の固体撮像装置の技術分野に利用可能である。

【符号の説明】

【0094】

- 1 ... 画素アレイ部
- 2 ... 水平走査回路
- 3 ... 垂直走査回路
- 4 ... タイミング発生回路
- 19 ... キャリアブロック層
- 21 ... 半導体領域
- 22 ... pウェル
- 23 ... 受光用表面埋込領域
- 24 ... 電荷蓄積領域
- 25 ... 排出ドレイン領域
- 25a ... 第1の排出ドレイン領域
- 25b ... 第2の排出ドレイン領域
- 26 ... ピニング層
- 27 ... 電荷読み出し領域
- 27a ... 第1電荷読み出し領域
- 27b ... 第2電荷読み出し領域
- 30 ... ゲート絶縁膜
- 31 ... 排出ゲート電極
- 31a ... 第1の排出ゲート電極
- 31a ... 第1の排出ゲート電極

30

40

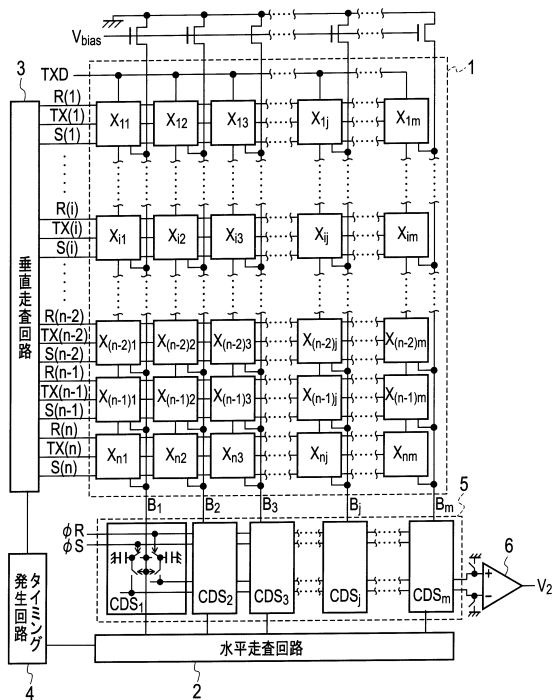
50



- 3 1 b ... 第 2 の 排 出 ゲ ー ト 電 極
- 3 2 ... 読 み 出 し ゲ ー ト 電 極
- 3 2 a ... 第 1 読 み 出 し ゲ ー ト 電 極
- 3 2 b ... 第 2 読 み 出 し ゲ ー ト 電 極
- 3 5 ... 素 子 分 離 絶 縁 膜
- 3 6 ... 層 間 絶 縁 膜
- 4 1 ... 遮 光 膜
- 4 2 ... 開 口 部
- 5 1 ... ポ リ シ リ コ ン 膜
- 5 2 ~ 5 5 ... フ ォ ト レ ジ ス ト 膜

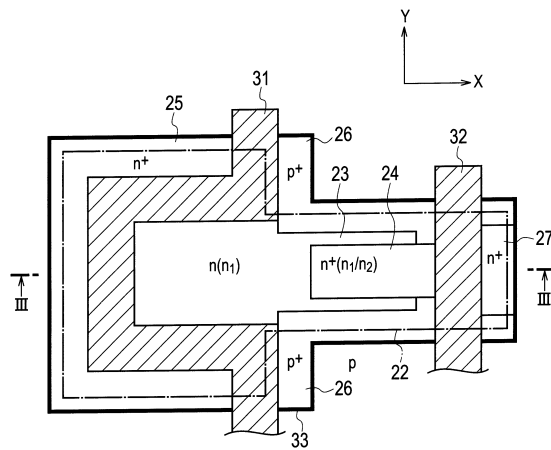
【 図 1 】

FIG. 1

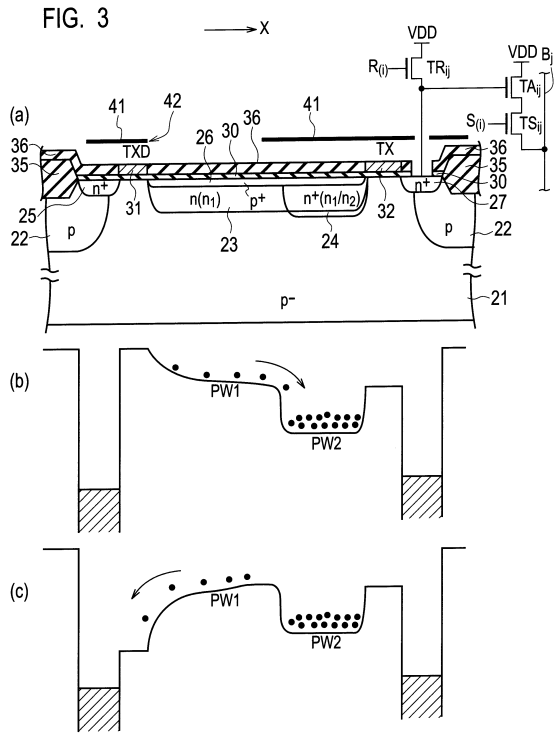


【 図 2 】

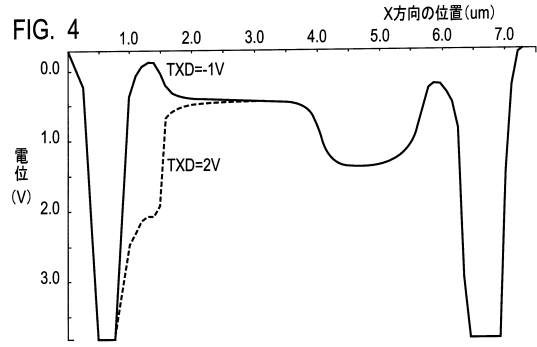
FIG. 2



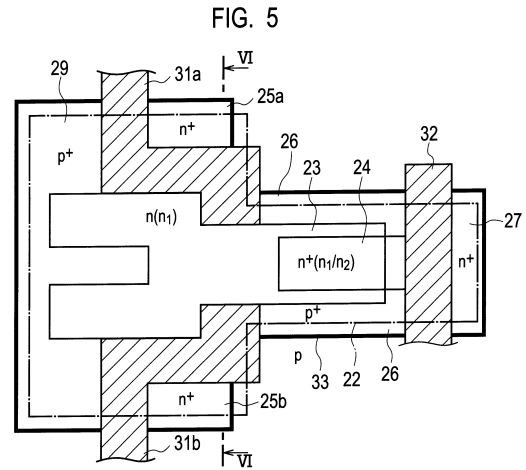
【 図 3 】



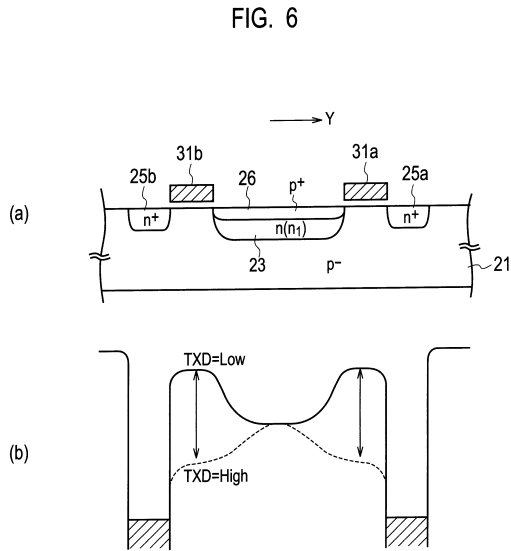
【 図 4 】



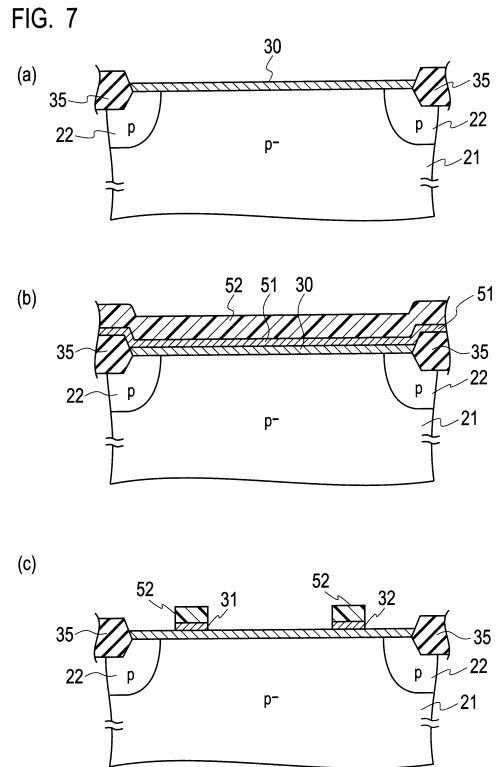
【 図 5 】



【 図 6 】

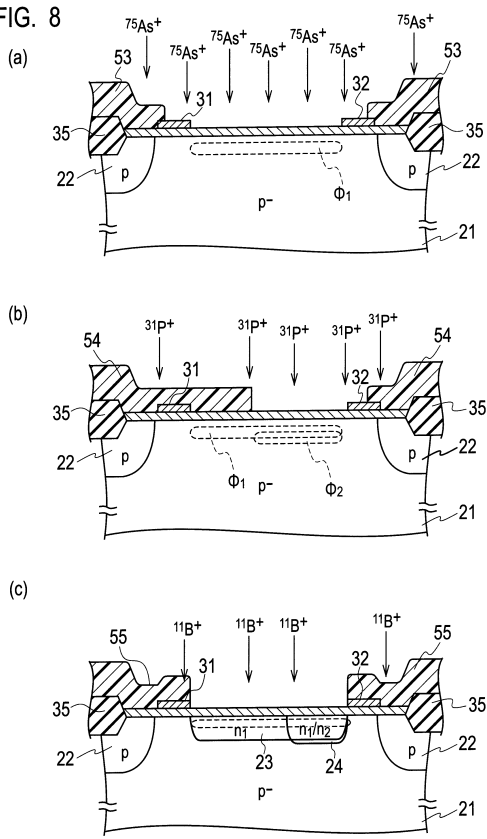


【 図 7 】



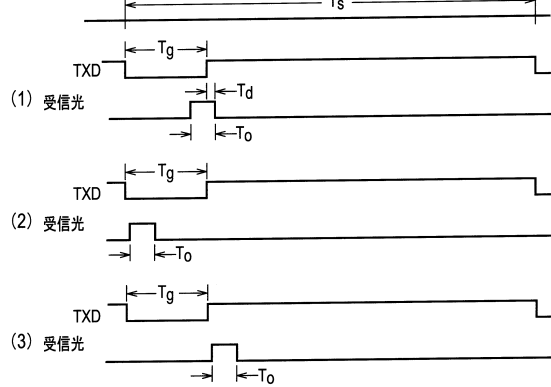
【 図 8 】

FIG. 8



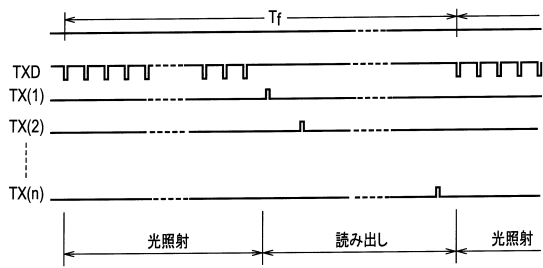
【 図 9 】

FIG. 9



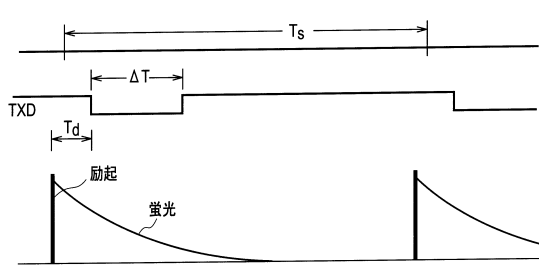
【 図 10 】

FIG. 10



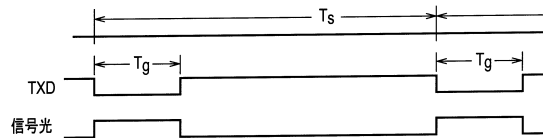
【 図 11 】

FIG. 11



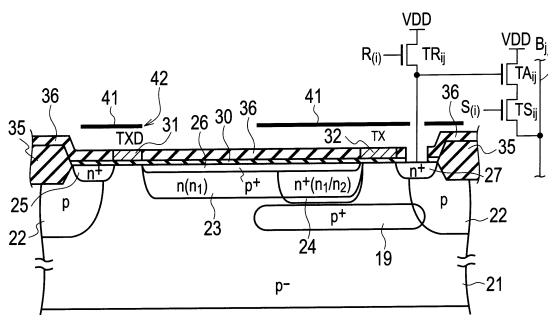
【 図 13 】

FIG. 13

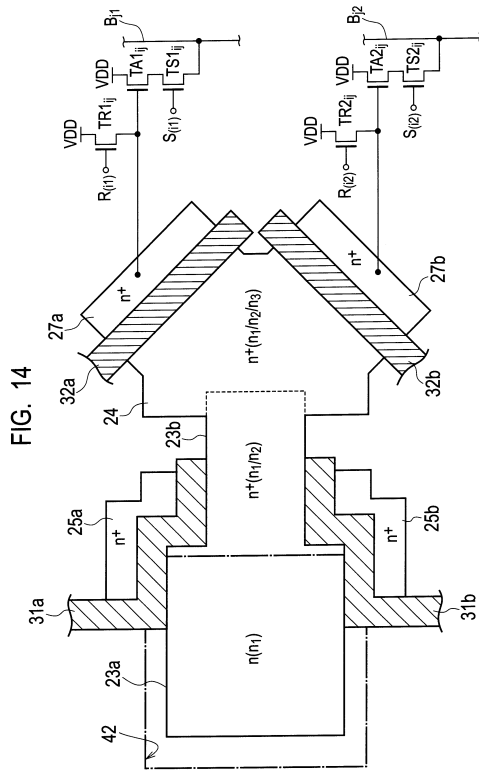


【 図 12 】

FIG. 12



【 図 1 4 】



---

フロントページの続き

- (56)参考文献 特開2008-103647(JP,A)  
特開2008-252814(JP,A)  
特開2001-326341(JP,A)  
特開平06-097406(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146  
H04N 5/374