

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5646302号  
(P5646302)

(45) 発行日 平成26年12月24日 (2014. 12. 24)

(24) 登録日 平成26年11月14日 (2014. 11. 14)

(51) Int. Cl. F 1  
H03B 19/14 (2006.01) H03B 19/14

請求項の数 1 (全 12 頁)

(21) 出願番号	特願2010-266180 (P2010-266180)	(73) 特許権者	899000068 学校法人早稲田大学 東京都新宿区戸塚町1丁目104番地
(22) 出願日	平成22年11月30日 (2010. 11. 30)	(73) 特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(65) 公開番号	特開2012-119819 (P2012-119819A)	(74) 代理人	100121371 弁理士 石田 和人
(43) 公開日	平成24年6月21日 (2012. 6. 21)	(72) 発明者	吉増 敏彦 福岡県北九州市若松区ひびきの2番7号 学校法人早稲田大学大学院情報生産システム研究科内
審査請求日	平成25年11月18日 (2013. 11. 18)	(72) 発明者	柴田 貴行 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

最終頁に続く

(54) 【発明の名称】 周波数逡倍器

(57) 【特許請求の範囲】

【請求項 1】

入力ノードと中間ノードの間に接続され、前記入力ノードに入力される所定の入力信号に対し、その入力信号の周波数及びそのn倍（nは偶数）の周波数を含む中間信号を生成し前記中間ノードに出力する入力回路を備え、

前記中間ノードが所定の入力インピーダンスを有する出力回路と接続される周波数逡倍器であって、

インダクタ及びキャパシタが直列接続された構成を有し、前記中間ノードに並列に接続された共振回路を具備し、

前記共振回路は、その共振周波数が前記入力信号の周波数と一致し、且つその出力インピーダンスが前記出力回路の入力インピーダンスに整合し、

前記入力回路は、前記入力ノードから入力される前記入力信号を半波整流することにより、前記入力信号の周波数及びそのn倍（nは整数）の周波数を含む中間信号を生成する半波生成回路であって、2個のバイポーラ・トランジスタ又は2個の電界効果トランジスタにより構成された差動増幅器の差動出力側の両端子を短絡して出力端子とした構成を有していることを特徴とする周波数逡倍器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、主に通信器に使用される周波数逡倍器に関する。

## 【背景技術】

## 【0002】

従来の周波数逡倍器は、トランジスタ (Field Effect Transister (略して F E T ) やバイポーラ・トランジスタなど) を用いて、そのトランジスタのコモン端子を接地し、さらにトランジスタをピンチオフ付近で動作させることにより、トランジスタが有する非線形性を利用して高周波を発生させる構成が一般的である。

## 【0003】

図7は、F E Tを用いた従来の周波数逡倍器の回路構成例である。図7は、特許文献1に記載のマイクロ波周波数逡倍器 (特許文献1の実施例1参照) に、一般的によく用いられる増幅器を接続した回路である。図7において、周波数逡倍器は、ソース接地した F E T 10、入力整合回路30、出力整合回路40、及び F E T 10の出力端子を基本波で短絡するためのスタブ回路50を具備している。F E T 10をピンチオフ付近で動作させると、その出力電流波形は半波整流波状となり、入力周波数の偶数次の高周波を多く含む出力スペクトルとなる。これらの出力スペクトルの中で最も出力電力が大きいには2倍波である。従って、図7の回路に基本波を入力すると、2倍の周波数を有する出力信号が得られる。

## 【0004】

以下、図7を参照しながら、従来の回路例の動作を詳細に説明する。F E T 10のソースは接地され、ゲートと入力ノード1との間には、入力インピーダンス整合回路30として伝送線路L1, L2, L3が接続されている。また、F E T 10のドレイン端子9には、基本波の抑圧回路としての先端オープンスタブ回路50が接続され、その次段には伝送線路L5, L6, L7がインピーダンス整合回路70を構成している。F E T 20は、増幅器を構成するトランジスタであり2倍波で利得を有する。整合回路60は伝送線路L8, L9, L10で構成され、増幅器の一部であり、F E T 20の出力インピーダンスを負荷 (一般的に50) に整合する。また、F E T 10とF E T 20の間にあるDCカットキャパシタ7は、直流成分のカットの目的で接続されている。スタブ回路50は、基本波では1/4波長の長さとなる先端オープンスタブである。このスタブ回路は2倍波では1/2波長と成るため、2倍波ではオープンとなり、2倍波を出力端子から取り出す際には、インピーダンスに影響を与えない。

## 【0005】

しかしながら、基本波で1/4波長となるスタブ回路は長いため、回路の小型化が困難である。例えば、基本波が1GHzで周波数逡倍器をSi基板上に構成する場合を考えると、その長さは20mm程度にもなる。

## 【0006】

このスタブ回路を小型化した回路構成については、特許文献1の実施例3に開示されている。図8は、特許文献1の実施例3に開示された従来の周波数逡倍器の回路構成例である。ここで、F E T 10のドレイン端子9には、インダクタ804と容量805が接続されており、基本波で共振するように設計されている。インダクタ804と容量805で構成される共振器820の共振周波数 $f_r$ は、次式(1)で表される。

## 【0007】

## 【数1】

$$f_r = \frac{1}{2\pi\sqrt{LC}} \quad (1)$$

## 【0008】

この回路においては、インダクタは300 $\mu$ m~400 $\mu$ m程度のサイズであり、容量はインダクタよりも小さいサイズで実現可能である。しかしながら、共振回路820の後段に、インダクタ806と容量807からなるインピーダンス整合回路840が必要であることで、小型化はやはり困難である。

## 【先行技術文献】

10

20

30

40

50

## 【特許文献】

【0009】

【特許文献1】特許第2998837号明細書

## 【発明の概要】

【発明が解決しようとする課題】

【0010】

上述した図7、図8の回路例ではFET 10の出力端（ドレイン端子9）には基本波の短絡回路（基本波の1/4波長となるスタブ回路50、又はインダクタ804と容量805により構成される共振回路820）が接続され、その後段にインピーダンス整合回路（30, 840）が接続されている。この構成では、基本波抑圧とインピーダンス整合とが異なる回路により分担されているため、回路の小型化が困難である。

10

【0011】

そこで、本発明の目的は、回路の小型化を可能とする周波数逡倍器を提供することにある。

【課題を解決するための手段】

【0012】

本発明に係る周波数逡倍器の第1の構成は、入力ノードと中間ノードの間に接続され、前記入力ノードに入力される所定の入力信号に対し、その入力信号の周波数及びそのn倍（nは偶数）の周波数を含む中間信号を生成し前記中間ノードに出力する入力回路を備え

20

、前記中間ノードが所定の入力インピーダンスを有する出力回路と接続される周波数逡倍器であって、

インダクタ及びキャパシタが直列接続された構成を有し、前記中間ノードに並列に接続された共振回路を具備し、

前記共振回路は、その共振周波数が前記入力信号の周波数と一致し、且つその出力インピーダンスが前記出力回路の入力インピーダンスに整合していることを特徴とする。

【0013】

この構成によれば、入力回路において、入力信号から入力信号の周波数及びその逡倍の周波数を含む中間信号が生成され、中間ノードに出力される。中間信号に含まれる入力信号周波数 $f_{in}$ の信号成分に対しては、共振回路のインピーダンスは0なので、共振回路で短絡されて消失する。一方、入力信号周波数 $f_{in}$ のn倍（nは整数）の周波数を含む信号成分（高調波成分）は、中間ノードから出力回路へ伝搬される。ここで、出力回路側から見た共振回路の出力インピーダンスは出力回路の入力インピーダンスに整合しているため、高調波成分の反射が抑制される。従って、本発明の共振回路は、従来の周波数逡倍器における共振回路及びインピーダンス変換回路の機能を兼ね備えており、従来よりも少数の部品構成により周波数逡倍器を構成することができる。

30

【0014】

ここで、「入力回路」としては、半波生成回路や掛け算回路が使用される。

「出力回路」には、アンプやアンテナ等が使用される。

【0015】

本発明に係る周波数逡倍器の第2の構成は、前記第1の構成において、前記入力回路は、前記入力ノードから入力される前記入力信号を半波整流することにより、前記入力信号の周波数及びそのn倍（nは整数）の周波数を含む中間信号を生成する半波生成回路であることを特徴とする。

40

【0016】

本発明に係る周波数逡倍器の第3の構成は、前記第2の構成において、前記半波生成回路は、ソース電極又はエミッタ電極を接地した電界効果トランジスタ又はバイポーラ・トランジスタと、前記電界効果トランジスタ又は前記バイポーラ・トランジスタを飽和領域で動作させるためのバイアス電圧を供給する電源回路と、を具備し、

前記電界効果トランジスタ又は前記バイポーラ・トランジスタのドレイン電極又はコレ

50

クタ電極が、前記中間ノードに接続されていることを特徴とする。

【0017】

本発明に係る周波数通倍器の第4の構成は、前記第2の構成バイポーラ・トランジスタ成回路は、2個のバイポーラ・トランジスタ又は2個の電界効果トランジスタにより構成された差動増幅器と、前記各バイポーラ・トランジスタ又は前記各電界効果トランジスタを飽和領域で動作させるためのバイアス電圧を供給する電源回路と、を具備し、

前記各電界効果トランジスタ又は前記各バイポーラ・トランジスタのドレイン電極又はコレクタ電極が、前記中間ノードに接続されていることを特徴とする。

【発明の効果】

【0018】

以上のように、本発明の周波数通倍器においては、共振回路の共振周波数を入力信号の周波数と一致させ、且つその出力インピーダンスを出力回路の入力インピーダンスと整合させたことにより、中間ノードにおいて基本波抑圧の共振回路がn倍波でのインピーダンス整合回路としても動作するため、周波数通倍器の小型化に有効である。

【0019】

また、入力回路としての半波生成回路に差動増幅器を用いた周波数通倍器においては、基本波抑圧の共振回路がインピーダンスを整合することで、差動トランジスタ・ペアの対称性を向上させ、電流と電圧波形を正弦波形に近づけるために有効である。

【図面の簡単な説明】

【0020】

【図1】本発明の実施例1に係る周波数通倍器の構成を表す回路図である。

【図2】本発明の実施例2に係る周波数通倍器の構成を表す回路図である。

【図3】本発明の実施例2において、共振回路の最適な設計値におけるインピーダンスの周波数軌跡を示す図である。

【図4】図2の周波数通倍器において、最適な共振回路250を接続した場合の周波数通倍器の出力電流と電圧波形の図である。

【図5】図2の周波数通倍器において、最適ではない共振回路を接続した場合の周波数通倍器の出力電流と電圧波形の図である。

【図6】本発明第2の実施例において、最適ではない設計値におけるインピーダンスの周波数軌跡を示す図である。

【図7】FETを用いた従来の周波数通倍器の回路構成例である。

【図8】特許文献1の実施例3に開示された従来の周波数通倍器の回路構成例である。

【発明を実施するための形態】

【0021】

以下、本発明を実施するための形態について、図面を参照しながら説明する。

【実施例1】

【0022】

図1は、本発明の実施例1に係る周波数通倍器の構成を表す回路図である。図1において、図7及び図8に示した従来の周波数通倍器と同様の構成部分については同符号を付す。本実施例1に係る周波数通倍器は、入力ノード1、出力ノード2、入力インピーダンス整合回路30、FET10、共振回路6、DCカットキャパシタ7、FET20、及び出力インピーダンス整合回路40を備えている。

【0023】

入力インピーダンス整合回路30は、入力ノード1とFET10のゲートとの間に接続されており、キャパシタ31、32及びインダクタ33を備えている。キャパシタ31及びインダクタ33は、入力ノード1とFET10のゲートとの間に直列に接続され、キャパシタ32はキャパシタ31及びインダクタ33の接続ノードとアースとの間に接続されている。FET10は、半波整流用のトランジスタであり、ソース接地されている。共振回路6及びDCカットキャパシタ7は、FET10のドレインとFET20のゲートとの間に接続されている。共振回路6は、インダクタ4及びキャパシタ5が、FET

10

20

30

40

50

10のドレインとアースとの間に直列に接続された構成から成る。また、DCカットキャパシタ7は、DC成分のカットのために、FET 10のドレインとFET 20のゲートとの間に挿入されている。FET 20は出力増幅のためのトランジスタであり、ソース接地されている。出力インピーダンス整合回路40は、出力側のインピーダンス整合を行うための回路であり、FET 10のドレインと出力ノード2との間に挿入されている。出力インピーダンス整合回路40は、インダクタ41及びキャパシタ42, 43から構成され、インダクタ41及びキャパシタ43はFET 10のドレインと出力ノード2との間に直列接続され、キャパシタ42はインダクタ41及びキャパシタ43の共通接続ノードとアースとの間に接続された構成から成る。

【0024】

10

本実施例における周波数通倍器が従来のもの(図8)と異なる点は、FET 10のドレイン端子9と出力増幅用のFET 20の入力ノードとの間に、インピーダンス整合回路がなく、基本波抑圧のための共振回路6とDCカットキャパシタ7のみが挿入されている点である。ここで、FET 10の入力インピーダンス整合回路30は、図8に示した従来周波数通倍器における入力インピーダンス整合回路830と同じ構成である。入力インピーダンス整合回路30は、入力ノード1から入力される基本波電力がFET 10に無駄なく供給されるように設計される。

【0025】

FET 10のドレイン端子9に接続される基本波抑圧のための共振回路6は、インダクタ4とキャパシタ5とで構成されている。この共振回路の共振周波数 $f_r$ は前述の式(1)で表される。基本波の周波数が共振周波数 $f_r$ と等しくなれば基本波の抑圧が可能となるが、共振周波数 $f_r$ は、式(1)より、インダクタ4の誘導係数Lとキャパシタ5の静電容量Cとで決まるため、その組み合わせは無数に存在する。

20

【0026】

一方、インダクタ4とキャパシタ5との直列回路のインピーダンスZは次式(2)で表される。

【0027】

【数2】

$$Z = j\omega L - \frac{1}{j\omega C} \quad (2) \quad 30$$

【0028】

ここで、 $f$ は各周波数であり、次式(3)で与えられる。

【0029】

【数3】

$$\omega = 2\pi f \quad (3)$$

【0030】

式(2), 式(3)より、周波数 $f$ が共振周波数 $f_r$ よりも大きい場合( $f > f_r$ )、インピーダンスZは誘導性となる。FET 10の出力インピーダンスは容量性であり、FET 20の入力インピーダンスも容量性である。これは、FETの出力側にあるドレイン・ソース間容量、FETの入力側にあるゲート・ソース間容量が主な原因である。従って、共振回路6により、FET 10とFET 20を複素共役整合させることが可能である。すなわち、図1において、中間ノードAから左を見たインピーダンスと右を見たインピーダンスの実数成分が等しく、虚数成分が異なる符号でその絶対値が等しくなるように設計する。このように設計すれば、インピーダンス整合回路は不要となり、周波数通倍器の小型化を実現することが可能となる。なお、図1においては、トランジスタとしてFETを用いて本発明を説明したが、FETの代わりに、バイポーラ・トランジスタを使用してもFET同様の動作が可能である。

40

【実施例2】

50

## 【 0 0 3 1 】

図 2 は、本発明の実施例 2 に係る周波数逡倍器の構成を表す回路図である。S i 基板を用いた高周波 L S I では、差動信号がよく用いられているため、本実施例では差動信号に対応した本発明の実施例を示す。本実施例の周波数逡倍器は、入出力信号が差動信号の場合の実施例であり、周波数逡倍器と出力増幅器を構成するトランジスタとして、バイポーラ・トランジスタを使用している。

## 【 0 0 3 2 】

図 2 において、実施例 2 に係る周波数逡倍器は、入力インピーダンス整合回路 2 0 0 と、バイポーラ・トランジスタ 2 1 0 , 2 1 1 及び抵抗 2 2 0 , 2 2 1 並びに電流源 2 2 2 からなる高調波発生回路と、インダクタ 2 4 0 及びキャパシタ 2 4 1 からなる共振回路 2 5 0 と、D C カットキャパシタ 7 , 7 と、バイポーラ・トランジスタ 2 6 0 , 2 6 1 及び抵抗 2 7 0 , 2 7 1 並びに電流源 2 7 2 からなる出力増幅回路と、出力インピーダンス整合回路 2 8 0 とを備えている。

10

## 【 0 0 3 3 】

本実施例では、入力ノードは 2 端子 ( 入力ノード A 1 , A 2 ) であり、各入力ノード A 1 , A 2 には、位相が 1 8 0 度異なり振幅が等しい差動信号が入力される。出力ノードも 2 端子 ( 出力ノード B 1 , B 2 ) であり、各出力ノード B 1 , B 2 からは、入力ノードと同様に、差動信号が出力される。

## 【 0 0 3 4 】

入力のインピーダンス整合回路 2 0 0 は、図 1 における整合回路 3 0 が、各入力ノード A 1 , A 2 に対して 1 個ずつ、2 個のペアで接続されている。

20

## 【 0 0 3 5 】

トランジスタ 2 1 0 , 2 1 1 ( 以下、「トランジスタ・ペア 2 1 0 A」と呼ぶ ) は差動動作を行うトランジスタ・ペアである。抵抗 2 2 0 , 2 2 1 は、それぞれ、トランジスタ・ペア 2 1 0 A に D C 電圧を供給する抵抗であり、トランジスタ・ペア 2 1 0 A には負荷抵抗の一部となる。電流源 2 2 2 は、トランジスタ・ペア 2 1 0 A の D C 電流を決定する。トランジスタ 2 1 0 , 2 1 1 のエミッタ端子、コレクタ端子はそれぞれショートされており、それぞれの共通接続ノードが中間ノード 2 3 0 , 2 3 1 となっている。

## 【 0 0 3 6 】

インダクタ 2 4 0 とキャパシタ 2 4 1 は基本波でショートとなる共振回路 2 5 0 であると同時に、差動トランジスタ・ペア 2 1 0 A と 2 6 0 A のインピーダンス整合を行う。

30

## 【 0 0 3 7 】

D C カットキャパシタ 7 , 7 は、D C 成分のカットのために、挿入されている。

## 【 0 0 3 8 】

トランジスタ 2 6 0 , 2 6 1 ( 以下、「トランジスタ・ペア 2 6 0 A」と呼ぶ。 ) は、2 倍波の差動増幅器である。抵抗 2 7 0 , 2 7 1 は、トランジスタ・ペア 2 6 0 A に D C 電圧を供給するとともに、トランジスタ・ペア 2 6 0 A の負荷抵抗の一部となる。電流源 2 7 2 は、トランジスタ・ペア 2 6 0 A の D C 電流を決定する。

出力インピーダンス整合回路 2 8 0 は、出力ノード B 1 , B 2 からみた差動増幅器の出力インピーダンスの整合を行うための回路であり、一般には、1 0 0 の負荷抵抗が出力ノード B 1 と出力ノード B 2 との間に接続される。

40

## 【 0 0 3 9 】

以上のように構成された本実施例に係る周波数逡倍器について、以下に詳細な動作を説明する。

## 【 0 0 4 0 】

入力ノード A 1 , A 2 から入力された基本周波数の差動信号 ( 基本波 ) は、インピーダンス整合回路 2 0 0 を経て、差動トランジスタ・ペア 2 1 0 A に入力される。2 個のトランジスタ 2 1 0 , 2 1 1 はピンチオフ付近にバイアスされており、その出力信号は半波整流波状となる。

## 【 0 0 4 1 】

50

ここで、両トランジスタ210, 211のコレクタ端子はショートされているので、理想的には出力信号の基本波は中間ノード230に発生しない。なぜなら、基本波の入力差動信号は出力端(トランジスタ210, 211のコレクタ端子)においては位相が180°異なるため、出力端(トランジスタ210, 211のコレクタ端子)をショートすれば、基本波出力は打ち消しあって発生しないからである。一方、2倍波の信号はトランジスタ210, 211のコレクタ端子に同位相で現れる。エミッタ端子でも同様である。このため、トランジスタ・ペア210Aの両コレクタをショートし、また、両エミッタもショートしても2倍波信号は影響を受けない。

#### 【0042】

トランジスタ・ペア210Aのコレクタ端子とエミッタ端子の間に発生する2倍波の電圧は位相が180°異なるので、コレクタとエミッタの両端子から差動信号として取り出すことが可能である。しかし、実際の回路ではトランジスタ210, 211の製造バラツキなどの理由により、多少の基本波が出力される。従って、基本波を抑圧する共振回路250が有効となる。ここで、2倍波の周波数を取り出す場合は、共振回路250を構成するインダクタ240とキャパシタ241は、差動トランジスタ・ペア210Aと差動トランジスタ・ペア260Aの複素共役整合が可能ないように設計される。

#### 【0043】

図3に、トランジスタ210, 211, 260, 261としてSiGeヘテロジャンクション・バイポーラ・トランジスタ(Heterojunction Bipolar Transistor; 以下略して「HBT」という。)を用い、インダクタ240として0.5nHのスパイラル・インダクタ、キャパシタ241として0.3pFのMIMタイプのキャパシタ(MIM: Metal Insulator Metal)を用いた場合の特性の一例を示す。入力する基本波の基本周波数は13GHz、2倍波の周波数は26GHzである。図3では、図2の中間ノードB, Cより左側をみたインピーダンスの周波数軌跡301と中間ノードB・Cより右側を見たインピーダンスの周波数軌跡302がスミスチャート上に示されている。ここで、インピーダンスの周波数軌跡301は共振回路250を含んだインピーダンスであり、インピーダンスの周波数軌跡302は共振回路250を含まず、DCカットキャパシタ7, 7を含むインピーダンスである。

#### 【0044】

図3において、インピーダンスの周波数軌跡301は、基本波の周波数(D点、13GHz)で低インピーダンスになっており、共振回路250の効果が表れている。尚、D点が完全なショート(スミスチャート上の最左端点)になっていないのは、共振回路250が僅かな損失を有するからである。

#### 【0045】

一方、インピーダンスの周波数軌跡301は2倍波の周波数(E点、26GHz)では、インピーダンスの周波数軌跡302(F点)とほぼ複素共役インピーダンスとなっている。従って、端子9において、複素共役インピーダンス整合が実現できている。

#### 【0046】

すなわち、共振回路250は、基本波で共振(低インピーダンス)しており、また、2倍波の周波数においてはインピーダンス整合の役割を果たしている。

#### 【0047】

図3に示したようにインピーダンスが整合されていると、周波数逓倍器の中間ノード230, 231の波形は対称で正弦波に近くなり、逆に、インピーダンスが整合されていないと、周波数逓倍器の出力波形は非対称となり正弦波ではなくなる。

#### 【0048】

図4は、図2の周波数逓倍器において、最適な共振回路250を接続した場合の周波数逓倍器の出力電流と電圧波形である。図4(a), (b)は、それぞれ、中間ノード230, 231に発生する電流波形と電圧波形の計算結果を示したものである。図4(a)は電流波形(単位はアンペア)で、2つの波形401, 402は対称で、正弦波になっている。また、図4(b)は電圧波形(単位はボルト)で、電流同様に、403と404は対

10

20

30

40

50

称で正弦波となっている。

【0049】

図5は、図2の周波数通倍器において、最適ではない共振回路を接続した場合の周波数通倍器の出力電流と電圧波形の図である。図5(a)、(b)は、それぞれ、共振回路250がインピーダンス整合回路として働いていない場合の波形計算結果である。図5(a)は電流波形411、412、図5(b)は電圧波形413、414を表す。ここで、インダクタ240は1.0nHで、キャパシタ351は0.15pFである。(1)式から、この共振回路250の共振周波数は13GHzであることが分かる。しかし、インピーダンスは整合できていない。

【0050】

図6に、図3と同様、インダクタ240が1.0nH、キャパシタ351が0.15pFの条件における中間ノードB・Cから左側を見たインピーダンス軌跡601と右側を見たインピーダンス軌跡602を示す。図6から明らかのように、基本周波数では低インピーダンス(G点)になっているが、2倍波周波数のインピーダンスを比較すると、H点とJ点(図3におけるF点に対応)は複素共役整合からはかなり外れている。すなわち、中間ノードB・Cでは複素共役インピーダンス整合は実現できていないことがわかる。従って、図5(a)、(b)に示すように、中間ノード230、231間の電流(単位はアンペア)と電圧波形(単位はボルト)は対称ではなくなり、また、正弦波でもなくなる。

【0051】

さらに、図4と図5を比較すると、電流振幅と電圧振幅ともに図4の方が大きくなっており、これは、周波数通倍器の出力電力が図4の方が大きいことを示している。従って、共振回路250がインピーダンス整合を行うことが出力電力の向上に有効であることが確認される。

【0052】

なお、本実施例では、図2において、トランジスタ210、211、260、261としてバイポーラ・トランジスタを用いたが、FETを用いてもバイポーラ・トランジスタ同様の動作が可能である。

【0053】

また、上述の説明においては2倍波を取り出す場合についての説明を行ったが、それ以外の高調波(4倍波、6倍波等)を取り出す場合にも、同様に、図3の周波数点E、Fを取り出したい高調波の周波数点とすれば、全く同様にして設計することができる。

【0054】

以上説明したように、本発明の周波数通倍器においては、中間ノード(図1の中間ノードA又は図2の中間ノードB、C)において基本波抑圧の共振回路(6、250)が2倍波でのインピーダンス整合回路としても動作するため、周波数通倍器の小型化に有効である。

【0055】

また、実施例2のように差動回路を用いた周波数通倍器においては、基本波抑圧の共振回路250がインピーダンスを整合することで、差動トランジスタ・ペア210A、260Aの対称性を向上させ、電流と電圧波形を正弦波形に近づけるために有効である。

【符号の説明】

【0056】

L1、L2、L3、L5、L6、L7、L8、L9、L10 インピーダンス整合用伝送線路

L4 基本波で1/4波長となるオープンスタブ

1、A1、A2 入力ノード

2、B1、B2 出力ノード

3、31、43、801、810 キャパシタ

7 DCカットキャパシタ

4、804 基本波共振回路を構成するインダクタ

10

20

30

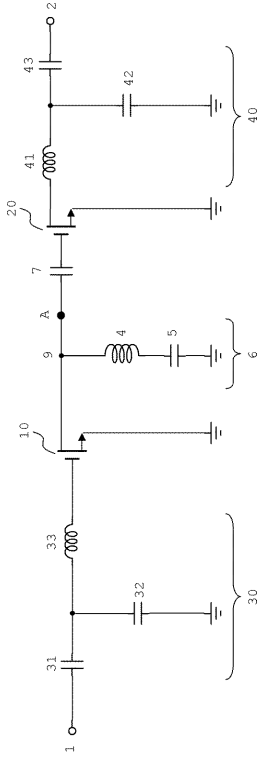
40

50

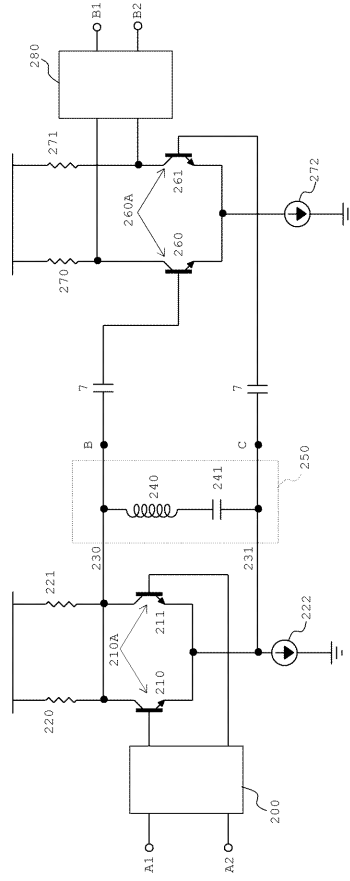


5 , 8 0 5	基本波共振回路を構成するキャパシタ	
6 , 5 0 , 8 2 0	基本波共振回路	
9	F E T のドレイン端子	
1 0	周波数逡倍器を構成する F E T	
2 0	2 倍波の増幅器を構成する F E T	
3 0 , 2 0 0 , 8 3 0	周波数逡倍器の入力インピーダンス整合回路	
3 2 , 8 0 2	周波数逡倍器の入力整合回路を構成するキャパシタ	
3 3 , 8 0 3	周波数逡倍器の入力整合回路を構成するインダクタ	
4 0 , 6 0 , 2 8 0 , 8 6 0	2 倍波増幅回路の出力インピーダンス整合回路	
4 1 , 8 0 8	2 倍波増幅回路の出力インピーダンス整合回路を構成するインダクタ	10
4 2 , 8 0 9	2 倍波増幅回路の出力インピーダンス整合回路を構成するキャパシタ	
7 0 , 8 4 0	周波数逡倍器の出力整合回路	
2 1 0 , 2 1 1	周波数逡倍器を構成するバイポーラ・トランジスタ	
2 2 0 , 2 2 1 , 2 7 0 , 2 7 1	抵抗	
2 2 2 , 2 7 2	電流源	
2 3 0	バイポーラ・トランジスタのコレクタ端子 ( 中間ノード )	
2 3 1	バイポーラ・トランジスタのエミッタ端子 ( 中間ノード )	
2 4 0	基本波共振回路を構成するインダクタ	
2 4 1	基本波共振回路を構成するキャパシタ	
2 5 0	基本波で共振回路し、さらに整合を行う回路	20
2 6 0 , 2 6 1	2 倍波増幅回路を構成するバイポーラ・トランジスタ	
2 8 0	2 倍波増幅回路の出力インピーダンス整合回路	
8 0 6	周波数逡倍器の出力整合回路を構成するインダクタ	
8 0 7	周波数逡倍器の出力整合回路を構成するキャパシタ	
3 0 1 , 3 0 2 , 6 0 1 , 6 0 2	インピーダンス周波数軌跡	
4 0 1 , 4 0 2 , 4 1 1 , 4 1 2	周波数逡倍器の出力電流波形	
4 0 3 , 4 0 4 , 4 1 3 , 4 1 4	周波数逡倍器の出力電圧波形	
A , B , C	中間ノード	
D , G	1 3 G H z における周波数逡倍器の出力インピーダンス	
E , H	2 6 G H z における周波数逡倍器の出力インピーダンス	30
E J	2 6 G H z における 2 倍波増幅回路の入力インピーダンス	

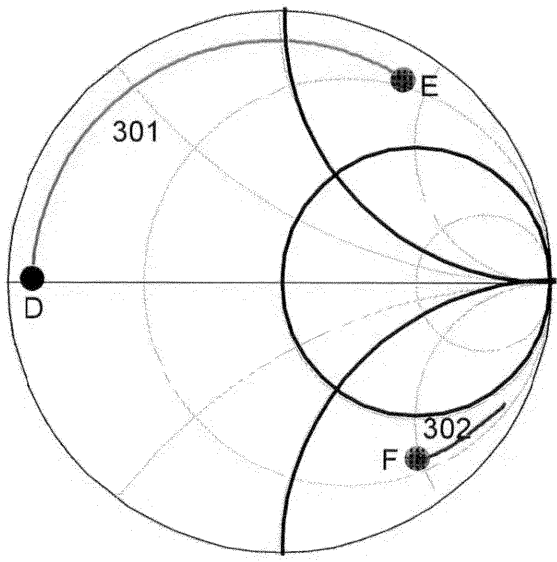
【図 1】



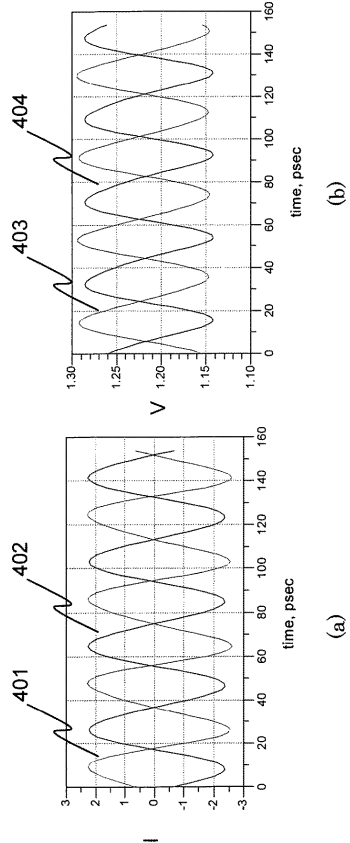
【図 2】



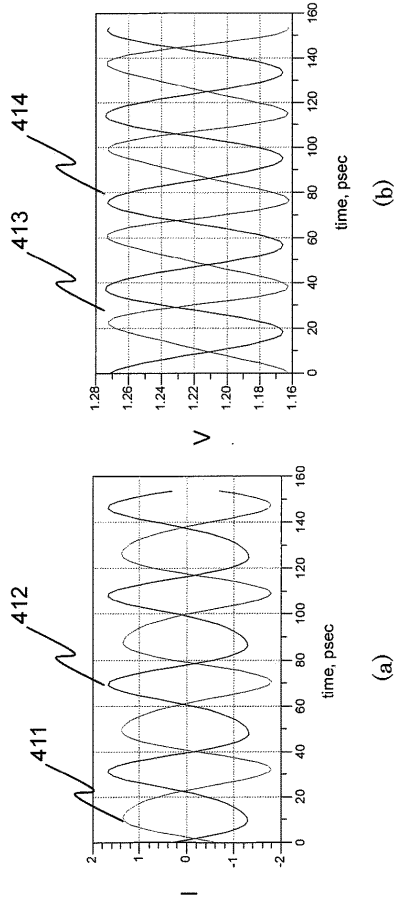
【図 3】



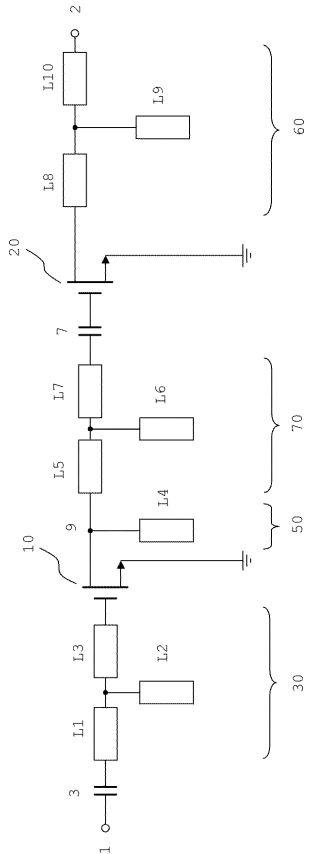
【図 4】



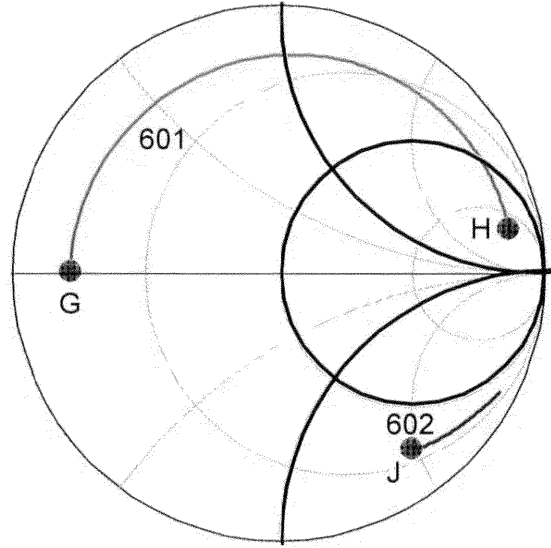
【 図 5 】



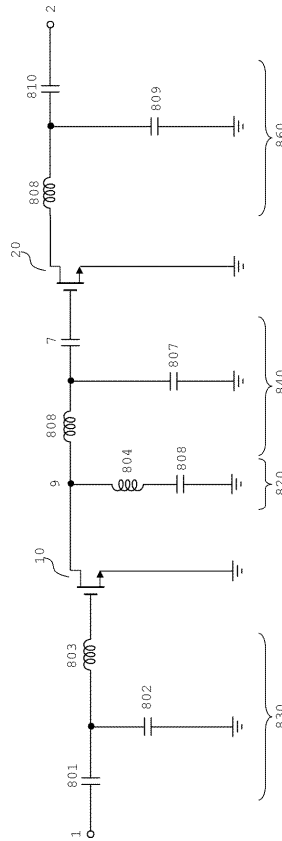
【 図 7 】



【 図 6 】



【 図 8 】



---

フロントページの続き

審査官 橋本 和志

- (56)参考文献 特開平05 - 275930 (JP, A)  
特開2003 - 283251 (JP, A)  
特開平07 - 135424 (JP, A)  
特開平05 - 102728 (JP, A)  
特開平11 - 031923 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H03B11/00 - 29/00