

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-129990

(P2010-129990A)

(43) 公開日 平成22年6月10日(2010.6.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2008-306887 (P2008-306887)
 (22) 出願日 平成20年12月1日(2008.12.1)

特許法第30条第1項適用申請有り American Institute of Physics、APPLIED PHYSICS LETTERS 92, 223503 (2008)、平成20年6月2日

(71) 出願人 504136568
 国立大学法人広島大学
 広島県東広島市鏡山1丁目3番2号
 (74) 代理人 100095407
 弁理士 木村 満
 (74) 代理人 100138955
 弁理士 末次 涉
 (74) 代理人 100151873
 弁理士 鶴 寛
 (74) 代理人 100109449
 弁理士 毛受 隆典
 (72) 発明者 中島 安理
 広島県東広島市鏡山一丁目4番2号 国立
 大学法人広島大学ナノデバイス・バイオ融
 合科学研究所内

最終頁に続く

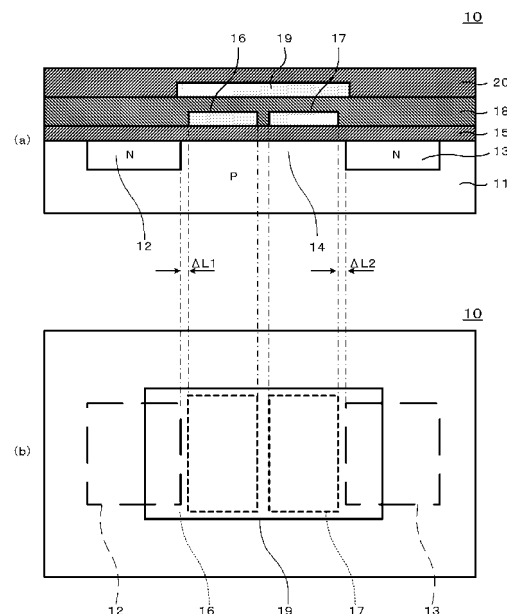
(54) 【発明の名称】 不揮発性半導体記憶素子とその製造方法

(57) 【要約】

【課題】構造が簡単で、素子サイズを縮小でき、高集積化に適し、且つ欠陥の起こりにくい不揮発性半導体記憶素子を提供する。

【解決手段】不揮発性半導体記憶素子10は、1ビット又は多ビット分のデータを記憶する素子であり、チャンネル領域14を挟んで配置されたソース領域12とドレイン領域13と、ゲート絶縁膜15、18と、保護絶縁膜20に埋設され、チャンネル領域14上に並んで配置され、ソース領域12及びドレイン領域13に対向しない複数の浮遊ゲート電極16、17と、ゲート絶縁膜15、18上に、チャンネル領域14に対向して配置されたコントロールゲート19と、を備える。各浮遊ゲート電極16、17は、物理的或いは電気的にチャンネル幅と同等かそれ以上の大きさを有する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

チャンネル領域を介して配置されたソース領域とドレイン領域と、
少なくとも前記チャンネル領域を覆って形成された第 1 のゲート絶縁膜と、
前記第 1 のゲート絶縁膜上に、前記チャンネル領域に対向し、互いに絶縁されており、前記ソース領域及び前記ドレイン領域上を避けて形成された複数の浮遊ゲート電極と、
前記複数の浮遊ゲート電極上に形成され、前記第 1 のゲート絶縁膜と共に前記複数の浮遊ゲート電極を相互に絶縁すると共に他から絶縁する第 2 のゲート絶縁膜と、
前記第 2 のゲート絶縁膜上に、前記チャンネル領域に対向して配置されたゲート電極と、
を備える不揮発性半導体記憶素子。

10

【請求項 2】

前記複数の浮遊ゲート電極は、それぞれ、前記チャンネル領域の幅と物理的に或いは電氣的に等しいかより広く、チャンネル幅全体に渡って形成されている、
ことを特徴とする請求項 1 に記載の不揮発性半導体記憶素子。

【請求項 3】

前記複数の浮遊ゲート電極は、前記チャンネル上で、同一レベルに配置されており、
前記第 1 のゲート絶縁膜の表面は、平坦に形成されている、
ことを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶素子。

【請求項 4】

前記チャンネル領域から前記複数の浮遊ゲート電極への電子の注入および注入した電子の引き抜きを行い、前記複数の浮遊ゲート電極の電子の蓄積状態を揃える記憶制御手段を更に備えることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の不揮発性半導体記憶素子。

20

【請求項 5】

ソース領域、チャンネル領域、及びドレイン領域の上に、第 1 のゲート絶縁膜を形成する工程、

第 1 のゲート絶縁膜上に、導体層又は半導体層を形成する工程、

前記導体層又は半導体層をパターンングすることにより、同一層レベルに配置され、それぞれチャンネル領域に対向し且つ前記ソース領域及び前記ドレイン領域上を避けて配置された複数の浮遊ゲート電極を形成する工程と、

30

前記複数の浮遊ゲート電極をそれぞれを覆う第 2 のゲート絶縁膜を形成する工程と、

前記第 2 のゲート絶縁膜上に前記チャンネル領域に対向するゲート電極を形成する工程と

を備えることを特徴とする不揮発性半導体記憶素子の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、フラッシュメモリ、EEPROM等の電氣的に書き込み・消去可能な不揮発性半導体記憶素子とその製造方法に関する。

【背景技術】

40

【0002】

不揮発性の半導体記憶素子として、他から絶縁された浮遊ゲートを備えるEEPROM、フラッシュメモリなどが知られている。これらの半導体記憶素子は、浮遊ゲートに蓄積される電荷の量に応じて閾値が変化し、この閾値の変化により、データを記憶する。

【0003】

浮遊ゲートの電荷の注入および浮遊ゲートからの電荷の引き出しは、薄く形成されたトンネル絶縁膜を介して行われる。

【0004】

従来の半導体記憶素子では、初期欠陥、経年劣化等によりトンネル絶縁膜が劣化し、浮遊ゲートへの電荷の蓄積が困難となることがある。

50

【 0 0 0 5 】

この問題を解決するため、特許文献 1 は、2つの浮遊ゲートを備える不揮発性半導体素子を開示する。

この不揮発性半導体素子は、一方の浮遊ゲートの蓄積電荷が失われても、他方の浮遊ゲートの蓄積電荷により、記憶データを保持できる。

【 0 0 0 6 】

【特許文献 1】特許第 3 2 6 4 3 6 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

10

特許文献 1 に開示された構成では、チャンネル長方向に並んで配置された 2つの浮遊ゲートが、ソース・ドレイン領域につながる不純物拡散領域上まで引き回されて、薄いトンネル酸化膜を介して不純物拡散領域に対向している。このため、素子の構造が複雑で、製造歩留まりに影響を与えてしまう。且つ、素子全体の面積が大きくなってしまったため、高集積化に不相当である。また、浮遊ゲートに注入される電子に示すホットエレクトロンの割合が高く、電子の注入によるトンネル絶縁膜の劣化が激しく、素子欠陥が起りやすい。

【 0 0 0 8 】

この発明は、こうした実情に鑑みてなされたものであり、構造が簡単で、全体のサイズの縮小が可能であり、欠陥の起りにくい不揮発性半導体記憶素子を提供することを目的とする。

20

【課題を解決するための手段】

【 0 0 0 9 】

こうした目的を達成するため、本発明の不揮発性半導体記憶素子は、チャンネル領域を介して配置されたソース領域とドレイン領域と、少なくとも前記チャンネル領域を覆って形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜上に、前記チャンネル領域に対向し、互いに絶縁されており、前記ソース領域及び前記ドレイン領域上を避けて形成された複数の浮遊ゲート電極と、前記複数の浮遊ゲート電極上に形成され、前記第 1 のゲート絶縁膜と共に前記複数の浮遊ゲート電極を相互に絶縁すると共に他から絶縁する第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜上に、前記チャンネル領域に対向して配置されたゲート電極と、を備える。

30

【 0 0 1 0 】

例えば、前記複数の浮遊ゲート電極は、それぞれ、前記チャンネルの幅と物理的に或いは電氣的に等しいかより広く、チャンネル幅全体に渡って形成されている。

【 0 0 1 1 】

例えば、前記複数の浮遊ゲート電極は、前記チャンネル上で、同一レベルに配置されており、前記第 1 のゲート絶縁膜の表面は、平坦に形成されている。

【 0 0 1 2 】

例えば、前記チャンネル領域から前記複数の浮遊ゲート電極への電子の注入および注入した電子の引き抜きを行い、前記複数の浮遊ゲート電極の電子の蓄積状態を揃える記憶制御手段を更に配置してもよい。

40

【 0 0 1 3 】

また、本発明の不揮発性半導体記憶素子の製造方法は、ソース領域、チャンネル領域、及びドレイン領域の上に、第 1 のゲート絶縁膜を形成する工程、

第 1 のゲート絶縁膜上に、導体層又は半導体層を形成する工程、

前記導体層又は半導体層をパターンングすることにより、同一層レベルに配置され、それぞれチャンネル領域に対向し且つ前記ソース領域及び前記ドレイン領域上を避けて配置された複数の浮遊ゲート電極を形成する工程と、

前記複数の浮遊ゲート電極それぞれを覆う第 2 のゲート絶縁膜を形成する工程と、

50

前記第2のゲート絶縁膜上に前記チャンネル領域に対向するゲート電極を形成する工程と、
を備えることを特徴とする。

【発明の効果】

【0014】

本発明によれば、簡単な構成で、微小サイズで高集積化が可能で、欠陥が起こりにくい不揮発性半導体記憶素子を提供できる。

【発明を実施するための最良の形態】

【0015】

以下、この発明の実施の形態に係る不揮発性半導体記憶素子10について図1を参照して説明する。

ここで、図1(a)は不揮発性半導体記憶素子10の断面図、図1(b)は不揮発性半導体記憶素子10の主要部の平面配置図である。

図示するように、本実施形態の不揮発性半導体記憶素子10は、1ビット分のデータを記憶する不揮発性の半導体記憶素子であり、半導体基体11と、ソース領域12と、ドレイン領域13と、チャンネル領域14と、第1のゲート絶縁膜15と、第1と第2の浮遊ゲート電極16と17と、第2のゲート絶縁膜18と、コントロールゲート19と、保護絶縁膜20とを備える。

【0016】

半導体基体11は、例えば、P型のシリコン単結晶基板、N型の単結晶基板内に形成されたP型ウェル領域、N型のシリコン単結晶基板上に形成されたP型エピタキシャル層などから構成される。

【0017】

ソース領域12は、半導体基体11の表面領域に、例えば、矩形状にN型不純物を拡散して形成されている。

ドレイン領域13は、半導体基体11の表面領域に、ソース領域12に対向して形成されたN型の領域である。

【0018】

チャンネル領域14は、N型のソース領域12とN型のドレイン領域13との間のP型の領域から構成される。チャンネル領域14の長さ(チャンネル長)は、例えば、1nm~200μm、チャンネル領域14の幅(チャンネル幅)は、1nm~100μmに形成される。

【0019】

ソース領域12、ドレイン領域13、チャンネル領域14は、LOCOS(Local Oxidation of Silicon)により素子分離される。

【0020】

第1のゲート絶縁膜15は、トンネル絶縁膜として機能し、シリコン酸化膜やシリコン窒化膜等の絶縁物から構成され、半導体基体11の上に配置されている。第1のゲート絶縁膜15は、例えば、2~5nm程度のほぼ均一な厚さと平坦な表面を有する。

【0021】

第1と第2の浮遊ゲート電極16と17は、ポリシリコンなどから構成され、チャンネル領域14に対向して、チャンネル長方向(ソース・ドレイン間方向)に並んで配置されており、同一の電子蓄積状態(電子を蓄積又は無蓄積)に制御される。第1と第2の浮遊ゲート電極16と17は、それぞれ、チャンネル幅と等しいか、又は、より広く(すなわち、チャンネル領域14の幅方向全域に渡って)形成されている。なお、第1と第2の浮遊ゲート電極16と17の幅は、物理的にチャンネル幅よりも広く形成されるだけでなく、物理的にはチャンネル幅と同等かより狭いが、第1と第2の浮遊ゲート電極16と17からの電界(電気力線)の広がりチャンネル幅よりも広くなる程度の幅に形成されてもよい。即ち、電氣的に、チャンネル幅よりも広く形成されてもよい。

【0022】

第1の浮遊ゲート電極16と第2の浮遊ゲート電極17とは、同一の層レベルに位置し

10

20

30

40

50

ており、ソース領域 12 とドレイン領域 13 上には延在していない。即ち、ソース領域 12 のエッジと第 1 の浮遊ゲート電極 16 との間には間隔 L_1 が配置され、ドレイン領域 13 のエッジと第 2 の浮遊ゲート電極 17 との間には間隔 L_2 が配置されている。

【0023】

第 2 のゲート絶縁膜 18 は、第 1 のゲート絶縁膜 15 の上に、18 nm 程度の厚さで、第 1 と第 2 の浮遊ゲート電極 16, 17 を覆って形成され、第 1 と第 2 の浮遊ゲート電極 16 と 17 とを相互に絶縁すると共に他の部材からも絶縁している。

【0024】

コントロールゲート 19 は、ポリシリコン等から構成され、第 2 のゲート絶縁膜 18 の上に、チャンネル領域 14 に対向し、且つ、第 1 と第 2 の浮遊ゲート電極 16 と 17 を覆って形成されている。

【0025】

保護絶縁膜 20 は、全体を覆って保護している。

【0026】

次に、上記構成の不揮発性半導体記憶素子 10 にデータ "0" を書き込む、すなわち、第 1 と第 2 の浮遊ゲート電極 16 と 17 に電子を注入する動作を説明する。

【0027】

まず、図 2 に示すように、コントロールゲート 19 に書込用高電圧 V_W 、例えば、4 (2 ~ 5) V を印加した状態で、ドレイン領域 13 に正極性の電圧 V ($V_W \gg V$)、例えば、1 V を印加し、ソース領域 12 に基準電圧 V_r ($V_W \gg V \gg V_r$)、例えば、グラ
 ンド電圧を印加する。

【0028】

これにより、チャンネル領域 14 に、ソース領域 12 からドレイン領域 13 に向かって電子が流れる。

さらに、コントロールゲート 19 に印加された書込用高電圧 V_W により、チャンネル領域 14 を流れる電子の一部 (トンネル電流) が、トンネル効果により、第 1 のゲート絶縁膜 15 を介して第 1 と第 2 の浮遊ゲート電極 16 と 17 に注入され、第 1 と第 2 の浮遊ゲート電極 16 と 17 は共に電子が注入された状態になる。

【0029】

次に、不揮発性半導体記憶素子 10 の記憶データを消去する場合、すなわち、第 1 と第 2 の浮遊ゲート電極 16 と 17 に注入された電荷を引き抜く場合には、図 3 に示すように、コントロールゲート 19 に消去電圧 V_E ($V_W > 0 > V_E$)、例えば、-2 ~ -3 V を印加し、ソース領域 12 およびドレイン領域 13 にグラ
 ンド電圧を印加する。これにより、第 1 と第 2 の浮遊ゲート電極 16 と 17 とチャンネル領域 14 との間に第 1 のゲート絶縁膜 15 を介してトンネル電流が流れ、第 1 と第 2 の浮遊ゲート電極 16 と 17 に蓄積されていた電子 (負電荷) が放出され、第 1 と第 2 の浮遊ゲート電極 16 と 17 は共に電子が放出された状態になる。

【0030】

次に、不揮発性半導体記憶素子 10 の記憶データを読み出す場合には、図 4 に示すように、コントロールゲート 19 に読み出し電圧 V_R ($V_W > V_R > V_E$) を印加し、ソ
 ース領域 12 にグラ
 ンド電圧、ドレイン領域 13 に正極性の電圧 V を印加する。

【0031】

すると、第 1 と第 2 の浮遊ゲート電極 16 と 17 に電子 (負電荷) が蓄積されている場合には、N 型チャンネルが生成されにくく、ソース領域 12 からドレイン領域 13 に流れる電子流は相対的に小さくなる。逆に、第 1 と第 2 の浮遊ゲート電極 16 と 17 に負電荷が蓄積されていない場合には、ソース領域 12 からドレイン領域 13 に流れる電子流は相対的に大きくなる。このため、この電子流の大きさの差、即ち、電流の差から、このメモ
 リセルの記憶データが "1" か "0" かが判別できる。

【0032】

この点をより具体的に説明する。

10

20

30

40

50

第1と第2の浮遊ゲート電極16と17に電子が注入された状態と、注入されていない状態とで、コントロールゲート19の印加電圧 V_g を0(接地)とした場合と、正極性の所定の電圧 V とした場合の、チャンネル方向のポテンシャル分布を図5(a)~(d)に示す。なお、ソース領域12とドレイン領域13とに共に接地電圧を印加している。

【0033】

図5(a)、(c)に示すように、コントロールゲート19に $V_g = 0$ Vが印加されている状態では、ポテンシャル障壁が高く、ソース領域12とドレイン領域13との間に電圧 V を印加しても、チャンネル領域14に電流は流れない。

【0034】

一方、図5(b)、(d)に示すように、コントロールゲート19に $V_g = V_R$ (正電圧)が印加されている状態では、ポテンシャル障壁が低くなり、ソース領域12とドレイン領域13との間に印加された電圧 V に応じて、チャンネル領域14に電流が流れる。

【0035】

しかし、第1と第2の浮遊ゲート電極16と17に電子が蓄積されているか否かにより、ポテンシャル障壁の高さが大きく異なり、ドレイン領域13からソース領域12に向かってチャンネル領域14を流れる電流の量が大きく異なる。この電流の差により、電流が小さいときが"0"(電子の蓄積あり)、電流の大きいときが"1"(電子の蓄積無し)と判別することができる。

【0036】

ここで、第1のゲート絶縁膜15に欠陥が存在し、第1の浮遊ゲート電極16の蓄積電荷が漏出したとする。ただし、第2の浮遊ゲート電極17の蓄積電荷に漏出等は存在しないとする。この場合、チャンネル領域のポテンシャルは、図5(e)、(f)に示すようになり、第1の浮遊ゲート電極16が存在する部分には、図5(c)、(d)に示す消去状態の不揮発性半導体記憶素子10と同様のポテンシャル分布が存在し、第2の浮遊ゲート電極17が存在する部分には、図5(a)、(b)に示す記憶状態の不揮発性半導体記憶素子10と同様のポテンシャル分布が存在する。すなわち、ソース領域12とドレイン領域13との間のチャンネル領域14には、正常時と同様のポテンシャル障壁が存在する。このため、ソース領域12とドレイン領域13との間のチャンネル領域には、第1と第2の浮遊ゲート電極16と17に電荷が蓄積されていない場合よりも、電流が流れにくい。このため、第1と第2の浮遊ゲート16と17に負電荷が注入されていること、すなわち、記憶データが"0"であることを判別することができる。

【0037】

従って、不揮発性半導体記憶素子10は、2つの浮遊ゲート電極16, 17のうち1つの蓄積電荷が、絶縁破壊等により漏出しても、記憶データを保持することができる。

【0038】

また、特許文献1に記載の構成と異なり、素子構造が簡単であり、素子の微細化、高歩留化が可能である。また、第1と第2の浮遊ゲート電極16と17を、ソース領域12及びドレイン領域13とオーバーラップさせないので、第1と第2の浮遊ゲート電極16, 17及び第1のゲート絶縁膜15に注入される電子に占めるホットエレクトロンの割合が低下する。従って、ホットエレクトロンによる欠陥の発生率を小さくすることが可能となる。

【0039】

次に、上記構成の不揮発性半導体記憶素子10の製造方法を説明する。

まず、半導体基体11にイオン打込などにより、ソース領域12とドレイン領域13とを形成する。

【0040】

次に、選択酸化等により、ソース領域12、ドレイン領域13、チャンネル領域14を区画するLOCOS絶縁膜を形成する。

次に、熱酸化等により、図6(a)に示すように、2~5 nm程度の均一な膜厚のシリコン酸化膜等の絶縁膜を形成する。この膜が第1のゲート絶縁膜15となる。

10

20

30

40

50

【 0 0 4 1 】

次に、第1のゲート絶縁膜15の上に、CVD、蒸着等により、図6(b)に示すように、多結晶シリコン、アモルファスシリコン、アルミニウムなどの金属等から構成された半導体膜或いは導体膜101を形成する。

【 0 0 4 2 】

図6(c)に示すように、半導体膜或いは導体膜101を、チャンネル領域14上に位置し、且つ、ソース領域12及びドレイン領域13とオーバーラップしない形状にパターニングして、第1と第2の浮遊ゲート電極16と17を形成する。

【 0 0 4 3 】

次に、図7(a)に示すように、CVD等により、全面に15~20nm程度の厚さのシリコン酸化膜等の絶縁膜を形成する。この絶縁膜が第2のゲート絶縁膜18となる。

【 0 0 4 4 】

次に、第2のゲート絶縁膜18の上に、CVD、蒸着等により、図7(b)に示すように、多結晶シリコン、アモルファスシリコン、アルミニウムなどの金属等から構成された導体膜102を形成する。

【 0 0 4 5 】

この導体膜102を、パターニングして、チャンネル領域14に対向するコントロールゲート19を形成する。

続いて、絶縁膜を形成して、保護膜とする。

【 0 0 4 6 】

不揮発性半導体記憶素子10を用いた不揮発性半導体記憶装置100の構成の一例を図8に示す。

図示するように、不揮発性半導体記憶素子10はm行×n列のマトリクス状に配置されている。

ワードラインWL(WL1~WLm)が同一行の不揮発性半導体記憶素子10のコントロールゲートに接続されている。

ビットラインBL(BL1~BLn)が同一列の不揮発性半導体記憶素子10のドレインに接続されている。

【 0 0 4 7 】

電圧設定ラインSL(SL1~SLm)が、同一行の不揮発性半導体記憶素子10のソースに接続される。

各電圧設定ラインSL(SL1~SLm)は、電圧設定回路SV1~SVmに接続される。

各ビットラインBL(BL1~BLn)は、トランスファゲートTG(TG1~Tgn)を介して、対応するセンスアンプSA1~SANに接続される。

さらに、各ビットラインBL(BL1~BLn)は、書き込みゲートWG(WG1~Wgn)を介して書き込み回路WCに接続される。

【 0 0 4 8 】

このように構成された不揮発性半導体記憶装置100の動作を説明する。

まず、通常状態では、ライトイネーブル信号WEはローレベルにあり、書き込みゲートWG1~Wgnは全てオフしている。書き込み回路WCもオフしている。電圧設定回路SV1~SVmは、全ての電圧設定ラインSL1~SLmをローレベル(グラウンドレベル)に設定する。これにより、不揮発性半導体記憶素子10のソース領域12はグラウンドレベルとなる。

【 0 0 4 9 】

・書き込み動作

書き込み対象の行のワードラインWLが書き込み電圧VWに設定され、対応する行の不揮発性半導体記憶素子10のコントロールゲート19に書き込み用のゲート電圧Vg=VWを印加する。

ライトイネーブル信号WEをハイレベルとし、全ての書き込みトランスファゲートTG

10

20

30

40

50

をオンする。" 0 " を書き込む不揮発性半導体記憶素子 1 0 に接続されたビットライン B L に接続されているトランスファゲート T G を選択的にオンする。書き込み回路 W C は出力電圧を正極性の電圧 V とする。

書き込み対象の行の電圧設定回路 S V の出力をグラウンドレベルとし、他はオープン状態とする。書き込み対象行の不揮発性半導体記憶素子 1 0 のソース領域 1 2 がグラウンドレベルに設定され、他はオープン状態に設定される。これにより、" 0 " を書き込む対象の不揮発性半導体記憶素子 1 0 には、図 2 に示す電圧が設定され、第 1 と第 2 の浮遊ゲート電極 1 6 と 1 7 に電子が注入される。

【 0 0 5 0 】

・消去動作

消去対象の不揮発性半導体記憶素子 1 0 の行のワードライン W L が負（マイナス）電圧に設定され、対応する行の不揮発性半導体記憶素子 1 0 のコントロールゲート 1 9 に消去用のゲート電圧 $V_g < 0$ を印加する。

ライトインエーブル信号 W E をハイレベルとし、全ての書き込みトランスファゲート T G をオンする。消去対象（" 1 " を書き込む）の不揮発性半導体記憶素子 1 0 に接続されたビットライン B L に接続されているトランスファゲート T G を選択的にオンする（全てのトランスファゲート T G をオンしてもよい）。書き込み回路 W C と電圧設定回路は出力電圧をレベル V_+ とする。

消去対象の行の電圧設定回路 S V の出力電圧を V_+ とし、他をグラウンドレベルとする。

これにより、" 1 " を書き込む対象の不揮発性半導体記憶素子 1 0 には、図 3 に示す電圧が設定され、第 1 と第 2 の浮遊ゲート電極 1 6 と 1 7 から電子が引き抜かれる。

【 0 0 5 1 】

・データ読み出し動作

データを読み出す場合、読み出し対象の不揮発性半導体記憶素子 1 0 に接続されているワードライン W L に選択電圧 $V_g = V_R$ を印加し、他のワードラインには非選択電圧 $V_g = 0$ を印加する。

また、読み出し対象の不揮発性半導体記憶素子 1 0 の行に設けられている電圧設定回路 S V は、対応する電圧設定ライン S L にグラウンド電圧を印加し、対応する行の不揮発性半導体記憶素子 1 0 のソース領域 1 2 をグラウンドに落とす。他の電圧設定回路 S V は、例えば、電圧設定ライン S L をオープン状態とする。

また、読み出し対象の不揮発性半導体記憶素子 1 0 に接続されたビットライン B L に接続されたトランスファゲート T G にハイレベルの読み出し信号 Y を供給し、対応するトランスファゲート T G をオンする。

センスアンプ S A 1 ~ S A n は、ビットライン B L 1 ~ B L n を所定電圧に設定する。各センスアンプ S A 1 ~ S A n は、ビットライン B L 1 ~ B L n を流れる電流、すなわち、対応する不揮発性半導体記憶素子 1 0 を流れるチャネル電流を測定し、記憶データを判別する。

【 0 0 5 2 】

以上説明したように、この実施の形態によれば、各不揮発性半導体記憶素子 1 0 の素子構造は単純な構成であり、製造および小型化が容易であると共に、歩留まりを高めることができる。

また、不揮発性半導体記憶素子 1 0 を大規模に集積化して不揮発性半導体記憶装置とすることも可能である。

【 0 0 5 3 】

なお、上記実施の形態における構成、動作、数値などは一例であり、これらに限定されるものではない。

【 0 0 5 4 】

例えば、ソース領域 1 2 及びドレイン領域 1 3 とチャネル領域 1 4 とを同一の幅としたが、図 9 に示すように、チャネル領域 1 4 をソース領域 1 2 やドレイン領域 1 3 よりも細く形成してもよい。この場合も、第 1 と第 2 の浮遊ゲート電極 1 6 と 1 7 は、チャネルの

10

20

30

40

50

幅方向全体を物理的に或いは電氣的に覆って形成されることが望ましい。

【 0 0 5 5 】

また、ソース領域 1 2 及び / 又はドレイン領域 1 3 がチャンネル領域 1 4 との間に不純物拡散領域を備える場合には、第 1 と第 2 の浮遊ゲート電極 1 6 と 1 7 は、不純物拡散領域にも重ならない事が望ましい。

【 0 0 5 6 】

また、上記実施の形態では、半導体基体 1 1 内にソース領域 1 2、ドレイン領域 1 3、チャンネル領域 1 4 を形成したが、例えば、図 1 0 に示すように、絶縁体の基板 3 2 上にソース領域 1 2、ドレイン領域 1 3、チャンネル領域 1 4 等を配置してもよい。即ち、S O I 構造を採用してもよい。

10

【 0 0 5 7 】

さらに、浮遊ゲート電極の数は 2 以上であれば任意であり、例えば、図 1 0 に示すように 3 つの浮遊ゲート電極 1 6 , 1 7 , 3 1 を配置するようにしてもよい。

【 0 0 5 8 】

以上の説明においては、1 つのメモリセルに 1 ビットのデータを格納する例を説明した。この発明はこれに限定されず、1 つの不揮発性半導体記憶素子 1 0 に複数ビットのデータを格納するようにしてもよい。この場合、例えば、書き込み時に、コントロールゲート 1 9 に書き込み対象のデータの値に対応する大きさの電圧 VW を印加し、第 1 と第 2 の浮遊ゲート電極 1 6 と 1 7 に書き込みデータに対応する量の電子を注入する。コントロールゲート 1 9 に書き込み電圧 VW を印加する時間を制御して、第 1 と第 2 の浮遊ゲート電極 1 6 と 1 7 に注入する電子の量を制御しても良い。一方、読み出し時には、ソース領域 1 2 とドレイン領域 1 3 との間に所定の電圧 V を印加し、コントロールゲート 1 9 に読み出し電圧 VR を印加する。このとき、チャンネル領域 1 4 を流れる電流の量は、第 1 と第 2 の浮遊ゲート電極 1 6 と 1 7 に注入された電子の量に応じて変化する。そこで、チャンネル領域 1 4 を流れる電流を測定し、測定した電流量をデータに変換する。

20

【 産業上の利用可能性 】

【 0 0 5 9 】

本願発明は、フラッシュメモリ、EEPROM 等の、電氣的に書き込み、読み出し、消去、可能な不揮発性半導体素子に適用可能である。

【 図面の簡単な説明 】

30

【 0 0 6 0 】

【 図 1 】 この発明の一実施形態に係る不揮発性半導体素子の構造を説明するための図であり、(a) は断面図、(b) は主要部の平面配置図である。

【 図 2 】 図 1 に示す不揮発性半導体素子への書き込み動作を説明するための図である。

【 図 3 】 図 1 に示す不揮発性半導体素子の消去動作を説明するための図である

【 図 4 】 図 1 に示す不揮発性半導体素子の読み出し動作を説明するための図である。

【 図 5 】 図 1 に示すメモリセルのチャンネル領域上のポテンシャル分布を示す図であり、(a) は、浮遊ゲート電極 1 6 , 1 7 に電子が注入されており、コントロールゲートに接地電圧を印加したときのポテンシャル分布、(b) は、浮遊ゲート電極 1 6 , 1 7 に電子が注入されており、コントロールゲートに読み出し電圧 V を印加したときのポテンシャル分布、(c) は、浮遊ゲート電極 1 6 , 1 7 に電子が注入されておらず、コントロールゲートに接地電圧を印加したときのポテンシャル分布、(d) は、浮遊ゲート電極 1 6 , 1 7 に電子が注入されておらず、コントロールゲートに読み出し電圧 V を印加したときのポテンシャル分布、(e) は、浮遊ゲート電極 1 6 に電子が注入されておらず、浮遊ゲート電極 1 7 に電子が注入されており、コントロールゲートに接地電圧を印加したときのポテンシャル分布、(f) は、浮遊ゲート電極 1 6 に電子が注入されておらず、浮遊ゲート電極 1 7 に電子が注入されており、コントロールゲートに読み出し電圧 V を印加したときのポテンシャル分布、である。

40

【 図 6 】 (a) ~ (c) は、不揮発性半導体記憶装置の製造工程を説明するための断面図である。

50

【図7】(a)~(c)は、不揮発性半導体記憶装置の製造工程を説明するための断面図である。

【図8】図1に示す不揮発性半導体記憶素子を用いた不揮発性半導体記憶装置の構成例を示す図である。

【図9】不揮発性半導体記憶素子の他の構造を示す平面図である。

【図10】不揮発性半導体記憶素子の他の構造を示す断面図である。

【符号の説明】

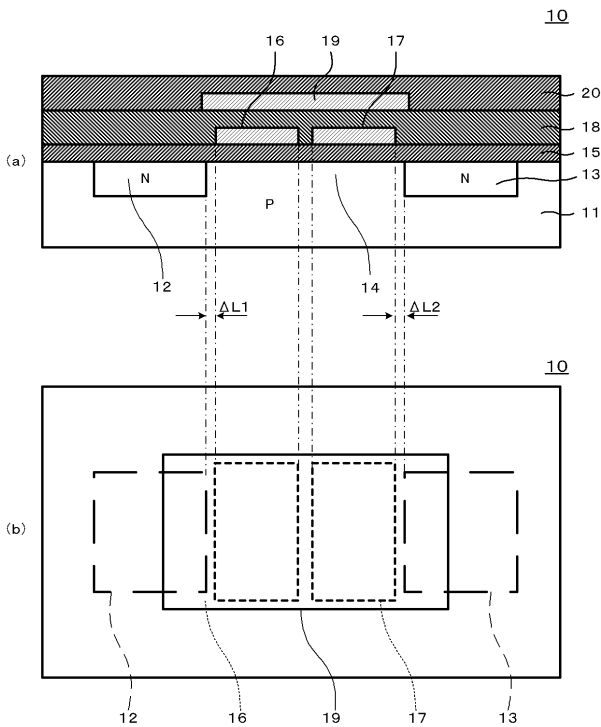
【0061】

- 10 不揮発性半導体記憶素子
- 11 半導体基体
- 12 ソース領域
- 13 ドレイン領域
- 14 チャンネル領域
- 15 第1のゲート絶縁膜
- 16 第1の浮遊ゲート電極
- 17 第2の浮遊ゲート電極
- 18 第2のゲート絶縁膜
- 19 コントロールゲート
- 20 保護絶縁膜
- 32 絶縁体
- 100 不揮発性半導体記憶装置
- 101 半導体膜或いは導体膜
- 102 導体膜

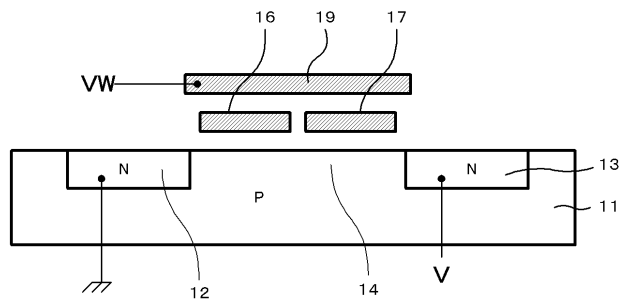
10

20

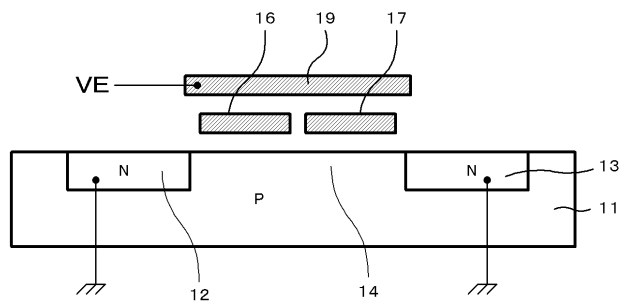
【図1】



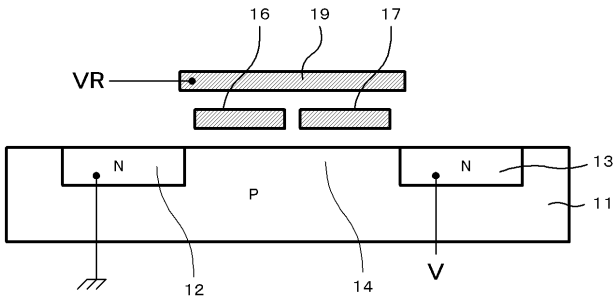
【図2】



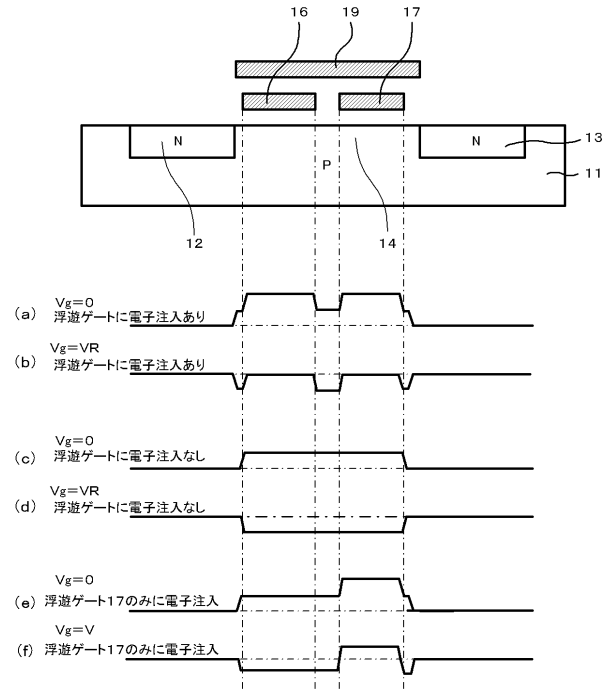
【図3】



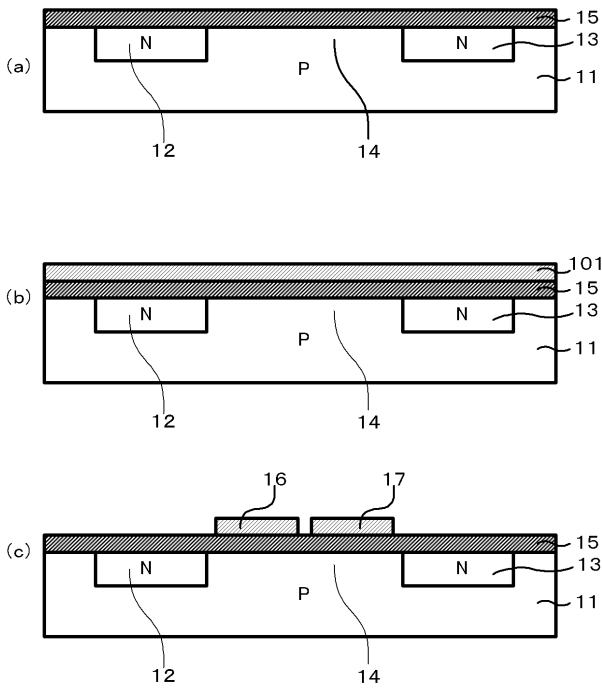
【 図 4 】



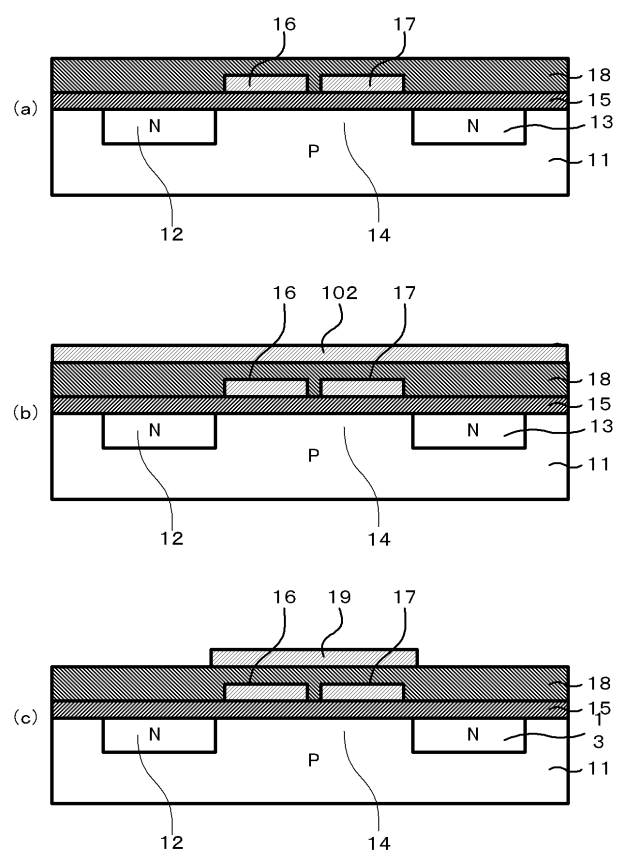
【 図 5 】



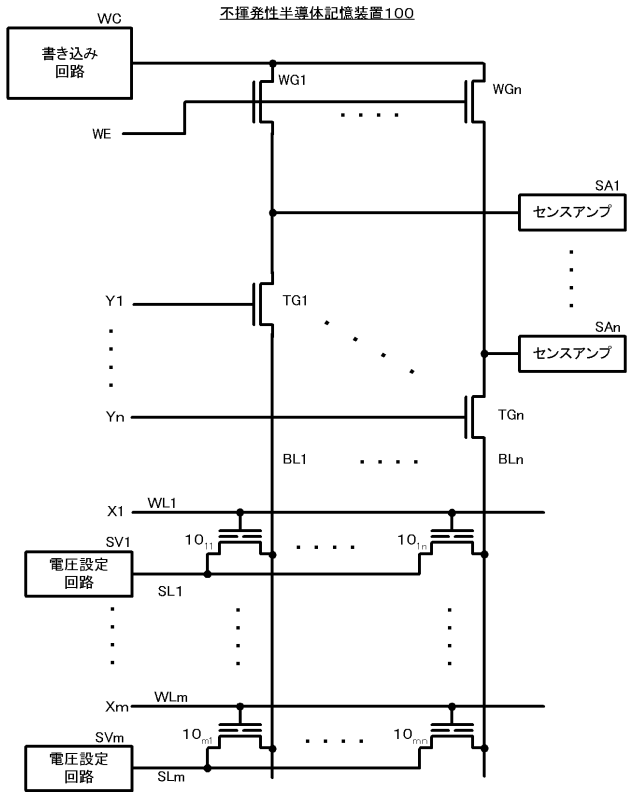
【 図 6 】



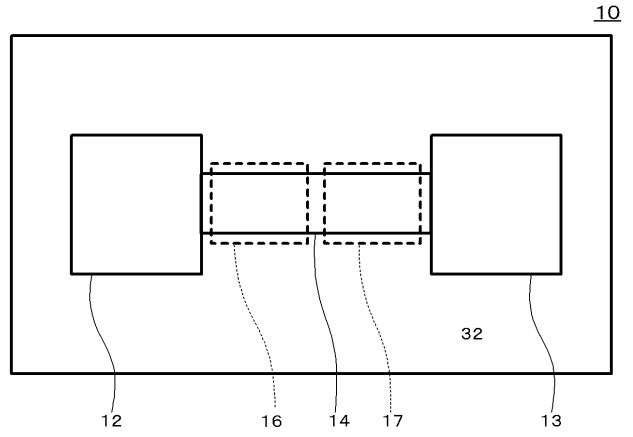
【 図 7 】



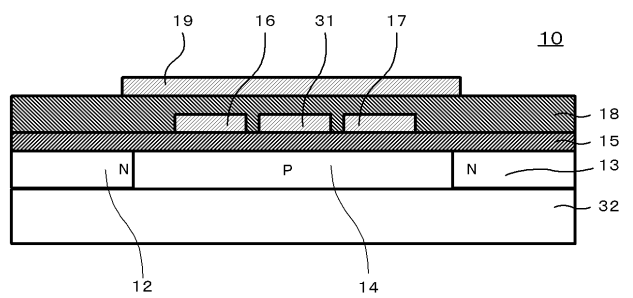
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

Fターム(参考) 5F083 EP09 EP22 EP44 ER03 ER21 ER22 ER30 GA21 JA05
5F101 BA16 BB02 BC02 BD02 BE02 BE05 BE07