

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-258242

(P2010-258242A)

(43) 公開日 平成22年11月11日(2010.11.11)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/66 (2006.01)	HO 1 L 29/66 S	5 F 1 1 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 2	
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 6 0 1 D	
	HO 1 L 29/66 U	

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 (22) 出願日 特許法第30条第1項適用申請有り Microprocesses and Nanotechnology 2008、2008 International Microprocesses and Nanotechnology Conference、The Japan Society of Applied Physics (社団法人応用物理学会)、平成20年10月27日-30日	(71) 出願人 504136568 国立大学法人広島大学 広島県東広島市鏡山1丁目3番2号 (74) 代理人 100095407 弁理士 木村 満 (74) 代理人 100138955 弁理士 末次 涉 (74) 代理人 100151873 弁理士 鶴 寛 (74) 代理人 100109449 弁理士 毛受 隆典 (72) 発明者 中島 安理 広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所内
--	---

最終頁に続く

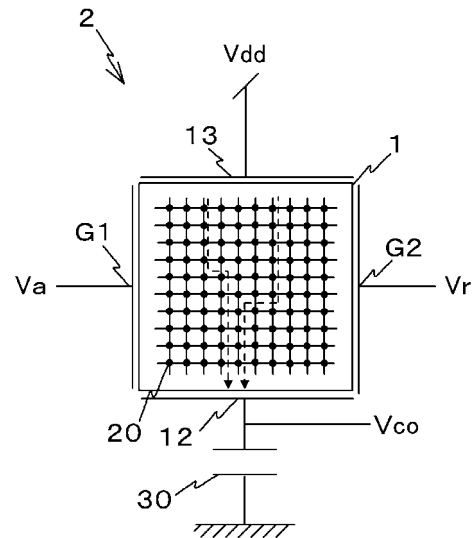
(54) 【発明の名称】 半導体素子、論理ゲート、ビットコンパレータ及び確率的連想処理回路

(57) 【要約】

【課題】 高速かつ高精度に、確率的な動作を実行する。

【解決手段】 2D-TJA14は、ソース領域12とドレイン領域13とを接続する抵抗線網である。2D-TJA14では、複数のドット20が形成されている。ゲート電極G1、G2は、2D-TJA14の複数のドット20各々と容量結合されている。2D-TJA14は、ドット20間を接続する抵抗線網によって微小トンネル接合が形成されている。ドット20のサイズは実質的に均一であり、微小トンネル接合のサイズも実質的に均一である。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

ソース領域と、
ドレイン領域と、
前記ソース領域と前記ドレイン領域とを接続する抵抗線網であって、複数の分岐部と、
該分岐部間を接続する複数の微小トンネル接合部とが形成された抵抗線網と、
前記複数の分岐部各々と容量結合された第 1 のゲート電極と、
前記複数の分岐部各々と容量結合された第 2 のゲート電極と、
を備え、
前記抵抗線網では、
前記分岐部のサイズが実質的に均一であるとともに、前記微小トンネル接合部のサイズ
が実質的に均一である半導体素子。

10

【請求項 2】

前記抵抗線網が、電子線露光によるパターン転写により、形成されている、
ことを特徴とする請求項 1 に記載の半導体素子。

【請求項 3】

前記微小トンネル接合部を形成する前記抵抗線網の線幅のばらつきが、10nm以内で
ある、
ことを特徴とする請求項 1 又は 2 に記載の半導体素子。

20

【請求項 4】

前記抵抗線網では、前記分岐部がマトリクス状に配置されている、
ことを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体素子。

【請求項 5】

請求項 1 に記載の半導体素子を備える論理ゲート。

【請求項 6】

請求項 1 に記載の半導体素子を備えるビットコンパレータ。

【請求項 7】

請求項 6 に記載のビットコンパレータを備える確率的連想処理回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体素子、論理ゲート、ビットコンパレータ及び確率的連想処理回路に係り、特に、微小トンネル接合を有する半導体素子、論理ゲート、ビットコンパレータ及び確率的連想処理回路に関する。

【背景技術】

【0002】

微小トンネル接合における単電子トンネル現象を利用した単電子動作により、動作する単電子デバイスが提案されている。単電子デバイスは、確率的に動作する。この確率性を積極的に利用して、既存の CMOS (Complementary Metal Oxide Semiconductor) デバイスでは実現が困難な知能的処理を実現できることが知られている (例えば、特許文献 1
、非特許文献 1 参照)。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2001-313386 号公報

【非特許文献】

【0004】

【非特許文献 1】T. Yamanaka, T. Morie, M. Nagata and A. Iwata, "A Single-electron stochastic associative processing circuit robust to random background-charge effects and its structure using nanocrystal floating-gate transistors", 2000 Nano

50

technology 11 154-160

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献1や非特許文献1に開示された単電子デバイスを、確率的に動作させるためには、デバイスに流れる電流のふるまいをポアソン分布に従ったものとするべく、その電流を極めて小さくする必要がある。その結果、単電子デバイスの動作速度が、CMOSデバイスに比べて著しく遅くなる。

【0006】

また、単電子デバイスでは、電流を極めて小さくする必要があるので、孤立ノード周辺のトラップや残留不純物などによる予想外の電荷（背景電荷）の影響を受けやすくなり、正常な動作が困難になる場合もある。

【0007】

本発明は、上記事情に鑑みてなされたものであり、高速かつ高精度に確率的な動作を実行することができる半導体素子、論理ゲート、ビットコンパレータ及び確率的連想処理回路を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記目的を達成するため、本発明の第1の観点に係る半導体素子は、
ソース領域と、
ドレイン領域と、

前記ソース領域と前記ドレイン領域とを接続する抵抗線網であって、複数の分岐部と、
該分岐部間を接続する複数の微小トンネル接合部とで形成された抵抗線網と、

前記複数の分岐部各々と容量結合された第1のゲート電極と、
前記複数の分岐部各々と容量結合された第2のゲート電極と、
を備え、

前記抵抗線網では、

前記分岐部のサイズが実質的に均一であるとともに、前記微小トンネル接合部のサイズが実質的に均一である。

【0009】

例えば、前記抵抗線網は、電子線露光によるパターン転写により、形成されていてもよい。

【0010】

例えば、前記微小トンネル接合部を形成する前期抵抗線網の線幅のばらつきが、10nm以内であってもよい。

【0011】

例えば、前記抵抗線網では、前記分岐部がマトリクス状に配置されていてもよい。

【0012】

また、本発明の第2の観点に係る論理ゲートは、本発明の半導体素子を備える。

【0013】

また、本発明の第3の観点に係るビットコンパレータは、本発明の半導体素子を備える。

【0014】

また、本発明の第4の観点に係る確率的連想処理回路は、本発明のビットコンパレータを備える。

【発明の効果】

【0015】

本発明に係る半導体素子等によれば、ソース領域とドレイン領域とを接続する抵抗線網は、複数の分岐部と、分岐部間を接続する複数の微小トンネル接合部とで形成されている。また、この抵抗線網では、分岐部のサイズが実質的に均一であるとともに、微小トンネ

10

20

30

40

50

ル接合部のサイズが実質的に均一である。この構成により、抵抗線網には、ソース領域とドレイン領域との間に、電流が流れる確率が均等な複数の伝導経路が形成される。

【0016】

電流が流れる確率は均等であるため、抵抗線網を流れる電流の伝導経路は、確率的に変動し、その度に、電圧対電流特性がばらつく。このばらつきにより、確率的な動作が可能となる。

【0017】

このように、この半導体素子等によれば、電流の伝導経路を変更することにより、電流を小さくしなくても確率的な動作が可能となるうえ、背景電荷の影響を考慮する必要がなくなる。この結果、高速かつ高精度に確率的な動作を実行することができる。

10

【図面の簡単な説明】

【0018】

【図1】本発明の一実施形態に係る2次元トンネル接合アレイを有する半導体素子の斜視図である。

【図2】図1の半導体素子における2次元トンネル接合アレイの上面図である。

【図3】図1の2次元トンネル接合アレイの等価回路である。

【図4】ゲート電極の配置を示す図である。

【図5】図4のA-A断面図である。

【図6】1つのドットに着目した半導体素子の一部の等価回路である。

【図7】ゲート電圧とドレイン電流との関係を示す図である。

20

【図8】ビットコンパレータの等価回路である。

【図9】バックゲート電圧対ドレイン電流の特性曲線(その1)である。

【図10】バックゲート電圧対ドレイン電流の特性曲線(その2)である。

【図11】バックゲート電圧対ドレイン電流の特性曲線(その3)である。

【図12】確率的連想処理回路の構成を示す模式図である。

【図13】半導体素子の製造工程のフローチャートである。

【発明を実施するための形態】

【0019】

以下、本発明の一実施形態に係る半導体素子について図面を参照して詳細に説明する。

【0020】

30

図1に示すように、半導体素子1は、基板10と、酸化膜層11と、ソース領域12と、ドレイン領域13と、抵抗線網としての2次元トンネル接合アレイ(以下、「2D-TJA」と略述する)14と、を備えている。

【0021】

基板10は、シリコン基板である。この基板10は、バックゲートとして動作する。

【0022】

基板10上に、酸化膜層11が積層されている。酸化膜層11は、二酸化珪素(SiO₂)のBOX(Buried Oxide)層である。その厚さは、約400nmである。

【0023】

ソース領域12、ドレイン領域13及び2D-TJA14は、酸化膜層11上に積層されたシリコン層から形成されている。ソース領域12、ドレイン領域13及び2D-TJA14の厚みは、約20nmである。ソース領域12及びドレイン領域13には、ヒ素がドーピングされているが、2D-TJA14には、ヒ素がドーピングされていない。

40

【0024】

図2に示すように、2D-TJA14は、ソース領域12とドレイン領域13との間に形成されている。2D-TJA14は、ソース領域12とドレイン領域13とを接続する抵抗線網である。2D-TJA14は、複数本(例えば、10本程度)の水平方向に延びる抵抗線パターンと、複数本(例えば、10本程度)の垂直方向に延びる抵抗線パターンと、を有する。

【0025】

50

水平方向及び垂直方向に延びる抵抗線パターンは、それぞれ均等に、例えば350nm間隔で配列されている。各抵抗線パターンの線幅は、ほぼ均一であり、約90nmである。各抵抗線パターンの線幅のばらつきは、最大でも10nmである。

【0026】

水平方向の抵抗線パターンと垂直方向に延びる抵抗線パターンとは、互いに交差し、この交差により、2次元格子が形成されている。この交差部分が、ソース領域12からドレイン領域13に流れる電流の分岐点となる。2D-TJA14は、複数の分岐点を有する抵抗線網である。

【0027】

2D-TJA14では、この分岐点（例えば、図2の点線の円で示される部分）のサイズは、他の部分よりも、大きくなっている。この分岐点は、他の部分とは電気特性が異なる。以下では、この分岐点を、特にドット20と呼ぶ。各ドット20のサイズは、均一である。隣接するドット20の中心の間隔は、約350nmである。

【0028】

ドット20は、いわゆるクーロン島となる。ドット20以下の部分の各抵抗線パターンの線幅は、90nmと狭くなっているため、ここで、クーロン・ブロッケード現象が生じる。図3の等価回路に示すように、この部分を、微小トンネル接合21と呼ぶ。微小トンネル接合21を形成する部分の線幅は、同じ（90nm）であり、その長さも同じであるため、各微小トンネル接合21のトンネル障壁の高さは、ほぼ均一となる。

【0029】

2D-TJA14は、複数のドット20が微小トンネル接合21によって接続された格子状の回路であるとみなすことができる。ドット20は、マトリクス状に配置されている。2D-TJA14は、10×10のドット20を有する2次元微小トンネル接合アレイである。

【0030】

半導体素子1では、図4に示すように、ソース領域12、ドレイン領域13及び2D-TJA14の上に、ゲート電極G1、G2が配置されている。ゲート電極G1では、ソース領域12の上方から、複数本の電極線が、2D-TJA14の上方に張り出している。ゲート電極G2では、ドレイン領域13の上方から、複数本の電極線が2D-TJA14の上方に張り出している。ゲート電極G1、G2の各電極線は、上面視で、2D-TJA14のドット20を挟んで反対側に配置されている。

【0031】

図4のA-A断面図としての図5に示すように、ゲート電極G1、G2は、絶縁膜層（SiO₂）15を介して、2D-TJA14の上に積層されている。この構造により、ゲート電極G1、G2は、各ドット20と容量結合されるようになる。

【0032】

1つのドット20に着目する。図6に示すように、ゲート電極G1、G2と、ドット20との間のキャパシタ22の容量は、ともにC_gであり、同一である。各ドット20は、微小トンネル接合21を介して、隣接ドット20と接続されている。2D-TJA14は、図6の等価回路が、マトリクス状に接続された回路であるとみなすことができる。

【0033】

まず、ソース領域12とドレイン領域13との間に電源電圧V_{dd}が印加され、ゲート電極G1、G2のいずれか一方に、ゲート電圧V_gが印加された場合について考える。

【0034】

ドット20がクーロン島になっている場合、図7に示すように、ドレイン電流I_dは、それぞれのゲート電圧V_gに対してクーロン振動を示す。

【0035】

次に、ゲート電極G1、G2の両方にゲート電圧を印加する場合について考える。このクーロン振動を利用して、ゲート電極G1、G2の両方に印加されるゲート電圧により、ドレイン電流I_dを制御することができる。

10

20

30

40

50

【0036】

ドット20とゲート電極G1の間の容量とドット20とゲート電極G2の間の容量はともに C_g で等しいので、ゲート電極G1、G2にそれぞれ印加される電圧の実効的な和が、ゲート電圧 V_g になる。この場合、ゲート電極G1、G2に印加される電圧を、ドレイン電流 I_d のクーロン振動のピーク(I_d ピーク)に対応するゲート電圧 V_g' の $1/2$ 、すなわち $V_g'/2$ に設定すると、両者の電圧を等しくしつつ、ドレイン電流 I_d を最大にすることができる。

【0037】

クーロン振動における隣り合う2つの I_d ピークで、それぞれ上述のような設定を行う。すなわち、 I_d ピークのゲート電圧が高い方(すなわちゲート電圧 V_{gH} の I_d ピーク)に対して上述の設定を行った場合のゲート電極G1、G2の電圧($1/2 \cdot V_{gH}$)をハイレベル(H)として、ゲート電圧が低い方(すなわちゲート電圧 V_{gL} の I_d ピーク)に対して上述の設定を行った場合のゲート電極G1、G2の電圧($1/2 \cdot V_{gL}$)をローレベル(L)とする。このようにすれば、ゲート電極G1、G2に印加させる電圧が、HH、LLである場合に、ドレイン電流 I_d が大きく(H)なる。この場合、ゲート電極G1、G2がHL、LHになると、ドレイン電流 I_d は、自動的に、クーロン振動の谷付近(隣接する I_d ピークの間の谷)の電流値となるので、小さく(L)なる。

10

【0038】

(ビットコンパレータ)

図7に示す特性を利用し、半導体素子1を用いて、ビットコンパレータ2を構築することができる。ビットコンパレータ2は、図8に示すように、半導体素子1と、キャパシタ30と、を備えている。

20

【0039】

半導体素子1のドレイン領域13は、不図示の直流電源と接続され、電源電圧 V_{dd} が印加されている。ソース領域12は、キャパシタ30を介して接地されている。また、ゲート電極G1には、入力されるビット信号に相当する電圧 V_a が印加され、ゲート電極G2には、参照されるビットデータに相当する電圧 V_r が印加される。そして、キャパシタ30の電圧 V_{co} が、入力されたビット信号と、参照されるビットデータとの比較結果に相当する電圧として出力される。

【0040】

上述のようにゲート電圧 V_g のハイレベル(H)とローレベル(L)とを選んだとすると、ゲート電極G1、G2にそれぞれ印加される電圧 V_a 、 V_r がともにそのハイレベル、ともにそのローレベルに相当する電圧である場合には、図7に示すように、ドレイン電流 I_d が大きくなって、キャパシタ30の電圧 V_{co} がハイレベルとなる。すなわち、入力されるビットと参照されるビットとの組み合わせが(1, 1)、(0, 0)である場合、ビットコンパレータ2の出力は「1」となる。

30

【0041】

また、電圧 V_a 、 V_r のいずれか一方がハイレベルで、他方がローレベルである場合には、図7に示すように、ドレイン電流 I_d が小さくなり、キャパシタ30の電圧 V_{co} がローレベルとなる。すなわち、入力されるビットと参照されるビットとの組み合わせが(1, 0)、(0, 1)である場合、ビットコンパレータ2の出力は「0」となる。

40

【0042】

半導体素子1では、ゲート電圧 V_g とドレイン電流 I_d との特性は、定常的ではなく、確率的に変動する。この特性は、バックゲート電圧 V_{bg} と、ドレイン領域13に流れるドレイン電流 I_d との特性を繰り返し測定することによって明らかとなる。

【0043】

この繰り返し測定を行うと、バックゲート電圧 V_{bg} とドレイン電流 I_d との特性曲線のパターンには、幾つかのパターンが出現する。その典型的な3つのパターンの類型が、図9、図10、図11にまとめられている。

【0044】

50

11回の繰り返し測定では、バックゲート電圧 V_{bg} 対ドレイン電流 I_d との特性曲線のパターンとして、図9に示すパターンが2回出現し、図10に示すパターンが2回出現し、図11に示すパターンが3回出現した。残る4回の測定では、全く異なるパターンが1ずつ出現した。

【0045】

このように、半導体素子1では、バックゲート電圧 V_{bg} とドレイン電流 I_d との特性には、ばらつきがある。このばらつきは、2D-TJA14内の電流の伝導経路が、その時々によって異なることによって発生する。

【0046】

微小トンネル接合21では、電子のトンネリングが、確率的に発生する。この場合、電子は、2D-TJA14の複数の伝導経路の中で、トンネル障壁が最も低くなっている伝導経路を移動する。

【0047】

2D-TJA14では、抵抗線パターンの線幅がほぼ均一であるため、それぞれの伝導経路のトンネル障壁のレベルはほとんど同じとなり、電子が選ぶ伝導経路は、確率的なものとなる。これにより、図8に例示するように、2D-TJA14内での電流の伝導経路がその時々によって異なるため、図9、図10、図11に示すように、バックゲート電圧 V_{bg} とドレイン電流 I_d との特性が変化する。ビットコンパレータ2では、電圧 V_a 、 V_r が、ともにハイレベルとなった場合のドレイン電流 I_d と、ローレベルとなった場合のドレイン電流 I_d とが、クーロン振動の隣り合うピークのドレイン電流に対応している。

【0048】

(確率的連想処理回路)

この性質を利用して、確率的連想処理回路を構築することができる。

【0049】

入ってきたビット情報に対し、自身が記憶しているものの中から、類似度の高い情報を選び出す操作を「連想」と呼ぶ。人が、ある情報に基づいて、類似したものを芋づる式に連想した場合、常に同じものが確実に連想されとは限らない。これと同じような連想処理を行うには、最も似通ったパターンを、その類似度に応じて確率的に選択する仕組みを構築する必要がある。確率的連想処理回路は、このような仕組みを提供する。

【0050】

図12に示すように、確率的連想処理回路3は、 m ビット(m は自然数)のビット列信号を入力する。確率的連想処理回路3は、互いに異なる m ビットのビット列データを n 個記憶している。確率的連想処理回路3は、記憶する n 個のビット列データの中から、入力されたビット列信号に最も近いビット列(類似ビット列)を選択して、その選択結果を出力する。

【0051】

図12に示すように、確率的連想処理回路3は、 n 個のワードコンパレータ $40_1 \sim 40_n$ と、 n 個のキャパシタ $41_1 \sim 41_n$ と、WTA回路(Winner-Take-All-Circuit)42と、を備えている。

【0052】

ワードコンパレータ 40_j ($j = 1 \sim n$)は、参照するビット列データ1つにつき、1つずつ設けられている。ワードコンパレータ 40_j ($j = 1 \sim n$)は、入力された m ビットのビット列信号と、記憶する参照ビット列データとの間のハミング距離(異なったビットの数)を評価する。

【0053】

より具体的には、ワードコンパレータ 40_i は、 m 個のビット比較部 $50_1 \sim 50_m$ を有している。このビット比較部 50_i ($i = 1 \sim m$)各々に、半導体素子1が組み込まれている。

【0054】

10

20

30

40

50

ビット比較部 50_j ($i = 1 \sim m$) は、メモリセル 60 をさらに備えている。メモリセル 60 は、例えば、フラッシュメモリ又は E E P R O M (Electrically Erasable and Programmable Read Only Memory) である。メモリセル 60 には、1 ビットの数値 (0 又は 1) が記憶されている。

【0055】

メモリセル 60 は、その数値に対応する信号電圧 $V r i j$ ($i = 1 \sim m$ 、 $j = 1 \sim n$) を出力する。すなわち、ワードコンパレータ 40_j の i 番目のビット比較部のメモリセル 60 は、 j 番目の m ビットのビット列データにおける i ビット目のビット情報に相当する信号電圧 (0 であればローレベル、1 であればハイレベル) を出力する。

【0056】

半導体素子 1 におけるソース領域 12 、ドレイン領域 13 、ゲート電極 $G1$ 、 $G2$ の接続状態は、図 8 に示すビットコンパレータ 2 におけるそれと同じである。すなわち、半導体素子 1 は、ゲート電極 $G1$ から入力されたビット信号に相当する信号電圧 $V a i$ ($i = 1 \sim m$) を入力し、ゲート電極 $G2$ から、メモリセル 60 から出力された参照ビットデータに相当する信号電圧 $V r i j$ ($i = 1 \sim m$ 、 $j = 1 \sim n$) を入力し、それらの入力に対応するドレイン電流 $I d$ を出力する。

【0057】

キャパシタ 41_j ($j = 1 \sim n$) は、ワードコンパレータ 40_j ($j = 1 \sim n$) の全てのビット比較部 50_i ($i = 1 \sim m$) と接続されている。ビット比較部 $50_1 \sim 50_m$ の半導体素子 1 から出力されたドレイン電流 $I d$ は、キャパシタ 41_j ($j = 1 \sim n$) に流れ込み、電圧 $V c o j$ ($j = 1 \sim n$) が上昇する。

【0058】

入力されたビット列信号と、参照ビット列データとの間で、一致するビットの数が多ければ多いほど、すなわち、 m ビットの入力ビット列信号と、参照ビット列データとのハミング距離が近くなればなるほど、原則として、キャパシタ 41_j ($j = 1 \sim n$) の電圧 $V c o j$ ($j = 1 \sim n$) が速く上昇する。

【0059】

W T A 回路 42 は、電圧 $V c o j$ ($j = 1 \sim n$) を入力する。W T A 回路 42 は、電圧 $V c o j$ が最も速く閾値を超えたキャパシタ 41_j ($j = 1 \sim n$) に対応する参照ビット列データを、類似ビット列とする演算結果 (連想結果) として出力する。W T A 回路 42 としては、例えば C M O S 回路を採用することができる。

【0060】

また、ここで、W T A 回路の代わりに、W S A (Winners-Share-All) 回路を用いることができる。W S A 回路を用いると、速く閾値を超える順に複数の $V c o j$ ($j = 1 \sim n$) を選ぶことができる。また、比較を複数回行い、各回のウイナーの中から重複したウイナー (winner) を、最終的なウイナーとして選ぶことにより、ノイズマージンを大きくすることができる。

【0061】

上述のように、半導体素子 1 では、2 D - T J A 1 4 内の電流の伝導経路に揺らぎがあるため、ゲート電圧 $V a i$ ($i = 1 \sim m$)、 $V r i j$ ($i = 1 \sim m$ 、 $j = 1 \sim n$) が同じであっても、それに対応するドレイン電流 $I d$ の上昇度合が変化する。この変化により、電圧 $V c o j$ の上昇カーブも変化し、入力ビット列が同じであっても、電圧 $V c o j$ ($j = 1 \sim n$) が最も速く閾値を超える参照ビット列データ、すなわち出力結果がばらつく。すなわち、W T A 回路 42 において、決定論的に選ばれたビット列データは、入力されたビット列信号に対して、真に最もハミング距離の近いビット列であるとは限らない。選ばれる確率は、類似度 (真のハミング距離) に依存する。

【0062】

このように、確率的連想処理回路 3 では、ハミング距離の計算の際に、故意にわずかな乱数 (揺らぎ) が加えられ、計算結果に確率的なばらつきが生じる。この確率的なばらつきにより、ハミング距離が最小でないビット列データも、そのハミング距離に応じた確率

10

20

30

40

50

で選り出されるようになる。

【0063】

この結果、入力に対して出力に確率的なばらつきを持たせた知能的処理を実現することができる。このような知能的処理は、既存のCMOS回路では実現が困難である。この確率的連想処理回路3は、画像圧縮や顔認識処理などの様々な分野に適用可能である。

【0064】

次に、本実施形態に係る半導体素子1の製造方法について説明する。半導体素子1の製造には、例えばSOI (Silicon on Insulator) 基板が用いられる。このSOI基板では、単結晶ウエハに絶縁膜 (一般的にはシリコン酸化膜) が形成され、その上に単結晶Si層 (SOI層) が形成されている。

【0065】

図13の製造フローに示すように、まず、例えば熱酸化とウエットエッチングにより、SOI層が40nmの厚さに薄くされる (ステップS201)。SOI層とは、ソース領域12、ドレイン領域13及び2D-TJA14の元となるシリコン層である。

【0066】

続いて、SOI層上に、コータを用いてレジストが塗布される (ステップS202)。レジストとしては、例えば、ネガティブレジスト (SAL601 SR2) が用いられる。

【0067】

続いて、電子線露光装置を用いて、SOI基板の露光が行われる (ステップS203)。電子線露光装置では、電子源から電子線が、レジストが塗布されたSOI層に照射される。電子線露光装置では、その電子線のSOI層への入射位置を、2D-TJA14の格子パターンに沿って移動させる。これにより、塗布されたレジストに2D-TJA14の格子パターンの潜像が形成される。

【0068】

ここで、形成された潜像を観察すると、抵抗線パターンの分岐部分では、電子線による近接効果 (電子線の散乱により、パターン領域以外にもエネルギーが蓄積される現象) により、他の部分よりもエネルギー堆積が増すため、形成される潜像が大きくなる。これにより、分岐部分に、図2に示すドット20が自然形成される。なお、この分岐部分から遠い領域では、近接効果の影響が小さく、抵抗線パターンの線幅は、電子露光時に用いられた線幅に対応したものとなる。したがって、電子線の照射パターンを、ドット20を考慮したパターンとする必要はない。

【0069】

続いて、デベロッパで形成された潜像に対する現像が行われ、露光されなかった部分 (潜像以外の部分) のレジストが取り除かれる (ステップS204)。

【0070】

続いて、SOI基板に対し、例えば、電子サイクロトロン共鳴エッチャを用いてドライエッチングが行われる (ステップS205)。ここでは、レジストで覆われた部分以外のSOI層がエッチングされる。

【0071】

ドライエッチング後、例えば、80度のNH₄OH/H₂O₂/H₂O溶液でウエットエッチングが実行される (ステップS206)。これにより、2D-TJA14内に、微小なサイズの格子パターンが形成される。このように、ドライエッチングとウエットエッチングとを組み合わせることにより、ドライエッチングでのプラズマダメージを軽減することができる。

【0072】

この後、熱酸化を行い、更なるサイズの縮小及びプラズマダメージの低減を行う (ステップS207)。

【0073】

その後、ソース領域12とドレイン領域13だけが、イオン注入により、ヒ素でドーピ

10

20

30

40

50

ングされる（ステップS208）。この場合、2D-TJA14上には、抵抗マスクが実装され、ドーピングされない。

【0074】

図13に示す工程が終了した後、ソース電極12、ドレイン電極13及び2D-TJA14が完成する。最終的には、ソース電極12、ドレイン電極13及び2D-TJA14の厚さは、20nmとなる。

【0075】

ソース電極12、ドレイン電極13及び2D-TJA14の完成後、例えば、減圧CVD法などを用いて、絶縁膜層がその上に体積され、さらに、ポリシリコン膜層堆積レジスト塗布露光現像エッチングドーピングなどを経て、ゲート電極G1、G2等が形成される。その後、層間絶縁膜、コンタクトホール及びアルミ電極などの外部電極配線が形成され、後続する金属アニール処理等が行われるなどして、最終的に半導体素子1が完成する。

10

【0076】

上述のように、本実施形態によれば、近接効果により、抵抗線のパターンの分岐部分に、ドット20が自然に形成される。

【0077】

本実施形態では、電子線露光により、2D-TJA14を作成するので、ドライエッチング後の微小トンネル接合21の線幅は、実質的に均一化されていることに留意すべきである。線幅のばらつきは、多くても約10nmである。これにより、2D-TJA14における電流の伝導経路が、確率的に変動し、ビットコンパレータ2やワードコンパレータ40_j（j=1~n）の出力に、その類似度（ハミング距離）に応じたばらつきが生じる。

20

【0078】

2D-TJA14のドット20や微小トンネル接合21のサイズは、転写パターンを変更するなどして、半導体素子1の製造工程において調整することが可能である。この調整により、確率的連想処理回路3におけるビット列データの連想の幅、程度などを制御することが可能となる。

【0079】

以上詳細に説明したように、本実施形態に係る半導体素子1は、ソース領域12とドレイン領域13とを接続するチャンネル領域として、複数のドット20と、複数の微小トンネル接合21を有する抵抗網としての2D-TJA14が設けられている。

30

【0080】

ドット20は、分岐となっており、2D-TJA14では、分岐としてのドット20と、複数の微小トンネル接合21とが連結した複数の電流の伝導経路が設けられている。各ドット20のサイズは実質的に均一であり、各微小トンネル接合21のサイズも実質的に均一である。

【0081】

サイズが実質的に均一であるため、各微小トンネル接合21のトンネル確率は、ほぼ同じになる。このような構成により、2D-TJA14には、ソース領域12とドレイン領域13との間に、電流が流れる確率が均等な複数の伝導経路が形成される。

40

【0082】

電流が流れる確率は均等であるため、2D-TJA14を流れる電流の伝導経路は、確率的に変動し、その度に、電圧対電流特性がばらつく。このばらつきにより、確率的な動作が可能となる。

【0083】

この電流の伝導経路の揺らぎにより、半導体素子1では、出力結果がばらつく。すなわち、本実施形態では、電流が流れる確率が均等な複数の異なる電流の伝導経路を用意することによって、確実に出力結果をばらつかせる。これにより、半導体素子1では、電流を小さくしなくても、確率的な動作が可能となる。この結果、動作速度の低下を防止するこ

50

とができる。

【0084】

また、電流を小さくする必要がなくなるので、本実施形態に係る半導体素子1は、背景電荷の存在に関わらず、信頼性の高い動作が可能になる。

【0085】

上述のように、本実施形態に係る半導体素子1によれば、高速かつ高精度に確率的な動作を実行することができる。

【0086】

また、この半導体素子1では、複数のドット20と、複数の微小トンネル接合21とが交互に連結されることにより、電流の伝導経路が形成され、全てのドット20にゲート電圧G1、G2が容量結合されている。これにより、2D-TJA14内の見かけの容量を小さくすることができる。

【0087】

2D-TJA14を動作させるためには、電子の静電エネルギー $e^2/2C$ （ e は電荷、 C は容量）を、動作温度における熱エネルギー kT （ k はボルツマン定数、 T は絶対温度）よりも十分大きくしなければならない。したがって、見かけの容量を小さくすれば、電子がトンネリングする温度を上げることができる。これにより、半導体素子1では、例えば常温下でも、動作可能となる。

【0088】

また、本実施形態によれば、2D-TJA14の抵抗線の格子パターンは、電子線露光によるパターン転写により、形成されている。このようにすれば、電子線露光による近接効果により、ドット20が自然形成されるようになるため、ドット20を作成する特別な工程を省略することができる。この結果、半導体素子1を製作する時間の短縮、製造コストの削減などが可能となる。

【0089】

電流の伝導経路に十分な揺らぎを与えるためには、2D-TJA14における微小トンネル接合21のトンネル確率をほぼ均一化する必要がある。このため、本実施形態に係る半導体素子1では、ドット20を接続する抵抗線パターンの線幅を、90nmに統一している。線幅90nmで厚みが20nmの抵抗線パターンであり、長さが約350nmであれば、微小トンネル接合として適切である。

【0090】

本実施形態では、パターン精度が著しく高い電子線露光装置を用いて、2D-TJA14の格子パターンを作成しているため、90nm程度の均一な抵抗線パターンを形成することができる。その線幅のばらつきが、10nm以内であれば、電流の伝導経路を十分にばらつかせることができる。

【0091】

上記実施形態では、ドット20をマトリクス状に配置し、2D-TJA14を、格子状としたが、本発明は、これには限られず、三角形状、六角などの他の多角形状、円形状であってもよい。このように、本発明は、2D-TJA14におけるドット20や微小トンネル接合21の配置には、限定されない。しかしながら、ドット20や微小トンネル接合21は、2次元トンネル接合アレイ（2D-TJA14）において、複数の伝導経路における電流が通る確率ができるだけ均等になるように配置する必要がある。

【0092】

なお、上記実施形態では、2D-TJA14のドット20の数を 10×10 とした。この場合には、図9、図10、図11に共通するように、クーロン・ブロッケード現象により、バックゲート電圧 V_{bg} とドレイン電流 I_d との特性曲線には、多くのピークが表れる。しかしながら、例えば、2D-TJA14のドット20の数は、 10×10 には限られない。それより少なくてもよいし、多くてもよい。

【0093】

確率的連想処理回路3における連想の幅、程度は、2D-TJA14におけるドット2

10

20

30

40

50

0、微小トンネル接合21のサイズ、それらのサイズのばらつき、ドット20の数等によって調整することができる。換言すれば、ドット20、微小トンネル接合21のサイズ、それらのサイズのばらつき、ドット20の数等は、確率的連想処理回路3に求められる連想の幅、程度によって決定されるのが望ましい。

【0094】

また、上記実施形態では、半導体素子1を用いてXNOR回路を実現したが、半導体素子1を用いて、OR回路、AND回路等の他の論理ゲートを実現することができるのは勿論である。例えば、ゲート電極G1、G2の上に、さらに絶縁膜層を介して、トップゲート電極を設け、そのトップゲート電極から印加される電圧を調整することにより、これらの論理ゲートを実現することができる。

10

【0095】

上記実施形態における、ビット列の桁数m、確率的連想処理回路3が記憶するビット列データの数nにも特に制限はない。また、半導体素子1の製造工程についても、適宜変更が可能である。例えば、SOI基板ではなく、他のウエハで半導体素子1を製造するようにしてもよい。

【0096】

半導体素子1、ビットコンパレータ2、確率的連想処理回路3は、様々な分野に適用可能である。例えば、各種処理装置の処理パラメータの学習、最適化に適用することができる。このような最適化では、入力データに対して出力データを、所定の分布に従って統計的にばらつかせる必要があるためである。

20

【産業上の利用可能性】

【0097】

本発明は、例えば、ベクトル量子化や動き予測などに代表される情報圧縮、顔認識処理などに代表されるパターン認識などの画像処理における処理パラメータの学習、最適化処理に適用することができる。また、例えば、人との対話が可能な対話ロボット、ニューラルネットワークや遺伝的アルゴリズム等に基づく知能処理機械・学習機械など、人の連想処理を模した情報処理を行う分野に適用可能である。この他、入力データに対して、出力データを確率的にばらつかせる必要がある情報処理装置であれば、あらゆる装置に適用可能である。

30

【符号の説明】

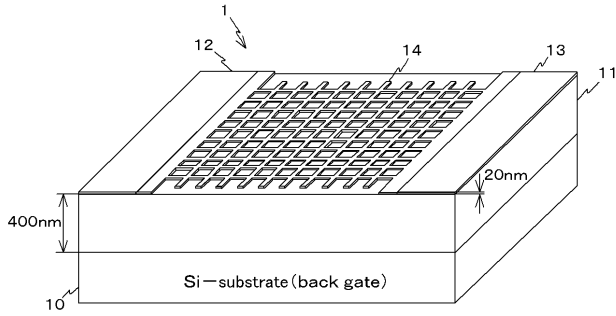
【0098】

- 1 半導体素子
- 2 ビットコンパレータ
- 3 確率的連想処理回路
- 10 基板
- 11 酸化膜層
- 12 ソース領域
- 13 ドレイン領域
- 14 2次元トンネル接合アレイ(2D-TJA)
- 15 絶縁膜層
- 20 ドット
- 21 微小トンネル接合
- 22 キャパシタ
- 30 キャパシタ
- 40₁~40_n ワードコンパレータ
- 41₁~41_n キャパシタ
- 42 WTA回路
- 50₁~50_m ビット比較部
- 60 メモリセル
- G1、G2 ゲート電極

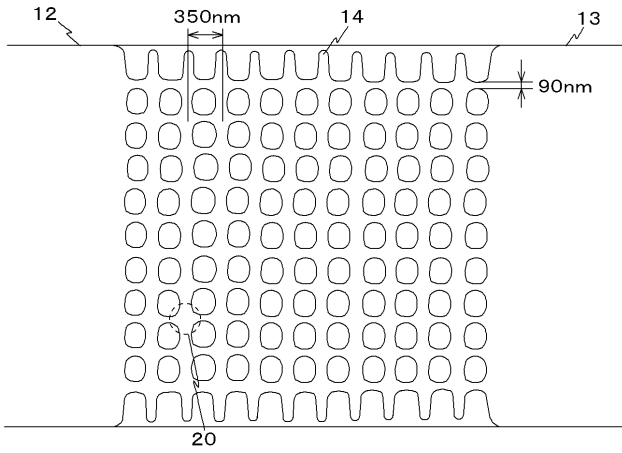
40

50

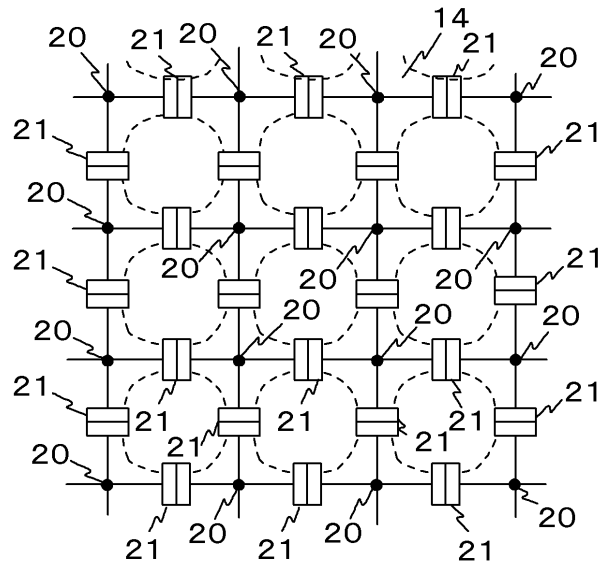
【 図 1 】



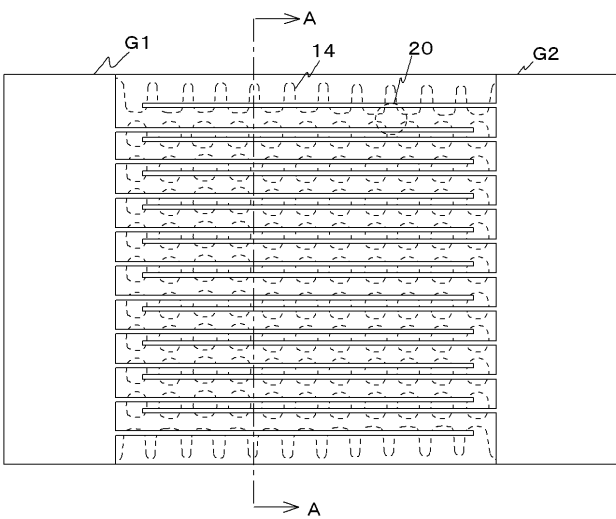
【 図 2 】



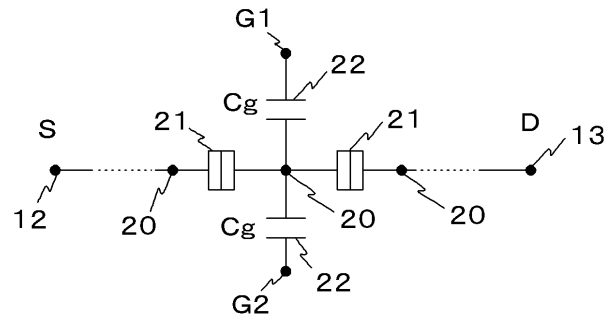
【 図 3 】



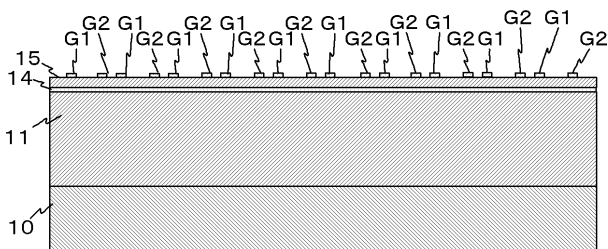
【 図 4 】



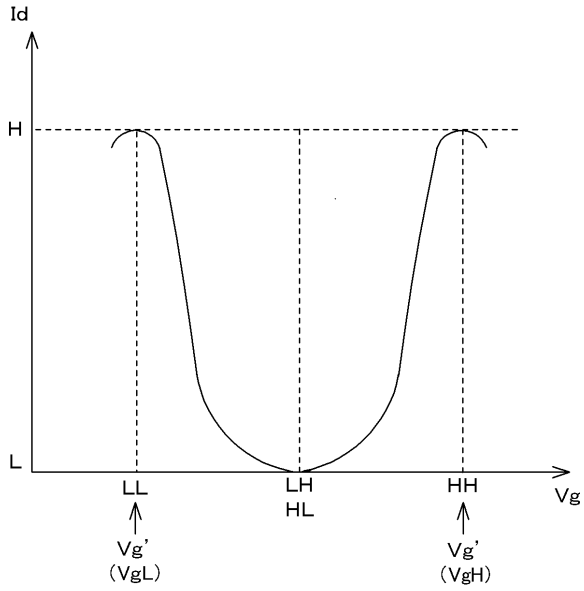
【 図 6 】



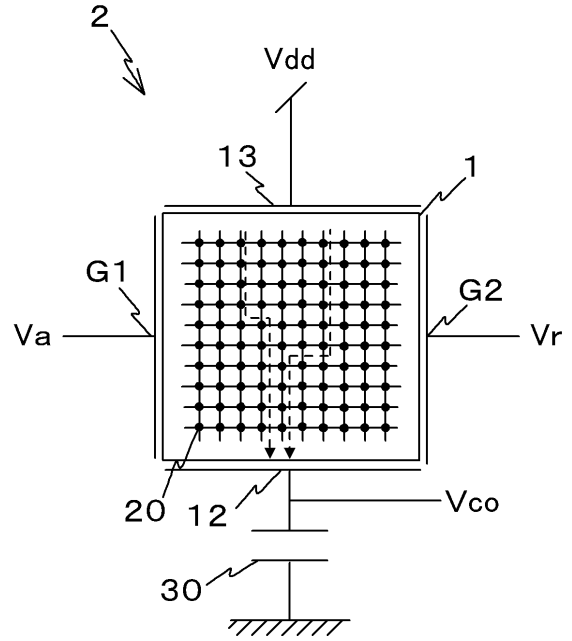
【 図 5 】



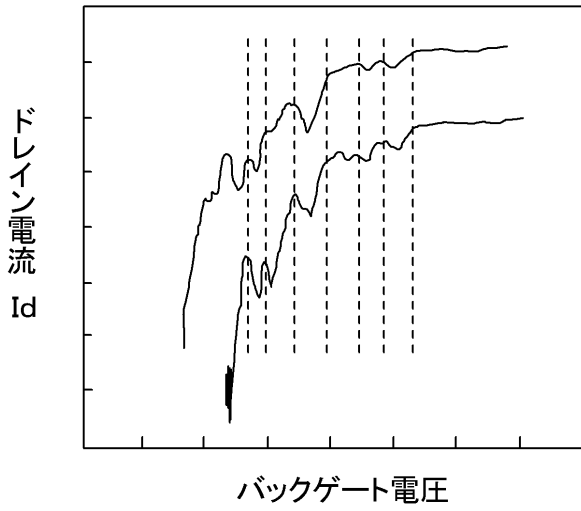
【図7】



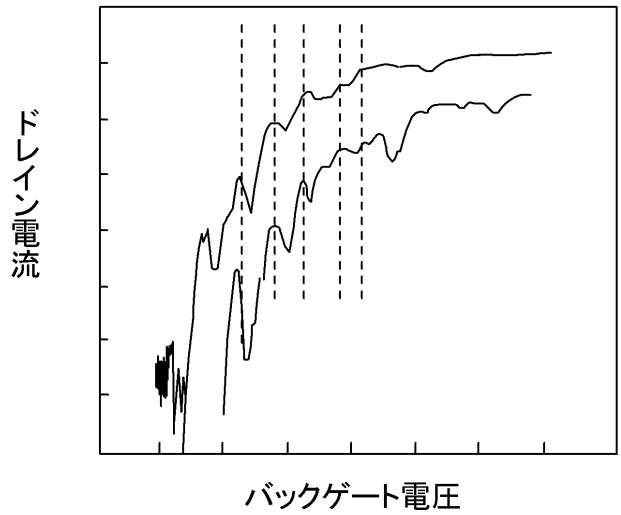
【図8】



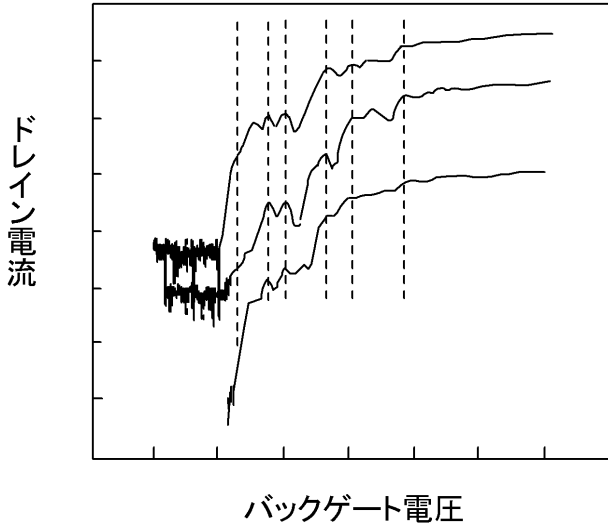
【図9】



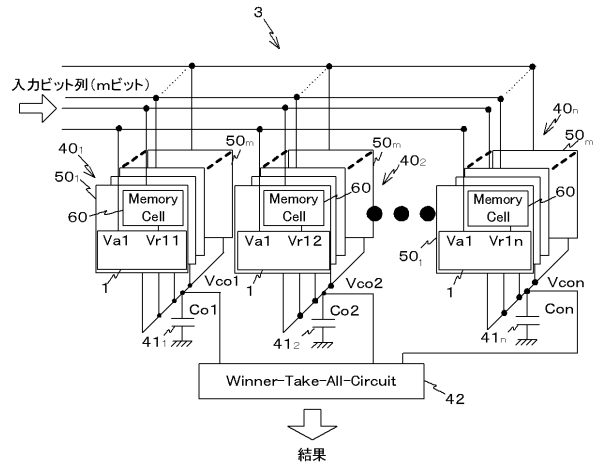
【図10】



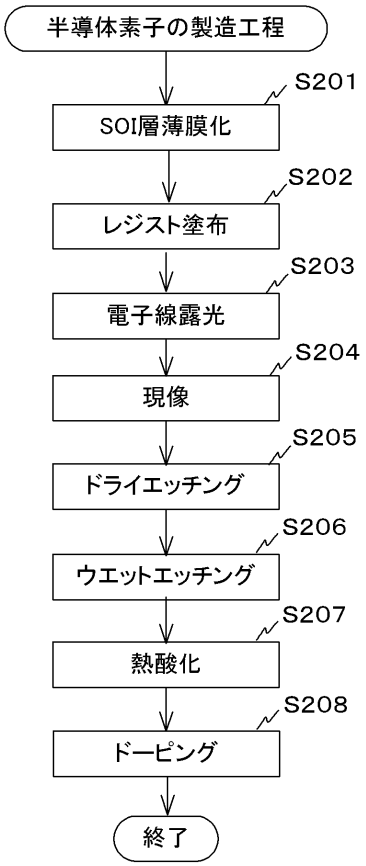
【図11】



【図12】



【図13】



フロントページの続き

Fターム(参考) 5F110 AA01 BB03 BB08 BB13 CC02 DD05 EE09 EE24 EE30 EE42
FF32 GG02 GG12 GG23 GG25 GG57 GG58 HJ01 HJ13