

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-202722

(P2012-202722A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.			F I			テーマコード (参考)		
GO1R	31/26	(2006.01)	GO1R	31/26	B	2G003		
HO1L	21/822	(2006.01)	HO1L	27/04	T	5F038		
HO1L	27/04	(2006.01)	HO3K	3/354	B			
HO3K	3/354	(2006.01)						

審査請求 未請求 請求項の数 3 O L (全 16 頁)

(21) 出願番号 特願2011-65061 (P2011-65061)
 (22) 出願日 平成23年3月23日 (2011. 3. 23)

(71) 出願人 305027401
 公立大学法人首都大学東京
 東京都新宿区西新宿二丁目8番1号
 (74) 代理人 100151688
 弁理士 今 智司
 (71) 出願人 504174135
 国立大学法人九州工業大学
 福岡県北九州市戸畑区仙水町1番1号
 (74) 代理人 100151688
 弁理士 今 智司
 (74) 代理人 100093610
 弁理士 本庄 富雄
 (72) 発明者 三浦幸也
 東京都日野市旭が丘6-6 公立大学法人
 首都大学東京 日野キャンパス内
 最終頁に続く

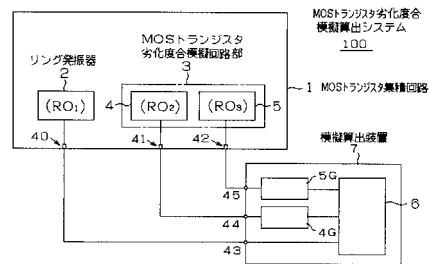
(54) 【発明の名称】 MOSトランジスタ集積回路およびMOSトランジスタ劣化度合模擬算出システム

(57) 【要約】

【課題】MOSトランジスタ集積回路中のリング発振器では、使用期間が長くなるとそれを構成しているMOSトランジスタの特性に劣化が生じ、発振周期が大になって来る。従って、劣化度合を量的に把握する必要があったが、個別の集積回路につき、MOSトランジスタの劣化度合を算出するようにしたものは従来なかった。

【解決手段】リング発振器2を集積するMOSトランジスタ集積回路1内に、NMOSトランジスタの劣化のみ生ずる構成にしたリング発振器4、PMOSトランジスタの劣化のみ生ずる構成にしたリング発振器5を作り込む。それらの現時点での発振周期もしくは製造当初の発振周期を基に、劣化による増加遅延時間や発振周期を模擬算出装置7で算出する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

NMOSトランジスタのPBTI劣化とHC劣化は進行するものの、PMOSトランジスタのNBTI劣化は進行しないよう構成した第1のリング発振器と、PMOSトランジスタのNBTI劣化は進行するものの、NMOSトランジスタのPBTI劣化とHC劣化は進行しないよう構成した第2のリング発振器とから成るMOSトランジスタ劣化度合模擬回路部を具えたMOSトランジスタ集積回路。

【請求項 2】

NMOSトランジスタのPBTI劣化とHC劣化は進行するものの、PMOSトランジスタのNBTI劣化は進行しないよう構成した第1のリング発振器と、PMOSトランジスタのNBTI劣化は進行するものの、NMOSトランジスタのPBTI劣化とHC劣化は進行しないよう構成した第2のリング発振器とから成るMOSトランジスタ劣化度合模擬回路部を具えたMOSトランジスタ集積回路と、

10

前記第1のリング発振器から得た発振周期を基にNMOS劣化増加遅延時間を演算するNMOS劣化増加遅延時間演算回路、および前記第2のリング発振器から得た発振周期を基にPMOS劣化増加遅延時間を演算するPMOS劣化増加遅延時間演算回路とを有する模擬算出装置とから構成されることを特徴とするMOSトランジスタ劣化度合模擬算出システム。

【請求項 3】

NMOSトランジスタのPBTI劣化とHC劣化は進行するものの、PMOSトランジスタのNBTI劣化は進行しないよう構成した第1のリング発振器と、PMOSトランジスタのNBTI劣化は進行するものの、NMOSトランジスタのPBTI劣化とHC劣化は進行しないよう構成した第2のリング発振器とから成るMOSトランジスタ劣化度合模擬回路部を具えたMOSトランジスタ集積回路と、

20

前記第1のリング発振器から得た発振周期を基にNMOS劣化増加遅延時間を演算するNMOS劣化増加遅延時間演算回路と、

前記第2のリング発振器から得た発振周期を基にPMOS劣化増加遅延時間を演算するPMOS劣化増加遅延時間演算回路と、

30

前記NMOS劣化増加遅延時間と前記PMOS劣化増加遅延時間と前記MOSトランジスタ集積回路内の他のリング発振器から得た発振周期とを基に、該他のリング発振器の製造当初の発振周期を算出する当初発振周期演算回路とを有する模擬算出装置と

から構成されることを特徴とするMOSトランジスタ劣化度合模擬算出システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積されているリング発振器の特性の経年変化量を模擬算出し得るようにしたMOSトランジスタ集積回路、およびMOSトランジスタ劣化度合模擬算出システムに関するものである。

40

【背景技術】

【0002】

図6は、従来のものでMOSトランジスタ集積回路を示す図である。図6において、1はMOSトランジスタ集積回路、2はその中に集積されているリング発振器(RO₁)である。

MOSトランジスタを用いて構成されている回路では、MOSトランジスタの次のような劣化現象のため、次第に特性が変化する。

【0003】

PチャネルのMOSトランジスタをPMOSトランジスタ、NチャネルのMOSトランジスタをNMOSトランジスタと称することにするが、PMOSトランジスタではNBTI現象(Negative Bias Temperature Instabilit

50

y)による特性劣化がある。

NMOSトランジスタではPBTI現象(Positive Bias Temperature Instability)による特性劣化と、HC現象(Hot Carrier)による特性劣化とがある。

【0004】

NBTIは、PMOSトランジスタのゲート電極に基板電圧より負の電圧(該トランジスタを能動状態にすべきゲート電圧)が印加され、それが高温下で長く継続すると、PMOSトランジスタの閾値(の絶対値)が大きくなってしまふ現象である。

PBTIは、NMOSトランジスタのゲート電極に基板電圧より正の電圧(該トランジスタを能動状態にすべきゲート電圧)が印加され、それが高温下で長く継続すると、NMOSトランジスタの閾値(の絶対値)が大きくなってしまふ現象である。

10

これらNBTI, PBTI現象(閾値の絶対値の増加)は、ゲート酸化膜とシリコン基板との界面に、電荷が注入されることにより生じている。

(なお、NBTIやPBTIの発生メカニズムや発生条件には現時点では諸説あるため、本特許で対象とするものは上記の限りではない。ただし、いずれの場合も、トランジスタの閾値(の絶対値)が増加するという現象を引き起こしていることに変わりはない。)

【0005】

閾値(の絶対値)が大になると、そのMOSトランジスタを構成要素として含んでいるゲート回路の伝播遅延時間 t_{pd} が、増加する。

ゲート回路への入力変化から出力の立上り変化(出力がロー(L)からハイ(H)への変化)までの伝播遅延時間を立上り伝播遅延時間 t_{pLH} とし、ゲート回路への入力変化から出力の立下り変化(出力がハイ(H)からロー(L)への変化)までの伝播遅延時間を立下り伝播遅延時間 t_{pHL} とすると、そのゲート回路の平均伝播遅延時間 t_{pd} は、以下のよう定義できる。

20

$$\text{平均伝播遅延時間 } t_{pd} = (t_{pLH} + t_{pHL}) \div 2$$

【0006】

なお、NBTIでは立上り伝播遅延時間 t_{pLH} の方が増加し、PBTIでは立下り伝播遅延時間 t_{pHL} の方が増加することが知られている。

特性劣化を考える場合、NMOSトランジスタには、配慮すべき現象としてPBTI劣化の他にHC現象(HCIと呼ばれる場合もある)による劣化がある。

30

HC現象は、ゲート電極に基板電圧より高い正の電圧(NMOSトランジスタを能動状態にすべきゲート電圧)が印加されてドレイン電流が流れているとき、Nチャネルのホットキャリア(電子)がゲート酸化膜に注入され、閾値(の絶対値)が増加する現象である。これも、NMOSトランジスタの立下り伝播遅延時間 t_{pHL} を増加させる原因となっている。(なお、HCの発生メカニズムや発生条件には現時点では諸説あるため、本特許で対象とするものは上記の限りではない。ただし、いずれの場合も、トランジスタの閾値(の絶対値)が増加するという現象を引き起こしていることに変わりはない。)

なお、PMOSトランジスタにもHC現象が起こることが報告されており、PMOSトランジスタの立上り伝播遅延時間 t_{pLH} を増加させる。

【0007】

40

MOSトランジスタ集積回路1の使用年数が長くなると、前記した劣化現象(NBTI, PBTI, HC)によりゲート回路の伝播遅延時間 t_{pd} は増加し続ける。従って、奇数段のゲート回路を利用して発振出力を得るようにされているリング発振器2では、特性が次第に変化する。一般に、何年たっても特性が変化しないことも性能の良さの一要素であるが、性能を良くしようと思えば使用可能期間(寿命)は短くせざるを得ず、性能と寿命はトレードオフの関係にある。

【0008】

従って、MOSトランジスタ集積回路1が使用され始めてから何年位経過しているかを、またMOSトランジスタ集積回路1を構成するPMOSトランジスタまたはNMOSトランジスタの劣化の進行度合を、必要に応じて知ることが出来れば、使用して行く上での

50

重要な情報となる。ところが、前記した劣化現象に関連する特許文献には、個々の劣化を少しでも軽減しようとするための提案は多いものの、経年変化はそのまま認め、それに対応するという種類の提案はあまりない。

【0009】

そのような提案に特表2008-503882号公報があるが、これは、前記のようなリング発振器2を有するMOSトランジスタ集積回路1につき、使用され始めてから経過した期間(年齢)を測定する提案がなされている。

即ち、MOSトランジスタ集積回路中に2つのリング発振器を作っておき、バイアスのかけ方を異ならせておく。一方のリング発振器にはNBTIが生ずるようなバイアスをかけておき、他方のリング発振器にはそれが生じないようなバイアスをかけておく。そして、経過期間(年齢)を調べる必要が生じた時に、両者の発する周波数を取り出して比較し、その差から経過期間を割り出すというものである。

10

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2005-217272号公報

【特許文献2】特開2005-251801号公報

【特許文献3】特開2006-073796号公報

【特許文献4】特表2008-503882号公報

【特許文献5】特開2009-277821号公報

20

【特許文献6】特開2010-016201号公報

【特許文献7】特開2010-219620号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

前記した従来の技術では、リング発振器を集積しているMOSトランジスタ集積回路が、使用され始めてからどの位の期間経過したか(年齢)を割り出すことは出来るものの、ゲート回路の伝播遅延時間 t_{pd} の劣化量という、経年変化に対応する上で最も重要な量を、具体的に求めることが出来るものではないという問題点があった。

本発明は、そのような問題点を解決するため、ゲート回路の伝播遅延時間 t_{pd} の劣化量を求めることが出来るMOSトランジスタ集積回路、およびMOSトランジスタ劣化度合模擬算出システムを提供することを課題とするものである。

30

また劣化度合(劣化量)はMOSトランジスタ集積回路の使用時の温度や電圧に依存するが、本発明ではMOSトランジスタ集積回路内に劣化度合を計測する回路を組み込むため、この問題点も解決できる。

【課題を解決するための手段】

【0012】

前記課題を解決するため、本発明では、NMOSトランジスタのPBTI劣化とHC劣化は進行するものの、PMOSトランジスタのNBTI劣化は進行しないよう構成した第1のリング発振器と、PMOSトランジスタのNBTI劣化は進行するものの、NMOSトランジスタのPBTI劣化とHC劣化は進行しないよう構成した第2のリング発振器とから成るMOSトランジスタ劣化度合模擬回路部を具えたMOSトランジスタ集積回路を提案する。

40

【0013】

また、本発明では、上記した如きMOSトランジスタ集積回路と、前記第1のリング発振器から得た発振周期を基にNMOS劣化増加遅延時間を演算するNMOS劣化増加遅延時間演算回路、および前記第2のリング発振器から得た発振周期を基にPMOS劣化増加遅延時間を演算するPMOS劣化増加遅延時間演算回路とを有する模擬算出装置とから構成されることを特徴とする、MOSトランジスタ劣化度合模擬算出システムを提案する。

更に、上記模擬算出装置の構成を、前記NMOS劣化増加遅延時間と前記PMOS劣化

50

増加遅延時間と前記M O Sトランジスタ集積回路内の他のリング発振器から得た発振周期とを基に、該他のリング発振器の製造当初の発振周期を算出する当初発振周期演算回路を加えた構成としたことを特徴とするM O Sトランジスタ劣化度合模擬算出システムを提案する。

なお、本発明では、前記第1のリング発振器、及び第2のリング発振器自体の構成については、本出願人が先に出願した特願2011-8850号に記載の、劣化耐性のある回路構成のリング発振器を利用することも出来る。

【発明の効果】

【0014】

本発明のM O Sトランジスタ集積回路およびM O Sトランジスタ劣化度合模擬算出システムによれば、リング発振器のゲート回路を構成しているP M O S , N M O Sトランジスタの劣化による伝播遅延時間の増加量を、個別に算出することが出来る。更には、M O Sトランジスタ集積回路内に集積されている他のリング発振器の製造当初（まだ劣化がない時点）での発振周期を、算出することが可能となる。リング発振器に限らず、通常のC M O S論理回路の製造当初の遅延時間も算出することが出来る。

【図面の簡単な説明】

【0015】

【図1】本発明の第1の実施形態を示す図

【図2】N M O S , P M O S両方のトランジスタの劣化が生ずるリング発振器

【図3】N A N D回路の具体的構成例

【図4】N M O Sトランジスタの劣化のみ生ずるリング発振器

【図5】P M O Sトランジスタの劣化のみ生ずるリング発振器

【図6】従来のM O Sトランジスタ集積回路を示す図

【発明を実施するための形態】

【0016】

以下、本発明の実施形態を図面に基づいて詳細に説明する。

(第1の実施形態)

図1は、本発明のM O Sトランジスタ劣化度合模擬算出システムの第1の実施形態を示す図である。符号は図6のものに対応し、2は劣化量を推定しようとする対象回路としてのリング発振器、3はM O Sトランジスタ劣化度合模擬回路部、4, 5は劣化量を算出するためのリング発振器、4 GはN M O S劣化増加遅延時間演算回路、5 GはP M O S劣化増加遅延時間演算回路、6は当初発振周期演算回路、7は模擬算出装置、40~42はM O Sトランジスタ集積回路1側の端子、43~45は模擬算出装置7側の端子、100はM O Sトランジスタ劣化度合模擬算出システムである。

M O Sトランジスタ劣化度合模擬算出システム100は、大きく分けてM O Sトランジスタ集積回路1と模擬算出装置7とで構成されている。なお、図示した例では、模擬算出装置7をM O Sトランジスタ集積回路1の外部に設けているが、M O Sトランジスタ集積回路1の中に作り込むことも可能である（その場合には、計算の仕組みをソフトウェアもしくはハードウェアで実現できる。）。

【0017】

M O Sトランジスタ劣化度合模擬回路部3は、同じM O Sトランジスタ集積回路1内に集積されている他の回路（例、リング発振器2）における、M O Sトランジスタの劣化度を推定（計算）するために設けられる。ここでは他の回路の例としてリング発振器を挙げて説明するが、それ以外の回路であっても劣化度を推定（計算）することが可能である。

M O Sトランジスタ劣化度合模擬回路部3は、リング発振器4, 5で構成されている。模擬算出装置7は、N M O S劣化増加遅延時間演算回路4 G, P M O S劣化増加遅延時間演算回路5 G, 当初発振周期演算回路6で構成されている。

リング発振器2は端子40, 43を経て当初発振周期演算回路6と接続され、リング発振器4は端子41, 44を経てN M O S劣化増加遅延時間演算回路4 Gと接続され、リン

10

20

30

40

50

グ発振器 5 は端子 4 2 , 4 5 を経て P M O S 劣化増加遅延時間演算回路 5 G と接続される。そして、N M O S 劣化増加遅延時間演算回路 4 G , P M O S 劣化増加遅延時間演算回路 5 G は、当初発振周期演算回路 6 と接続される。

【 0 0 1 8 】

リング発振器 2 は、従来からよく用いられている構成のリング発振器 (R O ₁) (P M O S トランジスタの劣化と N M O S トランジスタの劣化が、発振期間および非発振期間に各ゲート回路で交互に生ずるリング発振器) である。これには、M O S トランジスタの劣化対策が特に施されてはいない。リング発振器 2 の製造当初の発振周期 T₀₁ は、ここでは不明であるとし、製造時からの劣化度合を模擬することにより、それを推定 (計算) し得ることを以下で説明する。

10

M O S トランジスタ劣化度合模擬回路部 3 内に構成したリング発振器 4 , 5 は、この M O S トランジスタ集積回路 1 内に集積した M O S トランジスタの劣化を、模擬するためのものである。そのため、特有の劣化対策を施している。

即ち、リング発振器 4 は、非発振時に N M O S トランジスタにのみ劣化が生ずるように (P M O S トランジスタには生じないように) 工夫したリング発振器 (R O ₂) であり、リング発振器 5 は、非発振時に P M O S トランジスタにのみ劣化が生ずるように (N M O S トランジスタには生じないように) 工夫したリング発振器 (R O ₃) である。そして、リング発振器 4 , 5 の製造当初の発振周期 T₀₂ , T₀₃ は、計測して把握しておく (既知)

。本発明は、M O S トランジスタ集積回路 1 内に、M O S トランジスタ劣化度合模擬回路部 3 を集積しておくことにより、実現される。

20

【 0 0 1 9 】

N M O S 劣化増加遅延時間演算回路 4 G は、リング発振器 4 から取り出した発振周期 T₂ を基に、N M O S トランジスタの劣化による伝播遅延時間の増加分 t_{pdn} を算出する回路である。P M O S 劣化増加遅延時間演算回路 5 G は、リング発振器 5 から取り出した発振周期 T₃ を基に、P M O S トランジスタの劣化による伝播遅延時間の増加分 t_{pdp} を算出する回路である。

なお、周知のように発振周期 T と発振周波数 f との間には、 $T = 1 / f$ の関係がある。従って、リング発振器 4 の発振周期 T₂ を得るという場合、その発振周波数 f₂ を計測し、 $1 / f_2$ の計算をして T₂ を得ることが出来る。同様に、リング発振器 5 の発振周波数 f₃ を計測し、 $1 / f_3$ の計算をして発振周期 T₃ を得ることが出来る。

30

【 0 0 2 0 】

まず、リング発振器 2 , 4 , 5 の具体的構成例を示し、それらにおける劣化現象 (N B T I , P B T I , H C) について説明する。次に、N M O S 劣化増加遅延時間演算回路 4 G , P M O S 劣化増加遅延時間演算回路 5 G での演算 (伝播遅延時間の増加分 t_{pdn} , t_{pdp} の算出) 、当初発振周期演算回路 6 での演算 (リング発振器の製造当初 (劣化のない時点) での発振周期 T₀₁ の算出) について説明する。

【 0 0 2 1 】

(リング発振器 2 ... R O ₁)

図 2 は M O S トランジスタの劣化に対する工夫がなされていない従来 of リング発振器の例を示している。図 2 において、1 0 は発振制御入力端子、1 1 ~ 1 5 は N A N D 回路、1 6 は配線、1 8 は出力端子である。使用されているゲート回路は 2 入力 N A N D 回路であり、全部で奇数個用いられている。各 N A N D 回路の一方の入力端子 A は、前段の N A N D 回路の出力端子 C と接続するというようにして、全体としてリング状となるよう構成されている。

40

そして、N A N D 回路 1 の他方の入力端子 B は発振制御入力端子 1 0 と接続され、他の N A N D 回路 1 2 ~ 1 5 の入力端子 B は、それぞれ自分の入力端子 A に接続される。発振出力を取り出す出力端子 1 8 は、任意の N A N D 回路の出力端子 C に接続される。

【 0 0 2 2 】

図中に記している論理値 1 , 0 は、このリング発振器が発振していない時の値である。

50

即ち、発振制御入力端子10に、発振させない（非発振）との制御信号である論理値0が与えられている時の値である。

NAND回路11の入力端子Bに0が入力されていると、他方の入力端子Aへの入力1でも0でも、出力端子Cの値は1となる。その後続く各NAND回路（インバータ）12～15の出力は、各入力を反転した出力となるから、0, 1, 0, 1と続き、最終の奇数段のNAND回路15の出力は1となる。NAND回路15の出力1はNAND回路11の入力端子Aに入力されるが、これが入力されてもNAND回路11の出力は1のままである。従って非発振時には、図中に記した値を保ったままの状態安定している。

【0023】

発振させる時には、発振制御入力端子10に入力する発振制御信号を論理値1とする。すると、NAND回路11の入力端子A, Bの値は両方とも1となるから、NAND回路11の出力の値は0となる。その後続く各NAND回路12～15の出力は各入力を反転した出力となるから、1, 0, 1, 0と続き、最終の奇数段の出力は0となる。

その0がNAND回路11の入力端子Aに入力されると、他方の入力端子Bの値は1のままであるから、出力は1と変る。従って、それ以後の各段の出力は各入力を反転した出力となり、0, 1, 0, 1と続き、最終の奇数段の出力は1と変る。

【0024】

つまり、発振状態にされると、論理信号が各段で反転しながら次々と伝播して行くが、ゲート回路は全部で奇数段であるので、リング状の段を1周して元へ戻った時の出力は、前回の反転出力となっている。従って、次の段以降のゲート回路の出力もまた次々と反転し、結局、発振状態にされている間中、各段の出力は1になったり0になったりするのを繰り返す。この出力が出力端子18より取り出され、クロック信号等として利用される。

1個のゲート回路において、入力された時から反転出力が出る時までの遅延時間は、そのゲート回路の伝播遅延時間と呼ばれる。その時間を t_{pd} とすると、出力端子18からの発振出力が1 0あるいは0 1と反転するには、信号がゲート回路を次々と伝播してリング状の経路を1周して来る必要があるから、ゲート回路が n 段（ n は奇数）あれば、 $t_{pd} \times n$ の時間がかかる。これで半周期である。1周期 T はその2倍であるから、 T は次式で表される。

$$T = 2 \times t_{pd} \times n$$

【0025】

MOSトランジスタが劣化して来て、伝播遅延時間 t_{pd} に増加分が生じて来た場合の発振周期は、上式の t_{pd} の所に増加分を加えた伝播遅延時間を代入することにより算出される。その発振周期は発振周期 T_{01} より大なる値となる。つまり、劣化すると発振周期は増大する。

【0026】

図3はNAND回路の具体的構成例である。端子の符号は図2のものに対応し、 P_A , P_B はPMOSトランジスタ、 N_A , N_B はNMOSトランジスタである。 P_A , P_B が並列接続されたものと N_A , N_B が直列接続されたものとが直列接続され、その接続点が出力端子Cに接続されている。 P_A , P_B 側の端部は電源 $+V_{DD}$ に接続され、 N_A , N_B 側の端部はアースに接続されている。そして、 P_A , N_A のゲートは入力端子Aと接続され、 P_B , N_B のゲートは入力端子Bと接続されている。なお、NAND回路の図示のような構成は公知である。

【0027】

図2のリング発振器2のNAND回路11～15に、図3のものが用いられているとすると、リング発振器2で非発振時において劣化を生じているMOSトランジスタは、次の通りである。

NAND回路11では、入力端子Aに1が入力され、入力端子Bに0が入力されているので、能動にすべきゲート電圧が印加されるMOSトランジスタは N_A と P_B である。従って、 N_A にはPBTI劣化, HC劣化を生じ、 P_B にはNBTI劣化が生ずる。

NAND回路12以降の段では、入力端子A, Bに1が入力されるNAND回路12等

10

20

30

40

50

と、入力端子 A, B に 0 が入力される NAND 回路 13 等とが交互に連なる形となっている。入力端子 A, B に 1 が入力される NAND 回路 12 等で、能動にすべきゲート電圧が印加される MOS トランジスタは、 N_A , N_B である。従って、これらに PBTI 劣化, HC 劣化が生ずる。入力端子 A, B に 0 が入力される NAND 回路 13 等で、能動にすべきゲート電圧が印加される MOS トランジスタは、 P_A , P_B である。従って、これらに NBTI 劣化が生ずる。

【0028】

発振に参与する MOS トランジスタは、発振時にゲート電圧が変化され、オン, オフ動作を繰り返す MOS トランジスタである。そういう MOS トランジスタは、図 2 から分かるように、入力端子 A からゲート電圧が与えられているものである。従って最初の NAND 回路 11 では P_A , N_A である。入力端子 A, B が一括接続されている NAND 回路 12 以降の各回路では、 P_A , P_B , N_A , N_B 全てである。

従って、 P_A , P_B , N_A , N_B すべてに非発振時中に劣化を生じており、その劣化による伝播遅延時間の増大が原因となり、各ゲート回路 (NAND 回路) の伝播遅延時間 t_{pd} を増大させ、全体ではそれが n 段累積されてリング発振器の発振周期を増大させている。

以上のように、図 2 のリング発振器 2 の発振周期 T_1 は、PMOS トランジスタの劣化 (NBTI 劣化, HC 劣化)、および NMOS トランジスタの劣化 (PBTI 劣化) の両方が混ざった形で影響を受け、増大してしまっている。

【0029】

(リング発振器 4 ... RO_2)

図 4 は、NMOS トランジスタの劣化のみ生ずるよう工夫されたリング発振器 4 である。符号は図 2 のものに対応し、20 は発振制御入力端子、21 ~ 25 は NAND 回路、26, 27 は配線、28 は出力端子である。

【0030】

リング発振器 4 の接続構成は次の通りである。奇数個の 2 入力 NAND 回路の一方の入力端子 B は、全て発振制御入力端子 20 に接続し、他方の入力端子 A は前段の出力端子 C と接続するというようにして、全体としてリング状となるよう構成される。そして、任意の NAND 回路の出力端子 C に、発振出力を取り出す出力端子 28 が接続される。図中に記している論理値 1, 0 は、このリング発振器 4 (RO_2) が発振していない時の値である。

非発振時には、図中に記したように、発振制御入力端子 20 に論理値 0 が入力される。各入力端子 B に論理値 0 が入力されるので、各 NAND 回路の出力の値は 1 となる。

発振時には、発振制御入力端子 20 に論理値 1 が入力され、その値に固定される。すると、各 NAND 回路の出力は 0 1 0 ... と交互に変化し、出力端子 28 からは発振出力が取り出される。

【0031】

このように構成したリング発振器 4 は、MOS トランジスタの劣化による発振周期の増大が抑制される。その理由を、NAND 回路として図 3 の構成のものを用いた場合を例にとって説明する。なお、この NAND 回路を図 4 のリング発振器に使用する場合、入力端子 B に論理値 0 が入力される非発振時においてオンする P_B は、出力端子 C の出力を 1 (電源 + V_{DD}) に引き上げるといったプルアップ機能を果している素子である。

図 4 のリング発振器 4 で発振出力を出すためにオン, オフを繰り返す MOS トランジスタは、入力端子 A からの入力ゲート電極に印加されるものであり、図 3 で言えば P_A と N_A である。もし非発振時にこれら P_A , N_A に劣化が生じているならば、発振周期の増大をもたらす。

【0032】

そこで、非発振時における NAND 回路の動作状況を点検してみるに、入力端子 A には論理値 1 が入力されているが、この入力ゲート電圧として作用する MOS トランジスタは、図 3 で言えば N_A である。一方、入力端子 B には論理値 0 が入力さ

10

20

30

40

50

れているが、この入力が高レベル状態にすべきゲート電圧として作用するMOSトランジスタは P_B である。つまり、非発振時に劣化が生じているのは N_A と P_B である。

即ち、発振動作に関与している P_A 、 N_A のうち、非発振時に劣化が生じているものは N_A であり(PBTI劣化、HC劣化)、 P_A には生じていない。従ってリング発振器4では、発振時には、NMOSトランジスタの劣化(PBTI劣化、HC劣化など)による遅延時間の増加だけが生じる。

【0033】

(リング発振器5 ... RO_3)

図5(1)は、PMOSトランジスタの劣化のみ生ずるよう工夫されたリング発振器5である。図5(1)において、30は発振制御入力端子、31~35はNOR回路、36、37は配線、38は出力端子、D、Eは入力端子、Fは出力端子である。

このリング発振器5の接続構成は次の通りである。奇数個の2入力NOR回路の一方の入力端子Eは、全て発振制御入力端子30に接続し、他方の入力端子Dは前段の出力端子Fと接続するというようにして、全体としてリング状となるよう構成される。そして、任意のNOR回路の出力端子Fに、発振出力を取り出す出力端子38が接続される。図中に記している論理値1、0は、このリング発振器5(RO_3)が発振していない時の値である。

【0034】

非発振時には、図中に記したように、発振制御入力端子30に論理値1が入力される。各入力端子Eには論理値1が入力されるので、各NOR回路の出力の値は0となる。

発振時には、発振制御入力端子30に論理値0が入力され、その値に固定される。すると、各NOR回路の出力は1 0 1 ...と交互に変化し、出力端子38からは発振出力が取り出される。

【0035】

このように構成したリング発振器5も、MOSトランジスタの劣化による発振周期の増大が抑制される。その理由を、NOR回路として図5(2)の構成のものを用いた場合を例にとって説明する。D、Eは入力端子、Fは出力端子、 P_D 、 P_E はPMOSトランジスタ、 N_D 、 N_E はNMOSトランジスタである。 P_D 、 P_E が直列接続されたものと N_D 、 N_E が並列接続されたものとを直列接続され、その接続点が出力端子Fに接続される。 P_D 、 P_E 側の端部は電源+ V_{DD} に接続され、 N_D 、 N_E 側の端部はアースに接続される。そして、 P_D 、 N_D のゲートは入力端子Dと接続され、 P_E 、 N_E のゲートは入力端子Eと接続される。なお、NOR回路の図示のような接続構成は公知である。

入力端子Eに論理値1が入力される非発振時にオンする N_E は、出力端子Fの出力を0(アース)に引き下げるプルダウン機能を果している素子である。

【0036】

図5(1)のリング発振器5で発振出力を出すためにオン、オフを繰り返すMOSトランジスタは、入力端子Dからの入力が高レベルに印加される P_D と N_D である。もし非発振時にこれら P_D 、 N_D に劣化が生じているならば、発振周期の増大をもたらす。

そこで、非発振時におけるNOR回路の動作状況を点検してみるに、入力端子Eには論理値1が入力されているが、この入力が高レベル状態にすべきゲート電圧として作用するのは N_E である。一方、入力端子Dには論理値0が入力されているが、この入力が高レベル状態にすべきゲート電圧として作用するのは P_D である。つまり、非発振時に劣化が生じているのは N_E と P_D である。

発振動作に関与している P_D 、 N_D のうち、 P_D には劣化(NBTI劣化)が生じるものの、 N_D には生じていない。従ってリング発振器5では、発振時には、PMOSトランジスタの劣化(NBTI劣化)による遅延時間の増加だけが生じる。

【0037】

(伝播遅延時間の増加分 t_{pdn} 、 t_{pdp} の演算)

以下の説明では、説明を簡単にするため図1のリング発振器2(RO_1)、リング発振器4(RO_2)、リング発振器5(RO_3)は、同一タイプのゲート回路で構成されてい

10

20

30

40

50

るものとする。演算を説明するに当たり、演算に使用する記号の意味を定義しておく。

n ... 各リング発振器におけるゲート回路の段数 (奇数)

T_{01} ... リング発振器 2 (RO_1) の製造当初の (劣化していない時点での) 発振周期

T_0 ... リング発振器 4 (RO_2) , リング発振器 5 (RO_3) の製造当初の (劣化していない時点での) 発振周期 T_{02} , T_{03} のこと (ここではリング発振器 4 , 5 は同一タイプのゲート回路, 同一段数 (n) としているので, $T_{02} = T_{03} = T_0$)

t_{pd} ... 当初の (まだ劣化していない時点での) ゲート回路 1 個あたりの伝播遅延時間

t_{pdp} (= t_{pLH}) ... P M O S の劣化 (N B T I 劣化) による増加遅延時間 (1 ゲート回路当たりの)

t_{pdn} (= t_{pHL}) ... N M O S の劣化 (P B T I 劣化と H C 劣化) による増加遅延時間 (1 ゲート回路当たりの) 10

【 0 0 3 8 】

T_1 ... リング発振器 2 (RO_1) の発振周期 (測定し演算する時点での)

T_2 ... リング発振器 4 (RO_2) の発振周期 (測定し演算する時点での)

T_3 ... リング発振器 5 (RO_3) の発振周期 (測定し演算する時点での)

なお、 t_{pd} , t_{pdp} , t_{pdn} は、ゲート回路の種類 (N A N D 回路か N O R 回路か等) や、出力を遷移させる入力値 , M O S トランジスタの閾値の大きさに係わらず、同じと仮定して説明する (このように仮定しても、実態とそれほど異なることはない)。

【 0 0 3 9 】

リング発振器の製造当初 (M O S トランジスタが劣化していない時点) の発振周期 T は、既に説明したように $T = 2 \times t_{pd} \times n$ であるから、リング発振器 4 (RO_2) , リング発振器 5 (RO_3) の製造当初の発振周期 T_0 は、次式で表される。 20

$$T_0 = 2 \times t_{pd} \times n \quad \dots (1)$$

リング発振器 4 (RO_2) , リング発振器 5 (RO_3) が作り込まれる M O S トランジスタ集積回路 1 の製造時には、この発振周期 T_0 は計測されるため、その値は既知である。

【 0 0 4 0 】

さて、リング発振器 2 (RO_1) は、トランジスタの劣化が生じないような工夫がなされていない図 2 のようなリング発振器であるが、このリング発振器では、発振・非発振にかかわらず、各段の入力 (前段の出力) は交互に論理値 0 と論理値 1 になる。そのため、 30
入力が論理値 0 のゲート回路においては P M O S トランジスタが劣化し、入力が論理値 1 のゲート回路においては N M O S トランジスタが劣化する。

従って、リング発振器 2 (RO_1) の発振周期 T_1 は、次式で表される。

$$T_1 = T_{01} + t_{pdp} \times (n/2) + t_{pdn} \times (n/2) \quad \dots (2)$$

この式の右辺第 1 項は製造当初の発振周期を表し、右辺第 2 項は P M O S トランジスタの劣化 (N B T I) による遅延増加分を表し、右辺第 3 項は、N M O S トランジスタの劣化 (P B T I と H C) による遅延増加分を表している。

(2) 式を変形して次式を得る。

$$T_{01} = T_1 - t_{pdp} \times (n/2) - t_{pdn} \times (n/2) \quad \dots (3)$$

t_{pdp} , t_{pdn} を模擬回路で模擬して求め、(3) 式に代入すれば、 T_{01} を算出 (40
推定) することが出来る。

【 0 0 4 1 】

N B T I 劣化が生じないよう考慮したリング発振器 4 (RO_2) (言い換えれば、各ゲート回路において N M O S トランジスタの劣化のみ生ずるようにしたリング発振器) の発振周期 T_2 は、次式で表される。

$$T_2 = T_0 + t_{pdn} \times n \quad \dots (4)$$

この式の右辺第 2 項は、N M O S トランジスタの劣化 (P B T I と H C) による遅延増加分を表している。

【 0 0 4 2 】

P B T I 劣化及び H C 劣化が生じないよう考慮したリング発振器 5 (RO_3) (言い換 50

えれば、各ゲート回路においてPMOSトランジスタの劣化のみ生ずるリング発振器)の発振周期 T_3 は、次式で表される。

$$T_3 = T_0 + t_{pdp} \times n \quad \dots (5)$$

この式の右辺第2項は、PMOSトランジスタの劣化(NBTI)による遅延増加分を表している。

【0043】

(4)式を式変形することにより、次式を得る。

$$t_{pdn} \times n = T_2 - T_0 \quad \dots (6)$$

$$t_{pdn} = (T_2 - T_0) / n \quad \dots (7)$$

これらの式を見れば分かるように、リング発振器4(RO_2)から発振周期 T_2 を取り出し、それと既知の発振周期 T_0 とを用い、NMOS劣化増加遅延時間演算回路4Gで(6)式の演算をすることにより、リング発振器4(RO_2)のゲート回路全部(n 段)でのNMOSトランジスタの劣化による増加遅延時間を求めることが出来る。また(7)式の演算をすることにより、NMOSトランジスタの劣化によるゲート回路1段当たりの増加遅延時間 t_{pdn} を求めることが出来る。

10

【0044】

一方、(5)式を式変形することにより、次式を得る。

$$t_{pdp} \times n = T_3 - T_0 \quad \dots (8)$$

$$t_{pdp} = (T_3 - T_0) / n \quad \dots (9)$$

やはり、リング発振器5(RO_3)から発振周期 T_3 を取り出し、それと既知の発振周期 T_0 とを用い、PMOS劣化増加遅延時間演算回路5Gで(8)式の演算をすることにより、リング発振器5(RO_3)のゲート回路全部(n 段)でのPMOSトランジスタの劣化による増加遅延時間を求めることが出来る。また(9)式の演算をすることにより、PMOSトランジスタの劣化によるゲート回路1段当たりの増加遅延時間 t_{pdp} を求めることが出来る。

20

【0045】

(リング発振器2の製造当初の発振周期 T_{01} の推定(算出))

劣化を考慮していないリング発振器2(RO_1)の、製造当初(劣化が生じてない時点)の発振周期 T_{01} を求めることが必要とされる場合、あるいは初期の発振周期 T_{01} が不明な場合には、当初発振周期演算回路6で算出する。

30

即ち、NMOS劣化増加遅延時間演算回路4Gで求めた t_{pdn} や、PMOS劣化増加遅延時間演算回路5Gで求めた t_{pdp} や、リング発振器2(RO_1)から端子40, 43を経て取り入れた発振周期 T_1 を、それぞれ(3)式に代入して演算する。これにより、リング発振器2(RO_1)の製造当初の発振周期 T_{01} を求めることが出来る。

【0046】

上例では、MOSトランジスタ集積回路1中にMOSトランジスタの劣化を模擬するためのリング発振器4, 5を作っておき、そこでの伝播遅延時間特性の劣化度合(t_{pdn} , t_{pdp})を求め、MOSトランジスタ集積回路1中の他のリング発振器2の劣化度合も同様のもので推定し、その製造当初の発振周期 T_{01} を推定(算出)している。

しかし、リング発振器2に限らず、同一のMOSトランジスタ集積回路1内に作り込まれている他のゲート回路においても、劣化度合は同程度に進行している筈である。従って、NMOS劣化増加遅延時間演算回路4Gで求めた t_{pdn} 、PMOS劣化増加遅延時間演算回路5Gで求めた t_{pdp} を、他のゲート回路(例、段数の異なるリング発振器や通常のCMOS論理回路)に適用して演算し、その当初の状態での特性(例、当初の発振周期や入出力間の遅延時間)を割り出すことも可能となる。

40

例えば、リング発振器2に対応した端子40のように、リング発振器2とは段数の異なるリング発振器に対応した端子を設けておき、その端子を経由して現時点での発振周期 T を取り入れ、模擬算出装置7で当初の発振周期 T_{01} を割り出すのである。

【0047】

(第2の実施形態)

50

第2の実施形態の全体としての構成は、第1の実施形態と同様である。しかし、演算で使用する値は相違している。

ゲート回路の伝播遅延時間 t_{pd} に関しては、ゲート回路内に使われているMOSトランジスタのオン抵抗 R_{ON} とゲート回路の負荷容量 C_L とによるRC回路で、ゲート回路をモデル化すると、次式で計算されることが知られている。

$$t_{pd} = R_{ON} \times C_L \quad \dots (10)$$

第2の実施形態はこのことを利用して、劣化を生じて来ている時点での増加遅延時間や、劣化していない時点での発振周期 T_{01} (製造当初の発振周期) を求めようとするものである。

【0048】

第1の実施形態で用いた記号と同じものは、先に定義した通りのものである。新たに用いる記号の意味は次の通りである。

R ... MOSトランジスタのオン抵抗

(PMOSトランジスタのオン抵抗 R_{ONP} とNMOSトランジスタオン抵抗 R_{ONN} との値は、厳密には全く同じではない。しかし、ここで言う説明内容に関しては、ほぼ同じとして扱っても支障はないので、 $R_{ONP} = R_{ONN} = R$ と仮定して説明する。)

C ... 各ゲート回路の負荷容量

(リング発振器を構成する各ゲート回路の負荷容量 C_L は全て等しく、その値はCであると仮定する。)

R_p ... PMOSトランジスタの劣化(NBTI劣化)によるオン抵抗Rの増加分

R_N ... NMOSトランジスタの劣化(PBTI劣化とHC劣化)によるオン抵抗Rの増加分

【0049】

(10)式をR, Cを使って書き換えると、次式となる。

$$t_{pd} = RC \quad \dots (11)$$

PMOSトランジスタの劣化とNMOSトランジスタの劣化とが、交互のゲート回路で生ずるリング発振器2(RO_1)の発振周期 T_1 は、次式で表される。

$$T_1 = \{ (RC/2) + 2RC \} \times n + (1/2) R_p C \times (1/2) \times n + 2 R_N C \times (1/2) \times n \quad \dots (12)$$

この式の右辺第1項は、リング発振器2の劣化のない時点での発振周期 T_{01} を表している。第1項中の $(RC/2)$ はゲート回路1段における立上り伝播遅延時間 t_{pLH} (入力信号変化からゲート回路出力の立上り変化までの遅延時間) を表し、 $2RC$ はゲート回路1段における立下り伝播遅延時間 t_{pHL} (入力信号変化からゲート回路出力の立下り変化までの遅延時間) を表している。

右辺第2項は、PMOSトランジスタの劣化(NBTI)による増加遅延時間を表し、右辺第3項は、NMOSトランジスタの劣化(PBTIとHC)による増加遅延時間を表している。

【0050】

各ゲート回路においてNMOSトランジスタの劣化のみ生ずるリング発振器4(RO_2)の発振周期 T_2 は、次式で表される。

$$T_2 = (RC + 2RC) \times n + R_N C \times n \quad \dots (13)$$

この式の右辺第1項は、劣化のない時点での発振周期を表している。第1項中の RC は、ゲート回路1段における立上り伝播遅延時間 t_{pLH} を表し、 $2RC$ はゲート回路1段における立下り伝播遅延時間 t_{pHL} を表している。右辺第2項は、NMOSトランジスタの劣化(PBTIとHC)による増加遅延時間を表している。

【0051】

各ゲート回路においてPMOSトランジスタの劣化のみ生ずるリング発振器5(RO_3)の発振周期 T_3 は、次式で表される。

$$T_3 = (2RC + RC) \times n + R_p C \times n \quad \dots (14)$$

この式の右辺第1項は、劣化のない時点での発振周期を表している。第1項中の $2RC$

10

20

30

40

50

は、ゲート回路1段における立上り伝播遅延時間 t_{pLH} を表し、 RC はゲート回路1段における立下り伝播遅延時間 t_{pHL} を表している。右辺第2項は、PMOSトランジスタの劣化(NBTI)による増加遅延時間を表している。

【0052】

(13)式を式変形して次式を得る。

$$R_N C \times n = T_2 - 3RC \times n \quad \dots (15)$$

$$R_N C = (T_2 - 3RC \times n) / n \quad \dots (16)$$

これらの式を見れば分かるように、リング発振器4から発振周期 T_2 を取り出し、それと値が既知の R , C , n とを用い、NMOS劣化増加遅延時間演算回路4Gで(15)式の演算をすることにより、リング発振器4のゲート回路全部(n 段)でのトランジスタ劣化による増加遅延時間を求めることが出来る。また(16)式の演算をすることにより、NMOSトランジスタの劣化によるゲート回路1段当たりの劣化による増加遅延時間を求めることが出来る。

10

【0053】

また、(14)式を式変形して次式を得る。

$$R_p C \times n = T_3 - 3RC \times n \quad \dots (17)$$

$$R_p C = (T_3 - 3RC \times n) / n \quad \dots (18)$$

これらの式を見れば分かるように、リング発振器5から発振周期 T_3 を取り出し、それと値が既知の R , C , n とを用い、PMOS劣化増加遅延時間演算回路5Gで(17)式の演算をすることにより、リング発振器5のゲート回路全部(n 段)でのトランジスタ劣化による増加遅延時間を求めることが出来る。また(18)式の演算をすることにより、PMOSトランジスタの劣化によるゲート回路1段当たりの劣化による増加遅延時間を求めることが出来る。

20

【0054】

次に、リング発振器2の発振周期 T_1 を表す(12)式の説明のところで、その第1項{ $(RC/2) + 2RC$ } $\times n$ は、劣化のない時点での発振周期(T_{01})を表していると述べた。即ち、次の通りである。

$$T_{01} = \{ (RC/2) + 2RC \} \times n = 5RCn / 2 \quad \dots (19)$$

この T_{01} は、各リング発振器の発振周期 T_1 , T_2 , T_3 を用いて求めることが出来る。以下それを説明する。

30

【0055】

(15) , (17)式を(12)式に代入して次式を得る。

$$T_1 = 5RCn / 2 + (T_3 - 3RCn) / 4 + (T_2 - 3RCn) \quad \dots (20)$$

これを式変形して次式を得る。

$$5RCn / 4 = T_3 / 4 + T_2 - T_1 \quad \dots (21)$$

これを(19)式に代入して次式を得る。

$$T_{01} = 2(T_3 / 4 + T_2 - T_1) \quad \dots (22)$$

この演算は、当初発振周期演算回路6で行う。つまり、リング発振器2, 4, 5(RO_1 , RO_2 , RO_3)から取り出された発振周期 T_1 , T_2 , T_3 を用い、(22)式の演算を行うことにより、リング発振器2の当初の発振周期 T_{01} を求めることが出来る。

40

【0056】

上例では、MOSトランジスタ集積回路1中にMOSトランジスタの劣化を模擬するためのリング発振器4, 5を作っておき、そこでの伝播遅延時間特性の劣化度合(t_{pdn} , t_{pdp})を求め、MOSトランジスタ集積回路1中の他のリング発振器2の劣化度合も同様のもので推定し、その製造当初の発振周期 T_{01} を推定(算出)している。

しかし、リング発振器2に限らず、同一のMOSトランジスタ集積回路1内に作り込まれている他のゲート回路においても、劣化度合は同程度に進行している筈である。従って、NMOS劣化増加遅延時間演算回路4Gで求めた t_{pdn} , PMOS劣化増加遅延時間演算回路5Gで求めた t_{pdp} を、他のゲート回路(例、段数の異なるリング発振器や通常のCMOS論理回路)に適用して演算し、その当初の状態での特性(例、当初の発振周

50

期や入出力間の遅延時間)を割り出すことも可能となる。

【0057】

図1に示したMOSトランジスタ劣化度合模擬算出システム100では、模擬算出装置7として、NMOS劣化増加遅延時間演算回路4Gと、PMOS劣化増加遅延時間演算回路5Gと、当初発振周期演算回路6とを具えた構成のものを示した。しかし、これは必要に応じて変更することが出来る。例えば、遅延時間の増加分の演算は必要とするが、当初発振周期の演算までは必要としないという場合には、NMOS劣化増加遅延時間演算回路4GとPMOS劣化増加遅延時間演算回路5Gとを具えた構成のものとすればよい。

【0058】

なお、発振周期(周波数)や通常の論理回路の伝播遅延時間は、MOSトランジスタの劣化の外、動作温度や動作電圧によっても変化する。しかし、リング発振器4(RO_2)やリング発振器5(RO_3)を、劣化推定対象の回路(リング発振器2(RO_1)や通常の論理回路)があるチップ(MOSトランジスタ集積回路1)内に作り込むことにより、発振周期を計測している時の動作温度や動作電圧が不明であったとしても、劣化量や製造当初の(劣化のない時の)発振周期や遅延時間を推定することが可能となる。

10

【0059】

実施形態での劣化による増加遅延時間や、劣化していない時点で発振周期(製造当初の発振周期)の演算において、 t_{pd} , t_{pdn} , t_{pdp} , C_L , R_{ONP} , R_{ONN} , R_P , R_N などのパラメータ値が同一であることを仮定したが、実際の回路においてはこれらの値は使用するゲート(回路)の種類や製造ばらつき等の理由で異なる。これらの値は回路シミュレーションもしくは実回路から得ることができ、またそれらを組合せた状態で回路シミュレーションも実施可能である。本発明は、劣化による増加遅延時間や、劣化していない時点での発振周期(製造当初の発振周期)の推定の原理を示しており、このようなパラメータ値が異なる場合でも同様に推定することが可能である。

20

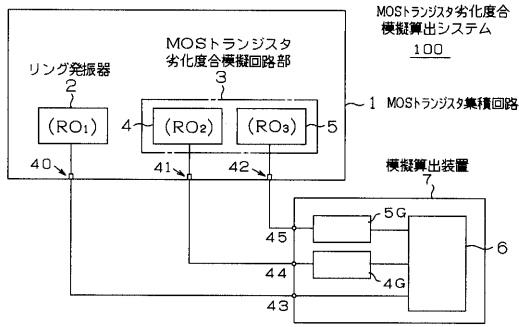
【符号の説明】

【0060】

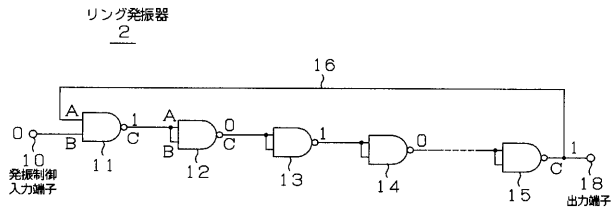
1...MOSトランジスタ集積回路、2...リング発振器、3...MOSトランジスタ劣化度合模擬算出部3、4,5...リング発振器、4G...NMOS劣化増加遅延時間演算回路、5G...PMOS劣化増加遅延時間演算回路、6...当初発振周期演算回路、7...模擬算出装置、10...発振制御入力端子、11~15...NAND回路、16...配線、18...出力端子、20...発振制御入力端子、21~25...NAND回路、26,27...配線、28...出力端子、30...発振制御入力端子、31~35...NOR回路、36,37...配線、38...出力端子、40~48...端子、100...MOSトランジスタ劣化度合模擬算出システム

30

【 図 1 】

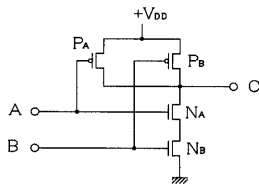


【 図 2 】

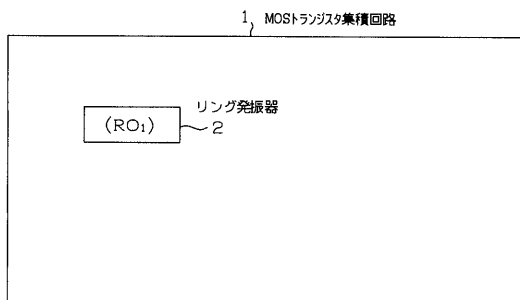


【 図 3 】

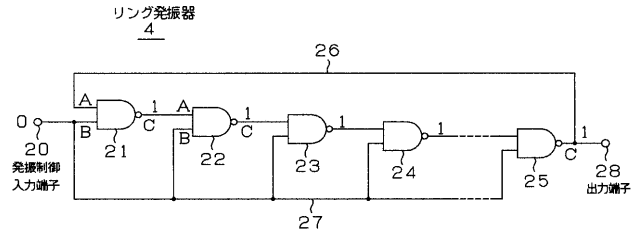
NAND回路



【 図 6 】

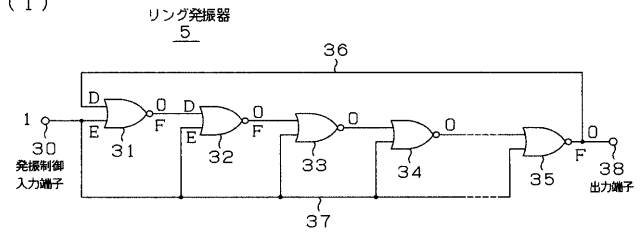


【 図 4 】



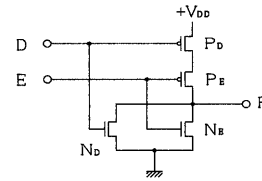
【 図 5 】

(1)



(2)

NOR回路



フロントページの続き

(72)発明者 佐藤康夫

福岡県飯塚市川津680-4 国立大学法人九州工業大学内

Fターム(参考) 2G003 AA02 AE02 AH01 AH10

5F038 BG02 CD09 DT10 DT12 EZ20