

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-220435

(P2010-220435A)

(43) 公開日 平成22年9月30日(2010.9.30)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

H

テーマコード(参考)

5H730

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願2009-66246 (P2009-66246)
 (22) 出願日 平成21年3月18日 (2009.3.18)

(71) 出願人 803000090
 有限会社大分 T L O
 大分県大分市大字旦野原 700番地 大分
 大学地域共同研究センター内
 (74) 代理人 100080089
 弁理士 牛木 護
 (74) 代理人 100137800
 弁理士 吉田 正義
 (74) 代理人 100119312
 弁理士 清水 栄松
 (72) 発明者 佐藤 輝被
 大分市城南北町 20班
 Fターム(参考) 5H730 AA04 AS05 BB13 BB57 DD04
 EE13 FD01 FF01 FF05 FG05

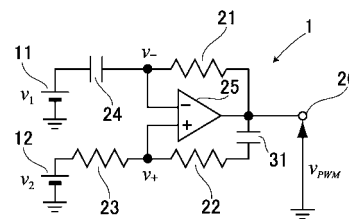
(54) 【発明の名称】 ヒステリシス制御装置

(57) 【要約】

【課題】 ノイズに対して強く、応答性を損なわずに高周波数化に対応することができ、被制御物の小型化および軽量化を可能にするヒステリシス制御装置を提供する。

【解決手段】 波形生成手段である抵抗 21, 24 からの電圧信号 v_- を比較手段 25 の反転入力端子に供給し、しきい値生成手段である抵抗 22, 23 からの電圧信号 v_+ を比較手段 25 の非反転入力端子に供給する。このようなヒステリシス制御装置 1 において、比較手段 25 からの出力を微分した信号を、抵抗 22, 23 からの電圧信号 v_+ として比較手段 25 の非反転入力端子に供給する微分手段 22, 31 を設けている。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

被制御物の検出電圧に応じてその傾きが変化するような電圧信号を生成する波形生成手段と、

指令電圧を設定する指令電圧設定手段と、

第 1 の入力と第 2 の入力との比較によって、高レベルまたは低レベルの信号を出力する比較手段と、

前記比較手段の出力と前記指令電圧設定手段との間に接続され、前記比較手段の出力に応じた異なるレベルの第 1 しきい値または第 2 しきい値の電圧信号を生成するしきい値生成手段とを備え、

前記波形生成手段からの電圧信号を前記比較手段の第 1 の入力に供給し、前記しきい値生成手段からの電圧信号を前記比較手段の第 2 の入力に供給するヒステリシス制御装置において、

前記比較手段からの出力を微分した信号を、前記しきい値生成手段からの電圧信号として前記比較手段の第 2 の入力に供給する微分手段を設けたことを特徴とするヒステリシス制御装置。

【請求項 2】

前記しきい値生成手段は、第 1 の抵抗と第 2 の抵抗の直列回路で構成され、前記第 1 の抵抗と前記第 2 の抵抗との接続点が前記比較手段の第 2 の入力に接続され、

前記微分手段は前記第 1 の抵抗とキャパシタとの直列回路で構成されることを特徴とする請求項 1 記載のヒステリシス制御装置。

【請求項 3】

前記被制御物は、スイッチング素子のスイッチング動作により負荷に直流出力電圧を供給する電源装置であり、

前記被制御物の検出電圧は前記電源装置の出力電圧を検出したものであり、

前記比較手段からの出力信号を前記スイッチング素子の駆動信号として供給する駆動手段をさらに備えたことを特徴とする請求項 1 または 2 記載のヒステリシス制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PWM（パルス幅変調）発生器を必要とする電子機器や電源装置などに適用されるヒステリシス制御装置に関する。

【背景技術】

【0002】

従来、スイッチング制御により電源装置の出力電圧を安定化するフィードバック制御装置として、例えば本願出願人が提案した特許文献 1 には、負荷電流の急激な変動に対する応答速度の高速化に応えるために、ヒステリシス特性を有する比較手段を組み込んだヒステリシス制御装置が開示されている。また別な特許文献 2 には、電源装置における出力電圧の変化を検出し、この検出電圧をヒステリシス特性を有する比較回路に入力して基準電圧と比較し、当該比較回路からの比較結果に基づき、スイッチング制御回路へのフィードバック信号を生成させるヒステリシス制御装置が提案されている。

【0003】

ここで、従来 of ヒステリシス制御装置 101 の回路例を図 8 に示す。同図において、11 は例えば電源装置（図示せず）の出力電圧を分圧して得た検出電圧 v_1 を生成する第 1 の電源であり、また 12 は基準電圧としての指令電圧 v_2 を生成する第 2 の電源である。これらの電源 11, 12 の他端は何れも接地される。ヒステリシス制御装置 101 は、抵抗 21, 22, 23 と、キャパシタ（コンデンサ）24 と、ヒステリシス特性を有する比較手段 25 とにより構成され、比較手段 25 の出力端子と第 1 の電源 11 の一端との間に、抵抗 21 とキャパシタ 24 の直列回路が接続され、第 2 の電源 12 の一端と比較手段 25 の出力端子との間に、別な抵抗 22, 23 の直列回路が接続されると共に、抵抗 21 と

10

20

30

40

50

キャパシタ 24 の接続点が比較手段 25 の反転入力端子に接続され、さらに抵抗 22, 23 の接続点が比較手段 25 の非反転入力端子に接続される。そして、接地ラインを基準として出力端子 26 にパルス状の PWM 信号 v_{PWM} が出力される。なお、図 8 には示していないが、当該 PWM 信号 v_{PWM} は電源装置の駆動手段に供給され、この駆動手段から電源装置のスイッチング素子に対し、出力電圧の変動に応じたパルス導通幅を有する駆動信号が与えられることで、当該出力電圧の安定化が図られるようになっている。

【0004】

図 9 は、前記ヒステリシス制御装置 101 における各部の動作波形を示している。同図において、 v_{PWM} は比較手段 25 の出力端子に発生する PWM 信号の電圧であり、 v_+ は比較手段 25 の非反転入力端子における電圧であり、さらに v_- は比較手段 25 の反転入力端子における電圧である。

10

【0005】

比較手段 25 は周知のように、その非反転入力端子の電圧 v_+ が反転入力端子の電圧 v_- を上回ると、出力端子の電圧 v_{PWM} が L (低) レベルから H (高) レベルに切り替わり、非反転入力端子の電圧 v_+ が反転入力端子の電圧 v_- を下回ると、出力端子の電圧 v_{PWM} が H レベルから L レベルに切り替わる。ここでは特に、抵抗 22, 23 の直列回路が第 2 の電源 12 と比較手段 25 の出力端子との間に接続している関係で、比較手段 25 の出力端子の電圧 v_{PWM} が H レベルの場合に、抵抗 22, 23 の接続点については比較手段 25 の非反転入力端子における電圧 v_+ は一定の第 1 しきい値となり、比較手段 25 の出力端子の電圧 v_{PWM} が L レベルの場合に、比較手段 25 の非反転入力端子における電圧 v_+ が前記第 1 しきい値よりも低い一定の第 2 しきい値となる。

20

【0006】

一方、比較手段 25 の反転入力端子における電圧 v_- は、比較手段 25 の出力端子の電圧 v_{PWM} が H レベルの場合に、抵抗 21 を通してキャパシタ 24 が充電され、時間 t の経過と共に上昇する。この電圧 v_- が比較手段 25 の非反転入力端子における第 1 しきい値の電圧 v_+ に達すると、比較手段 25 の出力端子の電圧 v_{PWM} が H レベルから L レベルに転じる。比較手段 25 の出力端子の電圧 v_{PWM} が L レベルになると、キャパシタ 24 からの電荷は抵抗 21 を通して放電され、比較手段 25 の反転入力端子における電圧 v_- は時間 t の経過と共に下降する。この電圧 v_- が比較手段 25 の非反転入力端子における第 2 しきい値の電圧 v_+ に達すると、比較手段 25 の出力端子の電圧 v_{PWM} が L レベルから再び H レベルに転じる。こうした動作を繰り返すことにより、比較手段 25 の反転入力端子における電圧 v_- は三角波状に変化すると共に、電源装置の出力電圧すなわち検出電圧 v_1 の変動に応じてそのパルス導通幅が増減する PWM 信号 v_{PWM} が、ヒステリシス制御装置 101 の出力端子 26 に生成される。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2008 - 283802 号公報

【特許文献 2】特開 2004 - 64994 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0008】

上記ヒステリシス制御装置 101 をスイッチング電源装置に組み込んだ場合、出力電圧の変動に対する応答性を損なわずに、スイッチング素子のスイッチング周波数を高くするには、前記第 1 しきい値と第 2 しきい値との差であるヒステリシス電圧幅を小さくしなければならない。しかし、指令電圧 v_2 の電圧値や抵抗 22, 23 の抵抗値を変えるなどして、ヒステリシス電圧幅が小さくなるように意図的に調整すると、今度はスイッチングノイズなどの影響を受けやすくなって、装置としてノイズに弱くなる欠点を有していた。

【0009】

そこで本発明は上記問題点に鑑み、ノイズに対して強く、応答性を損なわずに高周波数

50

化に対応することができ、被制御物の小型化および軽量化を可能にするヒステリシス制御装置を提供することを、その目的とする。

【課題を解決するための手段】

【0010】

本発明のヒステリシス制御装置は、上記目的を達成するためになされたものであり、その特徴は次に示すとおりである。

【0011】

被制御物の検出電圧に応じてその傾きが変化するような電圧信号を生成する波形生成手段と、指令電圧を設定する指令電圧設定手段と、第1の入力と第2の入力との比較によって、高レベルまたは低レベルの信号を出力する比較手段と、前記比較手段の出力と前記指令電圧設定手段との間に接続され、前記比較手段の出力に応じた異なるレベルの第1しきい値または第2しきい値の電圧信号を生成するしきい値生成手段とを備え、前記波形生成手段からの電圧信号を前記比較手段の第1の入力に供給し、前記しきい値生成手段からの電圧信号を前記比較手段の第2の入力に供給するヒステリシス制御装置において、前記比較手段からの出力を微分した信号を、前記しきい値生成手段からの電圧信号として前記比較手段の第2の入力に供給する微分手段を設けたことを特徴とする。

10

【0012】

また前記しきい値生成手段は、第1の抵抗と第2の抵抗の直列回路で構成され、前記第1の抵抗と前記第2の抵抗との接続点が前記比較手段の第2の入力に接続され、前記微分手段は前記第1の抵抗と前記第2の抵抗とキャパシタとの直列回路で構成されることを特徴とする。

20

【0013】

また前記被制御物は、スイッチング素子のスイッチング動作により負荷に直流出力電圧を供給する電源装置であり、前記被制御物の検出電圧は前記電源装置の出力電圧を検出したものであり、前記比較手段からの出力信号を前記スイッチング素子の駆動信号として供給する駆動手段をさらに備えたことを特徴とする。

【発明の効果】

【0014】

本発明は上記の各手段により、次に示す効果を得ることが可能となる。

【0015】

比較手段からの出力が高レベルまたは低レベルに切換わった直後は、ヒステリシス制御装置の被制御物である例えば電源装置からスイッチングノイズが発生するが、このときには本発明の微分手段によって、第1しきい値と第2しきい値との電圧差が大きくなり、その後はこの電圧差が次第に小さくなって、ヒステリシス電圧幅が時間的に変化する。こうすることで、ノイズに対して強く、応答性を損なわずに高周波数化に対応することができ、被制御物の小型化および軽量化を可能にするヒステリシス制御装置を提供できる。

30

【0016】

またこれは、既存のヒステリシス制御装置において、第1の抵抗と第2の抵抗の直列回路で構成されるしきい値生成手段に対して、キャパシタを1つ追加するだけで達成できる。

40

【0017】

さらに、スイッチング素子を有する電源装置を被制御物とした場合、この電源装置の出力電圧に応じたパルス導通幅の出力信号を比較手段で生成して、これをスイッチング素子の駆動信号として供給することが可能になる。これにより、電源装置として良好な応答特性とノイズ特性を維持しつつ、出力電圧の安定化を図ることが可能になる。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施例を示すヒステリシス制御装置の回路図である。

【図2】図1のヒステリシス制御装置を組み込んだ電源装置の回路図である。

【図3】図1に示す実施例の動作を説明するための波形図である。

50

【図4】図2に示す回路構成において、出力電圧の負荷特性を示す実験結果のグラフである。

【図5】図2に示す回路構成において、出力電圧のライン特性を示す実験結果のグラフである。

【図6】図2に示す回路構成において、ヒステリシス制御装置における伝達関数のボード線図を示すグラフである。

【図7】図2に示す回路構成において、出力電圧の過渡応答を示すグラフである。

【図8】従来例におけるヒステリシス制御装置の回路図である。

【図9】図8に示す実施例の動作を説明するための波形図である。

【発明を実施するための形態】

10

【0019】

本発明の実施上好ましい構成は、被制御物の検出電圧 v_1 に応じてその傾きが変化するような電圧信号 v_- を生成する波形生成手段21、24と、指令電圧 v_2 を設定する指令電圧設定手段12と、第1の入力と第2の入力との比較によって、高レベルまたは低レベルの信号を出力する比較手段25と、前記比較手段25の出力と前記指令電圧設定手段12との間に接続され、比較手段25の出力に応じた異なるレベルの第1しきい値または第2しきい値の電圧信号 v_+ を生成するしきい値生成手段22、23とを備え、前記波形生成手段21、24からの電圧信号 v_- を比較手段25の第1の入力に供給し、しきい値生成手段22、23からの電圧信号 v_+ を比較手段25の第2の入力に供給するヒステリシス制御装置1において、前記比較手段25からの出力を微分した信号を、前記しきい値生成手段22、23からの電圧信号 v_+ として比較手段25の第2の入力に供給する微分手段22、23、31を設けたものである。

20

【0020】

また、この場合のしきい値生成手段は、第1の抵抗22と第2の抵抗23の直列回路で構成され、第1の抵抗22と第2の抵抗23との接続点が比較手段25の第2の入力に接続され、前記微分手段は前記抵抗22、23とキャパシタ31との直列回路で構成される。

【0021】

さらに被制御物は、スイッチング素子43、44のスイッチング動作により負荷48に直流出力電圧を供給する電源装置41であり、前記被制御物の検出電圧は電源装置41の出力電圧 v_0 を検出したものであり、前記比較手段25からの出力信号をスイッチング素子43、44の駆動信号として供給する駆動手段45をさらに備えている。

30

【実施例1】

【0022】

以下、添付図面を参照して、本発明におけるヒステリシス制御装置の好適な実施例について説明する。図1は、本発明で提案するヒステリシス制御装置1の回路図を示すもので、従来のヒステリシス制御装置101と異なる点は、抵抗22、23の直列回路に、ヒステリシス電圧幅可変手段としてのキャパシタ31が直列接続され、キャパシタ31と抵抗22、23からなる直列回路が、コンパレータである比較手段25の出力端子と第2の電源12の一端との間に接続されていることにある。このキャパシタ31は、前記抵抗22、23と共に、比較手段25からの出力を微分した電圧 v_+ を、比較手段25の非反転入力端子に供給する微分手段として設けられる。それ以外の構成は、従来の図8で示した回路図と共通している。

40

【0023】

図2は、上記ヒステリシス制御装置1が制御対象とする被制御物として、電源装置41を適用した場合の回路図を示している。勿論、本発明のヒステリシス制御装置1は、電源装置41以外の各種電子機器にPWM発生器として組み込んでも構わない。

【0024】

同図において、42は電源装置41の直流入力電源、43、44は電源装置41の両端間に接続するスイッチング素子の直列回路で、ここでは例として何れもMOS型FETが

50

用いられている。当該スイッチング素子 43, 44 には、駆動手段 45 からのパルス駆動信号が交互に与えられ、お互いのスイッチング素子 43, 44 が相補的にオン, オフするようにスイッチング動作される。さらにスイッチング素子 44 の両端間には、インダクタ 46 と平滑コンデンサ 47 との直列回路が接続され、平滑コンデンサ 47 の両端間に負荷 48 が接続される。これにより、一方のスイッチング素子 43 がオン, 他方のスイッチング素子 44 がオフの期間中は、入力電源 42 からの入力電圧 V_i がスイッチング素子 43 からインダクタ 46 を通して平滑コンデンサ 47 および負荷 48 に印加され、インダクタ 46 にエネルギーが蓄えられると共に、スイッチング素子 43 がオフ, スwitchング素子 44 がオンの期間中になると、インダクタ 46 の両端間に生じる起電圧が平滑コンデンサ 47 および負荷 48 に印加され、結果的に入力電圧 V_i よりも低い出力電圧 v_o を平滑コンデンサ 47 の両端間に生成することができる。

10

【0025】

なお、図 2 に示す電源装置 41 は、トランスが存在しない非絶縁型の降圧コンバータであるが、例えば昇圧コンバータ若しくは昇降圧コンバータであってもよく、また入力側と出力側とを絶縁するトランスを介在させた絶縁型のコンバータであってもよい。ここでは少なくとも一乃至複数のスイッチング素子 43, 44 を有し、そのスイッチング素子 43, 44 のスイッチング動作により所望の出力電圧 v_o が取り出せるものであれば、どのような電源装置 41 であっても構わない。

【0026】

図 2 のヒステリシス制御装置 1 は、図 1 に示したものに抵抗 27 とキャパシタ 28 が追加されている。具体的には、前記抵抗 21 とキャパシタ 24 の直列回路にはキャパシタ 28 が直列に接続され、キャパシタ 28 の一端が比較手段 25 の出力端子に接続される。また、キャパシタ 24 の両端間には抵抗 27 が接続される。比較手段 25 の出力端子は駆動手段 45 の入力に接続され、この比較手段 25 の出力端子に発生する PWM 信号 v_{PWM} と同じタイミングで、第 1 のパルス駆動信号が駆動手段 45 からスイッチング素子 43 のゲートに供給されると共に、PWM 信号 v_{PWM} を反転したタイミングで、第 2 のパルス駆動信号が駆動手段 45 からスイッチング素子 44 のゲートに供給される。

20

【0027】

前記キャパシタ 28 は、駆動手段 25 の入力の直流成分をカットする直流カット手段として設けられている。また、抵抗 21, キャパシタ 24 および抵抗 27 は、前記キャパシタ 28 からの出力を積分して、電源装置 41 の検出電圧に相当する出力電圧 v_o に重畳する積分手段である。

30

【0028】

次に、図 3 の波形図を参照しながら、上記回路の動作を説明する。図 3 において、 v_{PWM} は比較手段 25 の出力端子に発生する PWM 信号の電圧であり、 v_+ は比較手段 25 の非反転入力端子における電圧であり、さらに v_- は比較手段 25 の反転入力端子における電圧である。

【0029】

比較手段 25 において、その非反転入力端子の電圧 v_+ が反転入力端子の電圧 v_- を上回ると、出力端子の電圧 v_{PWM} が L レベルから H レベルに切換わり、非反転入力端子の電圧 v_+ が反転入力端子の電圧 v_- を下回ると、出力端子の電圧 v_{PWM} が H レベルから L レベルに切換わる点は、従来の回路と同じである。特に本実施例では、比較手段 25 の出力端子と非反転入力端子との間に、キャパシタ 31 と抵抗 22, 23 とによる微分手段が設けられている関係で、比較手段 25 の出力端子の電圧 v_{PWM} が L レベルから H レベルに切換わった直後に、比較手段 25 の非反転入力端子には従来よりも高い第 1 しきい値の電圧 v_+ が発生し、その後はこの第 1 しきい値の電圧 v_+ が時間の経過と共に指数関数的に減少すると共に、比較手段 25 の出力端子の電圧 v_{PWM} が H レベルから L レベルに切換わった直後に、比較手段 25 の非反転入力端子には従来よりも低い第 2 しきい値の電圧 v_+ が発生し、その後はこの第 2 しきい値の電圧 v_+ が時間の経過と共に指数関数的に増加する。

40

50

【0030】

つまり、比較手段25の出力端子の電圧 v_{PWM} がLレベルまたはLレベルに切換わった直後は、ヒステリシス制御装置1の被制御物である電源装置41のスイッチング素子43, 44からスイッチングノイズが発生するが、このときには前記微分手段によって、比較手段25の非反転入力端子に発生する電圧 v_+ は、第1しきい値と第2しきい値との電圧差が大きくなり、その後はこの電圧差が次第に小さくなって、当該ヒステリシス電圧幅（電圧差）が一定ではなく時間的に変化するようになる。したがって、電源装置41の出力電圧 v_o にスイッチングノイズが重畳しても、このノイズが第1しきい値や第2しきい値に達することがなく、比較手段25の出力端子はノイズの影響を受けないPWM信号 v_{PWM} を生成できる。また、時間の経過と共に、比較手段25の非反転入力端子に発生する電圧 v_+ のヒステリシス電圧幅は小さくなり、スイッチング素子43, 44のスイッチング周波数を高くしても、ヒステリシス制御装置1の応答性は損なわれない。

10

【0031】

結果的に、このような微分波形状の電圧 v_+ を、比較手段25の非反転入力端子に供給することで、ノイズに対して強く、応答性を損なわずに高周波数化に対応することができ、被制御物である電源装置41の小型化および軽量化を可能にするヒステリシス制御装置1を提供できる。

【0032】

またこれは、既存のヒステリシス制御装置において、抵抗22, 23の直列回路で構成されるしきい値生成手段に対して、キャパシタ31を1つ追加するだけで達成できる。

20

【0033】

一方、比較手段25の反転入力端子における電圧 v_- は、比較手段25の出力端子の電圧 v_{PWM} がHレベルの場合に、抵抗21を通してキャパシタ24が充電され、時間 t の経過と共に上昇する。この電圧 v_- が比較手段25の非反転入力端子における第1しきい値の電圧 v_+ に達すると、比較手段25の出力端子の電圧 v_{PWM} がHレベルからLレベルに転じる。比較手段25の出力端子の電圧 v_{PWM} がLレベルになると、キャパシタ24からの電荷は抵抗21を通して放電され、比較手段25の反転入力端子における電圧 v_- は時間 t の経過と共に下降する。この電圧 v_- が比較手段25の非反転入力端子における第2しきい値の電圧 v_+ に達すると、比較手段25の出力端子の電圧 v_{PWM} がLレベルから再びHレベルに転じる。こうした動作を繰り返すことにより、比較手段25の反転入力端子における電圧 v_- は三角波状に変化すると共に、電源装置41の出力電圧 v_o の変動に応じてそのパルス導通幅が増減するPWM信号 v_{PWM} が、比較手段25から駆動手段45に供給される。

30

【0034】

なお、図2に示すヒステリシス制御装置1において、キャパシタ28と抵抗21, 27は積分補償回路となっており、電源装置41の出力電圧 v_o の定常偏差を小さく抑える効果がある。また、キャパシタ24と抵抗21, 27は微分補償回路となっており、電源装置41における過渡電圧の抑制に効果がある。

【0035】

波形生成手段としての抵抗21とキャパシタ24は、電源装置41の検出電圧に相当する出力電圧 v_o が低いほど、比較手段25の反転入力端子に供給する電圧 v_- が第1しきい値の電圧 v_+ に達するまでの時間が長くなり、逆に電源装置41の出力電圧 v_o が高いほど、比較手段25の反転入力端子に供給する電圧 v_- が第1しきい値の電圧 v_+ に達するまでの時間が短くなるように、三角波状の電圧 v_- を生成する。これにより、比較手段25の出力端子に発生するPWM信号 v_{PWM} は、電源装置41の出力電圧 v_o の変動に応じてそのパルス導通幅が増減し、このPWM信号 v_{PWM} に基づいて駆動手段45から各スイッチング素子43, 44にパルス駆動信号が供給される。

40

【0036】

つまり、スイッチング素子43, 44を有する電源装置41を、ヒステリシス制御装置1の被制御物とした場合、この電源装置41の出力電圧 v_o に応じたパルス導通幅を有す

50

るPWM信号 v_{PWM} を比較手段25で生成して、これをスイッチング素子43, 44のパルス駆動信号として供給することができる。そのため、電源装置41として良好な応答特性とノイズ特性を維持しつつ、出力電圧 v_o の安定化を図ることが可能になる。

【0037】

図4および図5は、図2に示す回路構成において、出力電圧 v_o の負荷特性およびライン特性をそれぞれ示している。図4は負荷電流 I_o と出力電圧 v_o との相関関係を示し、図5は入力電圧 V_i と出力電圧 v_o との相関関係を示している。

【0038】

定常状態の解析において、出力電圧 v_o は第2の電源12の基準電圧 V_r と等しくなる($V_o = V_r$)。ここでは実験での確認のために、5Vを1.2V-10Aに変換する同期整流器付きの降圧コンバータが実装されている。スイッチング周波数は約500kHzである。図4および図5に示す実験結果は、解析したものとよく一致しており、良好なレギュレーションを達成できる。

10

【0039】

小信号のAC解析から、制御回路であるヒステリシス制御装置1の伝達関数 $V_1(s)/V_o(s)$ は次のように示される。なお、ここでの V_1 は比較手段25の出力端子に発生する電圧である。

【0040】

【数1】

$$\frac{V_1(s)}{V_o(s)} = \frac{V_{OH}}{V_i} \cdot \frac{sT_1}{1+sT_2}$$

20

【0041】

但し、抵抗21の抵抗値を R_1 とし、キャパシタ24の静電容量を C_1 とし、電圧 v_+ のヒステリシス電圧幅を V_{HYS} とすると、上記数1の時定数 T_1, T_2 は次のように示される。

【0042】

【数2】

$$T_1 = R_1 C_1, T_2 = R_1 C_1 V_{HYS} / V_i$$

30

【0043】

ここでは簡素化のために、キャパシタ28の静電容量 C_2 と、抵抗27の抵抗値 R_2 は、何れも無限大であると仮定する($C_2 = \infty, R_2 = \infty$)。伝達関数 $V_1(s)/V_o(s)$ のボード線図を図6に示す。その結果から、本実施例における制御方法は、微分的な貢献の有することがわかる。

【0044】

図7は、出力電圧 v_o の過渡応答を示している。10A/ μs のスルーレートで、負荷電流 I_o を0Aから10Aに変えている。同図において、(a)~(c)は出力電圧 v_o の波形をそれぞれ示しており、また(d)は負荷電流 I_o の波形を示している。時定数 T_1 を増加することで発振が排除され、キャパシタ28の静電容量 C_2 を増加させることで、沈降時間が短縮される。ここでは、優れた過渡応答性が達成される。

40

【0045】

上記実施例から、電源装置41として高いスイッチング周波数で安定に動作する改良したバング-バング制御型DC-DCコンバータが提案された。上記各実験によって、定常状態と動的な特性が分析および確認された。その結果、良好な負荷およびラインレギュレーションと優れた過渡応答性能を達成できる。

【0046】

本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【産業上の利用可能性】

50

【 0 0 4 7 】

本発明のヒステリシス制御装置は、上述したようにノイズに対して強く、応答性を損なわずに高周波数化に対応することができ、被制御物の小型化および軽量化を可能にするものとなる。このため、スイッチング電源装置を利用した各種電子機器などに活用されるなど、産業上広く利用されるものである。

【 符号の説明 】

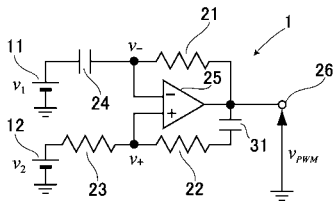
【 0 0 4 8 】

- 1 ヒステリシス制御装置
- 1 2 第 2 の 電 源 (指 令 電 圧 設 定 手 段)
- 2 1 抵 抗 (波 形 生 成 手 段)
- 2 2 抵 抗 (し き い 値 生 成 手 段 , 微 分 手 段)
- 2 3 抵 抗 (し き い 値 生 成 手 段 , 微 分 手 段)
- 2 4 抵 抗 (波 形 生 成 手 段)
- 2 5 比 較 手 段
- 3 1 キ ャ パ シ タ (微 分 手 段)
- 4 1 電 源 装 置 (被 制 御 物)
- 4 3 ス イ ッ チ ン グ 素 子
- 4 4 ス イ ッ チ ン グ 素 子
- 4 5 駆 動 手 段
- 4 8 負 荷

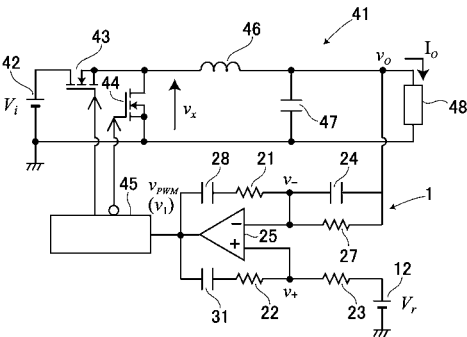
10

20

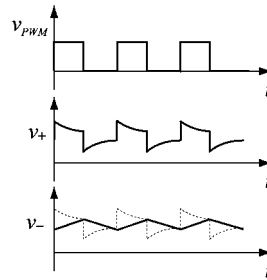
【 図 1 】



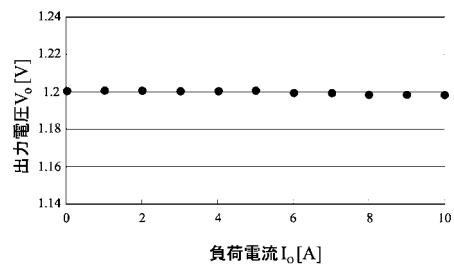
【 図 2 】



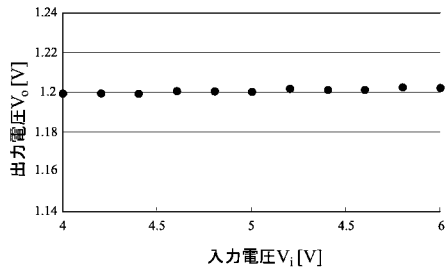
【 図 3 】



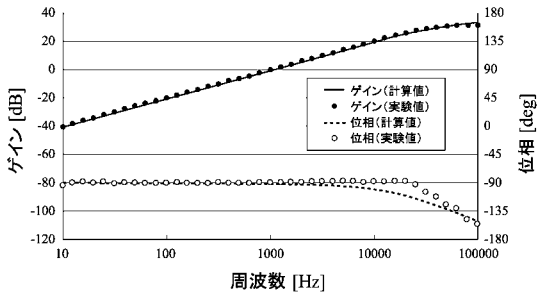
【 図 4 】



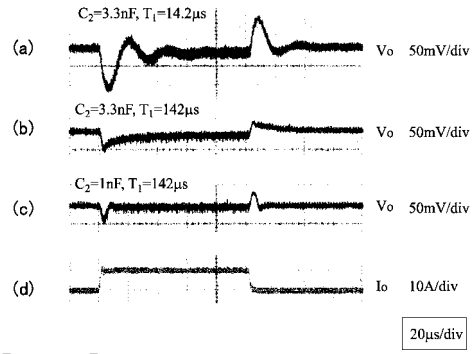
【 図 5 】



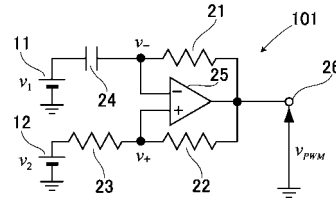
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

