(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5916563号
(P5916563)
(45)発行日　平成28年5月11日(2016.5.11)　(24)登録日　平成28年4月15日(2016.4.15)

(51)Int.Cl.　F I
G11C 15/04 (2006.01)　G11C 15/04 631F

請求項の数 9　(全 44 頁)

(21)出願番号　特願2012-183975(P2012-183975)
(22)出願日　平成24年8月23日(2012.8.23)
(65)公開番号　特開2014-41676(P2014-41676A)
(43)公開日　平成26年3月6日(2014.3.6)
審査請求日　平成27年4月30日(2015.4.30)

(73)特許権者　504136568
国立大学法人広島大学
広島県東広島市鏡山１丁目３番２号
(74)代理人　100104444
弁理士　上羽　秀敏
(74)代理人　100112715
弁理士　松山　隆夫
(74)代理人　100125704
弁理士　坂根　剛
(74)代理人　100120662
弁理士　川上　桂子
(72)発明者　マタウシュ　ハンスユルゲン
広島県東広島市鏡山一丁目４番２号　国立大学法人広島大学ナノデバイス・バイオ融合科学研究所内

最終頁に続く

(54)【発明の名称】連想メモリ

(57)【特許請求の範囲】

【請求項１】

各々がＭ×Ｗ（Ｍは１以上の整数、Ｗは２以上の整数）ビットのビット長を有するＲ（Ｒは２以上の整数）個の参照データを保存する参照データ保存回路と、

前記Ｒ個の参照データに対応して設けられ、各々がＭ×Ｗビットのビット長を有し、かつ、検索対象である検索データと前記参照データとの距離を表わすＲ個の距離信号を出力するＲ個の距離演算回路と、

前記Ｒ個の距離演算回路に対応して設けられ、各々が対応する距離演算回路から各々がＭビットのビット長を有するＷ個の距離信号を受け、その受けたＷ個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントし、前記クロック数をカウントしたタイミングである一致タイミングを示すタイミング信号を出力するＲ個の距離／クロック数変換回路と、

前記Ｒ個の距離／クロック数変換回路から受けたＲ個のタイミング信号に基づいて、前記一致タイミングが早い順にｋ（ｋは１≦ｋ＜Ｒを満たす整数）個のタイミング信号を検出し、その検出したｋ個のタイミング信号を前記検索データと前記参照データとの類似度を示すマッチ信号として出力するＷｉｎｎｅｒ検出器とを備える連想メモリ。

【請求項２】

前記Ｒ個の距離／クロック数変換回路の各々は、各々がＭビットのビット長を有するＷ個の距離信号に対応して設けられ、かつ、直列に接続されたＷ個のカウンタ一致検出回路を含み、

前記Ｗ個のカウンタ一致検出回路は、Ｗ＝２である場合、

前記Ｗ個の距離信号を一列に配列したときの一方端の距離信号である１番目の距離信号に対応して設けられ、前記１番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた１番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第１のクロック数をカウントし、前記第１のクロック数をカウントしたタイミングを示す第１の一致信号を出力する第１のカウンタ一致検出回路と、

前記一方端からＷ番目の距離信号に対応して設けられ、前記第１のカウンタ一致検出回路から前記第１の一致信号を受けると駆動されるとともに前記Ｗ番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたＷ番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第２のクロック数をカウントし、前記第２のクロック数をカウントしたタイミングを示す前記タイミング信号を前記Ｗｉｎｎｅｒ検出器へ出力する第２のカウンタ一致検出回路とを含み、

前記Ｗ個のカウンタ一致検出回路は、Ｗが３以上である場合、

前記第１のカウンタ一致検出回路と、

２番目の距離信号からＷ－１番目の距離信号までのＷ－２個の距離信号に対応して設けられ、各々が、前記第１のカウンタ一致検出回路またはｗ－１（ｗは２≦ｗ≦Ｗ－１を満たす整数）番目の距離信号に対応して設けられたカウンタ一致検出回路から前記１番目または前記ｗ番目の距離信号に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントしたタイミングを示す第２の一致信号を受けると駆動されるとともに前記ｗ番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたｗ番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第３のクロック数をカウントし、前記第３のクロック数をカウントしたタイミングを示す第３の一致信号を出力するＷ－２個の第３のカウンタ一致検出回路と、

Ｗ番目の距離信号に対応して設けられ、Ｗ－１番目の距離信号に対応して設けられたカウンタ一致検出回路から前記第３の一致信号を受けると駆動されるとともに前記Ｗ番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたＷ番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第４のクロック数をカウントし、前記第４のクロック数をカウントしたタイミングを示す前記タイミング信号を前記Ｗｉｎｎｅｒ検出器へ出力する第４のカウンタ一致検出回路とを含む、請求項１に記載の連想メモリ。

【請求項３】

前記第１のカウンタ一致検出回路は、

Ｍビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第１のカウンタと、

前記第１のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記１番目の距離信号を受け、前記受けたカウンタ値が前記１番目の距離信号に一致するときの前記第１のクロック数をカウントし、前記第１のクロック数が得られると、前記第１の一致信号を出力する第１の一致検出回路とを含み、

前記第２のカウンタ一致検出回路は、

Ｍビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第２のカウンタと、

前記第２のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記Ｗ番目の距離信号を受け、前記第１のカウンタ一致検出回路から前記第１の一致信号を受けると駆動され、前記受けたカウンタ値が前記Ｗ番目の距離信号に一致するときの前記第２のクロック数をカウントし、前記第２のクロック数が得られると、前記タイミング信号を前記Ｗｉｎｎｅｒ検出器へ出力する第２の一致検出回路とを含み、

前記Ｗ－２個の第３のカウンタ一致検出回路の各々は、

Ｍビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第３のカウンタと、

前記第３のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記ｗ番目の距離信号を受け、前記第２の一致信号を受けると駆動され、前記受けたカウンタ値が前記ｗ番目の距離信号に一致するときの前記第３のクロック数をカウントし、前記第３のクロック数が得られると、前記第３の一致信号を出力する第３の一致検出回路とを含み、

前記第４のカウンタ一致検出回路は、

Ｍビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第４のカウンタと、

前記第４のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記Ｗ番目の距離信号を受け、前記第３の一致信号を受けると駆動され、前記受けたカウンタ値が前記Ｗ番目の距離信号に一致するときの前記第４のクロック数をカウントし、前記第４のクロック数が得られると、前記タイミング信号を前記Ｗｉｎｎｅｒ検出器へ出力する第４の一致検出回路とを含む、請求項２に記載の連想メモリ。

【請求項４】

前記Ｗは、2^{i}（ｉは２以上の整数）からなり、

前記Ｒ個の距離／クロック数変換回路の各々は、Ｗ／ｓ（ｓはＷ以下である2^{x}に等しい。ｘは正の整数）個の距離信号に対応して設けられ、各々がＭビットのビット長を有するＷ個の距離信号に基づいて、前記タイミング信号を出力するＷ／ｓ個のカウンタ一致検出回路を含み、

前記Ｗ／ｓ個のカウンタ一致検出回路は、各々が前記Ｗ／ｓ個の距離信号からなるｓ組の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたｓ組の距離信号に含まれるＷ個の距離信号の和に一致するカウンタ値が得られるときの前記クロック数をカウントし、前記クロック数をカウントしたタイミングを示す前記タイミング信号を前記Ｗｉｎｎｅｒ検出器へ出力する、請求項１に記載の連想メモリ。

【請求項５】

前記Ｗ／ｓ個のカウンタ一致検出回路は、前記Ｗ／ｓ個の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたＷ／ｓ個の距離信号の和に一致するカウンタ値が得られるときのクロック信号の第１のクロック数をカウントし、前記第１のクロック数をカウントしたタイミングを示す第１の一致信号を出力する処理をｓ－１回繰り返し実行し、前記第１の一致信号を前記ｓ－１回出力し、かつ、ｓ回目に前記Ｗ／ｓ個の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたＷ／ｓ個の距離信号の和に一致するカウンタ値が得られるときのクロック信号の第２のクロック数をカウントし、前記第２のクロック数をカウントしたタイミングを示す前記タイミング信号を前記Ｗｉｎｎｅｒ検出器へ出力する、請求項４に記載の連想メモリ。

【請求項６】

前記Ｗ／ｓ個のカウンタ一致検出回路は、

前記Ｗ個の距離信号を一列に配列したときの一方端からｐ（ｐは１≦ｐ＜Ｗを満たす奇数）番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記ｐ番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第３のクロック数をカウントし、前記第３のクロック数をカウントしたタイミングを示す第２の一致信号を出力する第１の一致処理をＷ／２回繰り返し実行する第１のカウンタ一致検出回路と、

前記一方端からｑ（ｑは１＜ｑ≦Ｗを満たす偶数）番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記ｑ番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第４のクロック数をカウントし、前記第４のクロック数をカウントしたタイミングを示す第３の一致信号を出力する第２の一致処理を（（Ｗ／２）－１）回繰り返し実行し、前記第２の一致信号を前記Ｗ／２回受け、かつ、Ｗ番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウント

したときに、前記W番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第５のクロック数をカウントし、前記第５のクロック数をカウントしたタイミングを示す前記タイミング信号を前記Ｗｉｎｎｅｒ検出器へ出力する第２のカウンタ一致検出回路とを含む、請求項４に記載の連想メモリ。

【請求項７】

前記Ｒ個の距離／クロック数変換回路の各々は、

前記第１のカウンタ一致検出回路から前記第２の一致信号を受けると、その受けた第２の一致信号を前記第２のカウンタ一致検出回路へ出力し、前記第２のカウンタ一致検出回路から前記第３の一致信号を受けると、その受けた第３の一致信号を前記第１のカウンタ一致検出回路へ出力するスイッチング制御回路を更に含み、

前記第１のカウンタ一致検出回路は、前記スイッチング制御回路から前記第３の一致信号を受ける毎に前記第１の一致処理を１回実行し、

前記第２のカウンタ一致検出回路は、前記スイッチング制御回路から前記第２の一致信号を受ける毎に前記第２の一致処理を１回実行するとともに、前記第２の一致信号を前記W／２回受けると、前記第５のクロック数をカウントし、前記タイミング信号を前記Ｗｉｎｎｅｒ検出器へ出力する、請求項６に記載の連想メモリ。

【請求項８】

前記第１のカウンタ一致検出回路は、

Ｍビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第１の出力処理を前記W／２回繰り返し実行する第１のカウンタと、

前記第１のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記ｐ番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたカウンタ値が前記ｐ番目の距離信号に一致するときの前記第３のクロック数をカウントし、前記第２の一致信号を出力する第２の出力処理を前記W／２回繰り返し実行する第１の一致検出回路とを含み、

前記第２のカウンタ一致検出回路は、

Ｍビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第３の出力処理を前記W／２回繰り返し実行する第２のカウンタと、

前記第２のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記ｑ番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたカウンタ値が前記ｑ番目の距離信号に一致するときの前記第４のクロック数をカウントし、前記第３の一致信号を出力する第２の出力処理を前記（（W／２）－１）回繰り返し実行し、前記第２の一致信号を前記W／２回受けると、前記受けたカウンタ値が前記W番目の距離信号に一致するときの前記第５のクロック数をカウントし、前記タイミング信号を前記Ｗｉｎｎｅｒ検出器へ出力する第２の一致検出回路とを含む、請求項６または請求項７に記載の連想メモリ。

【請求項９】

前記第１から第４のカウンタの各々は、Ｍビットのカウンタ値を昇順に出力するＭ個の分周器からなり、

前記Ｍビットのカウンタ値の最下位ビットから最上位ビットへ向かう方向において第ｍ（ｍは１≦ｍ≦Ｍを満たす整数）位のビット値を出力する分周器は、クロック信号を2^{m-1}回に分周した信号を出力する、請求項３または請求項８に記載の連想メモリ。

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、連想メモリに関するものである。

【背景技術】

【０００２】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングをＬＳＩ（Ｌａｒｇｅ　Ｓｃ

ａｌｅ Ｉｎｔｅｇｒａｔｅｄ ｃｉｒｃｕｉｔ）上で実現することにより、将来、人工知能およびモバイル機器等の高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

【０００３】

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

【０００４】

前者は、ＣＡＭ（Ｃｏｎｔｅｎｔｓ Ａｄｄｒｅｓｓａｂｌｅ Ｍｅｍｏｒｙ）と呼ばれ、ネットワークルータのＩＰアドレステーブルのルーティングおよびプロセッサのキャッシュ等の実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ（Ａｓｓｏｃｉａｔｉｖｅ Ｍｅｍｏｒｙ）と呼ぶ。

【０００５】

連想メモリを実現する手段として（１）ディジタル方式による実現方法（非特許文献１）、（２）アナログ方式による実現方法および（３）ディジタル・アナログ融合方式（非特許文献２）等が提案されている。

【先行技術文献】

【非特許文献】

【０００６】

【非特許文献１】Y. Oike, et al., “A High-Speed and Low-Voltage Associative Co-Processor with Hamming Distance Ordering Using Word-Parallel and Hierarchical Search Architecture,” CICC, 2004.

【非特許文献２】M. A. Abedin, et al., “Nearest-euclidean-distance search associative memory with fully parallel mixed digital-analog match circuitry,” Proc. of SSDM2006, pp. 282-283, 2006.

【非特許文献３】Y. Oike et al., “A Word-Parallel Digital Associative Engine with Wide Search Range Based on Manhattan Distance,” CICC, 2004.

【発明の概要】

【発明が解決しようとする課題】

【０００７】

しかし、非特許文献１に記載の連想メモリは、検索データと参照データとのハミング距離を用いて類似検索を行うため、マンハッタン距離を用いて類似検索を行うことが困難であるという問題がある。また、非特許文献２に記載の連想メモリにおいては、検索データと参照データとの類似度を表す距離を電圧に変換するので、誤検索が生じるという問題がある。

【０００８】

そこで、この発明は、かかる問題を解決するためになされたものであり、その目的は、マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことが可能な連想メモリを提供することである。

【課題を解決するための手段】

【０００９】

この発明の実施の形態による連想メモリは、参照データ保存回路と、Ｒ個の距離演算回路と、Ｒ個の距離／クロック数変換回路と、Ｗｉｎｎｅｒ検出器とを備える。参照データ保存回路は、各々がＭ×Ｗビットのビット長を有するＲ個の参照データを保存する。Ｒ個の距離演算回路は、Ｒ個の参照データに対応して設けられ、各々がＭ×Ｗビットのビット長を有し、かつ、検索対象である検索データと参照データとの距離を表わすＲ個の距離信号を出力する。Ｒ個の距離／クロック数変換回路は、Ｒ個の距離演算回路に対応して設けられ、各々が対応する距離演算回路から各々がＭビットのビット長を有するＷ個の距離信

号を受け、その受けたW個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントし、そのクロック数をカウントしたタイミングである一致タイミングを示すタイミング信号を出力する。Ｗｉｎｎｅｒ検出器は、Ｒ個の距離／クロック数変換回路から受けたＲ個のタイミング信号に基づいて、一致タイミングが早い順にｋ個のタイミング信号を検出し、その検出したｋ個のタイミング信号を検索データと参照データとの類似度を示すマッチ信号として出力する。

【発明の効果】

【００１０】

この発明の実施の形態による連想メモリにおいては、Ｒ個の距離／クロック数変換回路の各々は、対応する距離演算回路から受けたW個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントし、そのクロック数をカウントしたタイミングである一致タイミングを示すタイミング信号を出力する。即ち、Ｒ個の距離／クロック数変換回路の各々は、W個の距離信号の和をクロック信号のクロック数に変換し、その変換したクロック数が得られるタイミングを示すタイミング信号を出力する。その結果、W個の距離信号の和によって表わされる距離が小さければ、タイミング信号は、より早い一致タイミングを示し、W個の距離信号の和によって表わされる距離が大きければ、タイミング信号は、より遅い一致タイミングを示す。また、W個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数は、W個の距離信号のそれぞれに一致するW個のカウンタ値が得られるときのクロック信号のW個のクロック数を加算した値からなるので、検索データと参照データとの距離をマンハッタン距離によって表わしたときの検索データと参照データとの距離信号に一致するカウンタ値が得られるときのクロック信号のクロック数になる。更に、２つのタイミング信号によって示される２つのタイミングは、クロック信号の少なくとも１周期以上の時間差を有する。更に、クロック信号の周波数を高くすることによって検索時間が短くなる。

【００１１】

従って、この発明の実施の形態によれば、マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことができる。

【図面の簡単な説明】

【００１２】

【図１】この発明の実施の形態による連想メモリの構成を示す概略ブロック図である。

【図２】図１に示す距離／クロック数変換回路の構成を示す概略図である。

【図３】図２に示すカウンタ一致検出回路の構成を示す概略図である。

【図４】図３に示すカウンタ一致検出回路の動作を説明するための図である。

【図５】図１に示す距離／クロック数変換回路の動作を説明するための図である。

【図６】図１に示すＷｉｎｎｅｒ検出器の動作を説明するための図である。

【図７】図３に示すカウンタの好ましい構成を示す概略図である。

【図８】図７に示すカウンタの動作を説明するための図である。

【図９】図１に示す距離／クロック数変換回路の別の構成を示す概略図である。

【図１０】図１に示す距離／クロック数変換回路の更に別の構成を示す概略図である。

【図１１】図９に示す距離／クロック数変換回路の具体的な構成を示す概略図である。

【図１２】図１１に示す距離／クロック数変換回路の動作を説明するための図である。

【図１３】図９に示す距離／クロック数変換回路の別の具体的な構成を示す概略図である。

【図１４】図１３に示す距離／クロック数変換回路の動作を説明するための図である。

【図１５】図１０に示す距離／クロック数変換回路の具体的な構成を示す概略図である。

【図１６】図１５に示す距離／クロック数変換回路の動作を説明するための図である。

【図１７】図１０に示す距離／クロック数変換回路の更に別の具体的な構成を示す概略図である。

【図１８】図１７に示す距離／クロック数変換回路の動作を説明するための図である。

【図１９】最短検索時間の比較を示す図である。

【図２０】消費電力の比較を示す図である。

【発明を実施するための形態】

【００１３】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【００１４】

図１は、この発明の実施の形態による連想メモリの構成を示す概略ブロック図である。図１を参照して、この発明の実施の形態１による連想メモリ１００は、メモリアレイ部１０と、Ｗｉｎｎｅｒ検出器２０とを備える。

【００１５】

メモリアレイ部１０は、メモリ部１と、行デコーダ２と、列デコーダ３と、読出／書込回路４と、検索データ保存回路５とを含む。

【００１６】

メモリ部１は、参照データ保存回路（Ｓｔｏｒａｇｅ　Ｃｅｌｌ：ＳＣ）SC_{11}～SC_{1W}，SC_{21}～SC_{2W}，・・・，SC_{R1}～SC_{RW}と、距離演算回路（Ｄｉｓｔａｎｃｅ　Ｐｒｏｃｅｓｓｏｒ：ＤＰ）DP_{11}～DP_{1W}，DP_{21}～DP_{2W}，・・・，DP_{R1}～DP_{RW}と、距離／クロック数変換回路DC_1～DC_Rとを含む。なお、ＷおよびＲの各々は、２以上の整数である。

【００１７】

距離演算回路DP_{11}～DP_{1W}は、それぞれ、参照データ保存回路SC_{11}～SC_{1W}に対応して設けられる。また、距離演算回路DP_{21}～DP_{2W}は、それぞれ、参照データ保存回路SC_{21}～SC_{2W}に対応して設けられる。以下、同様にして、距離演算回路DP_{R1}～DP_{RW}は、それぞれ、参照データ保存回路SC_{R1}～SC_{RW}に対応して設けられる。

【００１８】

距離／クロック数変換回路DC_1は、距離演算回路DP_{11}～DP_{1W}に対応して設けられる。距離／クロック数変換回路DC_2は、距離演算回路DP_{21}～DP_{2W}に対応して設けられる。以下、同様にして、距離／クロック数変換回路DC_Rは、距離演算回路DP_{R1}～DP_{RW}に対応して設けられる。

【００１９】

参照データ保存回路SC_{11}～SC_{1W}，SC_{21}～SC_{2W}，・・・，SC_{R1}～SC_{RW}は、行デコーダ２、列デコーダ３および読出／書込回路４によって書き込まれた参照データを保存する。この場合、参照データ保存回路SC_{11}～SC_{1W}は、Ｍ×Ｗ（Ｍは１以上の整数）ビットの参照データ１を保存し、参照データ保存回路SC_{21}～SC_{2W}は、Ｍ×Ｗビットの参照データ２を保存し、以下、同様にして、参照データ保存回路SC_{R1}～SC_{RW}は、Ｍ×ＷビットのＲを保存する。つまり、参照データ保存回路SC_{11}～SC_{1W}，SC_{21}～SC_{2W}，・・・，SC_{R1}～SC_{RW}の各々は、参照データのＭビットを保存する。

【００２０】

距離演算回路DP_{11}～DP_{1W}は、参照データ保存回路SC_{11}～SC_{1W}に保存されたＭ×Ｗビットの参照データ１と、検索データ保存回路５に保存されたＭ×Ｗビットの検索データとの距離を後述する方法によって演算する。また、距離演算回路DP_{21}～DP_{2W}は、参照データ保存回路SC_{21}～SC_{2W}に保存されたＭ×Ｗビットの参照データ２と、検索データ保存回路５に保存されたＭ×Ｗビットの検索データとの距離を後述する方法によって演算する。以下、同様にして、距離演算回路DP_{R1}～DP_{RW}は、参照データ保存回路SC_{R1}～SC_{RW}に保存されたＭ×ＷビットのＲと、検索データ保存回路５に保存されたＭ×Ｗビットの検索データとの距離を後述する方法によって演算する。そして、距離演算回路DP_{11}～DP_{1W}、距離演算回路DP_{21}～DP_{2W}、・・・、および距離演算回路DP_{R1}～DP_{RW}における参照データと検索データとの距離の演算は、並列に行なわれる。

【００２１】
そして、距離演算回路ＤＰ$_{11}$～ＤＰ$_{1W}$は、参照データ１と検索データとの距離をＭ×Ｗビットの距離信号として距離／クロック数変換回路ＤＣ$_{1}$へ出力し、距離演算回路ＤＰ$_{21}$～ＤＰ$_{2W}$は、参照データ２と検索データとの距離をＭ×Ｗビットの距離信号として距離／クロック数変換回路ＤＣ$_{2}$へ出力し、以下、同様にして、距離演算回路ＤＰ$_{R1}$～ＤＰ$_{RW}$は、参照データＲと検索データとの距離をＭ×Ｗビットの距離信号として距離／クロック数変換回路ＤＣ$_{R}$へ出力する。
【００２２】
距離演算回路ＤＰ$_{11}$～ＤＰ$_{1W}$の各々は、参照データ１と検索データとの距離を次式を用いて演算する。
【００２３】
【数１】

$$D_{rj} = |In_j - \mathrm{Re}_{rj}| \quad \cdots (1)$$

【００２４】
式（１）において、Ｄ$_{rj}$（ｒ＝１～Ｒ，ｊ＝１～Ｗ）は、参照データと検索データとの距離であり、Ｉｎ$_{j}$は、検索データであり、Ｒｅ$_{rj}$は、参照データである。そして、各データＩｎ$_{j}$，Ｒｅ$_{rj}$の各々は、Ｍビットからなる。
【００２５】
このように、距離演算回路ＤＰ$_{11}$～ＤＰ$_{1W}$は、Ｍ×Ｗビットの参照データ１と、Ｍ×Ｗビットの検索データとの距離をＭビットづつ演算し、各々がＭビットのビット長を有するＷ個の距離信号Ｄ$_{1j}$を距離／クロック数変換回路ＤＣ$_{1}$へ出力する。
【００２６】
距離演算回路ＤＰ$_{21}$～ＤＰ$_{2W}$、・・・および距離演算回路ＤＰ$_{R1}$～ＤＰ$_{RW}$も、それぞれ、式（１）を用いて参照データ２～Ｒと検索データとの距離を演算する。そして、距離演算回路ＤＰ$_{21}$～ＤＰ$_{2W}$、・・・および距離演算回路ＤＰ$_{R1}$～ＤＰ$_{RW}$も、各々がＭビットのビット長を有するＷ個の距離信号Ｄ$_{2j}$～Ｄ$_{Rj}$をそれぞれ距離／クロック数変換回路ＤＣ$_{2}$～ＤＣ$_{R}$へ出力する。
【００２７】
距離／クロック数変換回路ＤＣ$_{1}$は、距離演算回路ＤＰ$_{11}$～ＤＰ$_{1W}$からＷ個の距離信号Ｄ$_{1j}$を受け、その受けたＷ個の距離信号Ｄ$_{1j}$の和に一致するクロック信号ＣＬＫのクロック数ＣＮ＿ｔｏｔａｌ１を後述する方法によってカウントし、そのクロック数ＣＮ＿ｔｏｔａｌ１をカウントしたタイミングを示すタイミング信号Ｃ$_{1}$をＷｉｎｎｅｒ検出器２０へ出力する。そして、このクロック数ＣＮ＿ｔｏｔａｌ１をカウントしたタイミングは、検索データと参照データ１との距離に一致する一致タイミングである。
【００２８】
また、距離／クロック数変換回路ＤＣ$_{2}$は、距離演算回路ＤＰ$_{21}$～ＤＰ$_{2W}$からＷ個の距離信号Ｄ$_{2j}$を受け、その受けたＷ個の距離信号Ｄ$_{2j}$の和に一致するクロック信号ＣＬＫのクロック数ＣＮ＿ｔｏｔａｌ２を後述する方法によってカウントし、そのクロック数ＣＮ＿ｔｏｔａｌ２をカウントしたタイミングを示すタイミング信号Ｃ$_{2}$をＷｉｎｎｅｒ検出器２０へ出力する。このクロック数ＣＮ＿ｔｏｔａｌ２をカウントしたタイミングは、検索データと参照データ２とが一致する一致タイミングである。
【００２９】
以下、同様にして、距離／クロック数変換回路ＤＣ$_{R}$は、距離演算回路ＤＰ$_{R1}$～ＤＰ$_{RW}$からＷ個の距離信号Ｄ$_{Rj}$を受け、その受けたＷ個の距離信号Ｄ$_{Rj}$の和に一致するクロック信号ＣＬＫのクロック数ＣＮ＿ｔｏｔａｌＲを後述する方法によってカウントし、そのクロック数ＣＮ＿ｔｏｔａｌＲをカウントしたタイミングを示すタイミング信号Ｃ$_{R}$をＷｉｎｎｅｒ検出器２０へ出力する。このクロック数ＣＮ＿ｔｏｔａｌＲをカウントしたタイミングは、検索データと参照データＲとが一致する一致タイミングである。

【００３０】
行デコーダ２は、メモリ部１の行方向のアドレスを指定する。列デコーダ３は、メモリ部１の列方向のアドレスを指定する。読出／書込回路４は、参照データを行デコーダ２および列デコーダ３によって指定された参照データ保存回路SC_{11}～SC_{1W}，SC_{21}～SC_{2W}，・・・，SC_{R1}～SC_{RW}に書き込むとともに、検索データを検索データ保存回路５に書き込む。
【００３１】
検索データ保存回路５は、読出／書込回路４によって書き込まれた検索データ（M×Wビットのデータ）を保存する。
【００３２】
Ｗｉｎｎｅｒ検出器２０は、タイミング信号C_1～C_Rをそれぞれ距離／クロック数変換回路DC_1～DC_Rから受け、その受けたタイミング信号C_1～C_Rのうち、一致タイミングが早い順にｋ（ｋは１≦ｋ＜Ｒを満たす整数）個のタイミング信号を検出し、その検出したｋ個のタイミング信号を検索データと参照データとの類似度を示すマッチ信号M_1～M_kとして出力する。
【００３３】
図２は、図１に示す距離／クロック数変換回路DC_1の構成を示す概略図である。図２を参照して、距離／クロック数変換回路DC_1は、増幅器２１～２Ｗと、カウンタ一致検出回路３１～３Ｗとを含む。
【００３４】
増幅器２１は、連想メモリ１００に内蔵されたクロック発生回路（図示せず）からクロック信号ＣＬＫを受け、その受けたクロック信号ＣＬＫを増幅して増幅器２２およびカウンタ一致検出回路３１へ出力する。
【００３５】
増幅器２２は、クロック信号ＣＬＫを増幅器２１から受け、その受けたクロック信号ＣＬＫを増幅器２３（図示せず）およびカウンタ一致検出回路３２へ出力する。
【００３６】
以下、同様にして、増幅器２Ｗは、クロック信号ＣＬＫを増幅器２Ｗ－１（図示せず）から受け、その受けたクロック信号ＣＬＫをカウンタ一致検出回路３Ｗへ出力する。
【００３７】
カウンタ一致検出回路３１～３Ｗは、それぞれ、距離演算回路DP_{11}～DP_{1W}に対応して設けられる。そして、カウンタ一致検出回路３１～３Ｗは、直列に接続される。
【００３８】
カウンタ一致検出回路３１は、増幅器２１からクロック信号ＣＬＫを受け、連想メモリ１００の制御回路（図示せず）から検索開始信号ＳＢを受け、距離演算回路DP_{11}からMビットのビット長を有する距離信号D_{11}を受ける。カウンタ一致検出回路３１は、検索開始信号ＳＢがＬ（論理ロー）レベルからＨ（論理ハイ）レベルに切り替わると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{11}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数をカウントする。そして、カウンタ一致検出回路３１は、そのクロック数をカウントしたタイミングを示す一致信号ＭＴＨ１をクロック信号ＣＬＫに同期してカウンタ一致検出回路３２へ出力する。カウンタ一致検出回路３１は、一致信号ＭＴＨ１を出力すると、動作を停止する。
【００３９】
カウンタ一致検出回路３２は、増幅器２２からクロック信号ＣＬＫを受け、カウンタ一致検出回路３１から一致信号ＭＴＨ１を受け、距離演算回路DP_{12}からMビットのビット長を有する距離信号D_{12}を受ける。カウンタ一致検出回路３２は、カウンタ一致検出回路３１から一致信号ＭＴＨ１を受けるまで動作を停止している。カウンタ一致検出回路３２は、カウンタ一致検出回路３１から一致信号ＭＴＨ１を受けると駆動され、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{12}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数をカウントする。そして

、カウンタ一致検出回路３２は、そのクロック数をカウントしたタイミングを示す一致信号ＭＴＨ２をクロック信号ＣＬＫに同期してカウンタ一致検出回路３３（図示せず）へ出力する。カウンタ一致検出回路３２は、一致信号ＭＴＨ２を出力すると、動作を停止する。

【００４０】

以下、同様にして、カウンタ一致検出回路３Ｗは、増幅器２Ｗからクロック信号ＣＬＫを受け、カウンタ一致検出回路３Ｗ－１から一致信号ＭＴＨＷ－１を受け、距離演算回路$ＤＰ_{1W}$からＭビットのビット長を有する距離信号$Ｄ_{1W}$を受ける。カウンタ一致検出回路３Ｗは、カウンタ一致検出回路３Ｗ－１から一致信号ＭＴＨＷ－１を受けるまで動作を停止している。カウンタ一致検出回路３Ｗは、カウンタ一致検出回路３Ｗ－１から一致信号ＭＴＨＷ－１を受けると駆動され、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号$Ｄ_{1W}$に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数をカウントする。そして、カウンタ一致検出回路３Ｗは、そのクロック数をカウントしたタイミングを示す一致信号ＭＴＨＷをタイミング信号$Ｃ_1$としてクロック信号ＣＬＫに同期してＷｉｎｎｅｒ検出器２０へ出力する。カウンタ一致検出回路３Ｗは、タイミング信号$Ｃ_1$を出力すると、動作を停止する。

【００４１】

なお、図１に示す距離／クロック数変換回路$ＤＣ_2$～距離／クロック数変換回路$ＤＣ_R$の各々も、図２に示す距離／クロック数変換回路$ＤＣ_1$と同じ構成からなる。

【００４２】

図３は、図２に示すカウンタ一致検出回路３１の構成を示す概略図である。図３を参照して、カウンタ一致検出回路３１は、カウンタ３１１と、一致検出回路３１２とを含む。

【００４３】

カウンタ３１１は、増幅器２１からクロック信号ＣＬＫを受け、連想メモリ１００の制御回路（図示せず）からリセット信号ＲＳＴを受ける。カウンタ３１１は、リセット信号ＲＳＴを受けると、カウンタ値をリセットし、Ｍビットのビット値をクロック信号ＣＬＫに同期して昇順にカウントする。そして、カウンタ３１１は、そのカウントしたカウンタ値$ＣＶ_{11}$をクロック信号ＣＬＫに同期して一致検出回路３１２へ順次出力する。

【００４４】

一致検出回路３１２は、増幅器２１からクロック信号ＣＬＫを受け、連想メモリ１００の制御回路（図示せず）から検索開始信号ＳＢを受け、カウンタ３１１からカウンタ値$ＣＶ_{11}$を順次受け、距離演算回路$ＤＰ_{11}$から距離信号$Ｄ_{11}$を受ける。

【００４５】

一致検出回路３１２は、検索開始信号ＳＢがＬレベルからＨレベルに切り替わると、距離信号$Ｄ_{11}$に一致するカウンタ値$ＣＶ_{11}$が得られるときのクロック信号ＣＬＫのクロック数をカウントする。そして、一致検出回路３１２は、そのクロック数をカウントしたタイミングを示す一致信号ＭＴＨ１をカウンタ一致検出回路３２へ出力する。

【００４６】

一致検出回路３１２は、一致信号ＭＴＨ１を出力すると、動作を停止する。

【００４７】

なお、図２に示すカウンタ一致検出回路３２～３Ｗの各々も、図３に示すカウンタ一致検出回路３１と同じ構成からなる。この場合、カウンタ一致検出回路３２～３Ｗの一致検出回路３１２は、それぞれ、カウンタ一致検出回路３１～３Ｗ－１の一致検出回路３１２から一致信号ＭＴＨ１～ＭＴＨＷ－１を受けるまで動作を停止し、一致信号ＭＴＨ１～ＭＴＨＷ－１を受けると駆動され、動作を開始する。

【００４８】

図４は、図３に示すカウンタ一致検出回路３１の動作を説明するための図である。なお、図４においては、カウンタ値$ＣＶ_{11}$および距離信号$Ｄ_{11}$の各々が３ビットである場合を例にしてカウンタ一致検出回路３１の動作を説明する。また、距離信号$Ｄ_{11}$は、“０１１”からなるものとする。

【００４９】
図４を参照して、カウンタ一致検出回路３１のカウンタ３１１は、連想メモリ１００の制御回路からリセット信号ＲＳＴを受けると、カウント数をリセットし、クロック信号ＣＬＫの連続する周期Ｔ１，Ｔ２，Ｔ３，Ｔ４に同期して、それぞれ、“０００”，“００１”，“０１０”，“０１１”のビット値を順次カウントし、そのカウントした“０００”，“００１”，“０１０”，“０１１”のカウンタ値CV_{11}を一致検出回路３１２へ順次出力する。

【００５０】
そして、一致検出回路３１２は、距離演算回路DP_{11}から“０１１”の距離信号D_{11}を受け、クロック信号ＣＬＫの周期Ｔ１に同期して“０００”のカウンタ値CV_{11}をカウンタ３１１から受けると、タイミングｔ１において“０”のクロック数をカウントし、“０”のクロック数において、“０００”のカウンタ値CV_{11}が“０１１”の距離信号D_{11}に一致しないことを検出する。

【００５１】
そして、一致検出回路３１２は、クロック信号ＣＬＫの周期Ｔ１の次の周期Ｔ２に同期して“００１”のカウンタ値CV_{11}をカウンタ３１１から受けると、タイミングｔ２において“１”のクロック数をカウントし、“１”のクロック数において、“００１”のカウンタ値CV_{11}が“０１１”の距離信号D_{11}に一致しないことを検出する。

【００５２】
また、一致検出回路３１２は、クロック信号ＣＬＫの周期Ｔ２の次の周期Ｔ３に同期して“０１０”のカウンタ値CV_{11}をカウンタ３１１から受けると、タイミングｔ３において“２”のクロック数をカウントし、“２”のクロック数において、“０１０”のカウンタ値CV_{11}が“０１１”の距離信号D_{11}に一致しないことを検出する。

【００５３】
更に、一致検出回路３１２は、クロック信号ＣＬＫの周期Ｔ３の次の周期Ｔ４に同期して“０１１”のカウンタ値CV_{11}をカウンタ３１１から受けると、タイミングｔ４において“３”のクロック数をカウントし、“３”のクロック数において、“０１１”のカウンタ値CV_{11}が“０１１”の距離信号D_{11}に一致することを検出する。そして、一致検出回路３１２は、“０１１”の距離信号D_{11}に一致する“０１１”のカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数（＝“３”）をカウントしたタイミングｔ４を示す一致信号ＭＴＨ１をカウンタ一致検出回路３２および連想メモリ１００の制御回路へ出力する。その後、一致検出回路３１２は、図４において、“４”，“５”のクロック数において、“０１１”のカウンタ値が保持されているように、動作を停止する。

【００５４】
この場合、カウンタ一致検出回路３１は、タイミングｔ１において“０”のクロック数をカウントしてからタイミングｔ４において“３”のクロック数をカウントして一致信号ＭＴＨ１を出力するまでに、タイミングｔ１からタイミングｔ４までの時間（＝ｔ４－ｔ１）を要する。

【００５５】
なお、図２に示すカウンタ一致検出回路３２～３Ｗ－１の各々において、カウンタ３１１は、連想メモリ１００の制御回路からリセット信号ＲＳＴを受けるまで動作を停止し、連想メモリ１００の制御回路からリセット信号ＲＳＴを受けると、“０００”，“００１”，“０１０”，“０１１”，・・・のビット値を順次カウントし、そのカウントした“０００”，“００１”，“０１０”，“０１１”，・・・のカウンタ値（＝各カウンタ値CV_{12}～CV_{1W-1}）を一致検出回路３１２へ順次出力する。

【００５６】
カウンタ一致検出回路３２～３Ｗ－１の一致検出回路３１２は、それぞれ、カウンタ一致検出回路３１～３Ｗ－２の一致検出回路３１２から一致信号ＭＴＨ１～ＭＴＨＷ－２を受けるまで動作を停止し、一致信号ＭＴＨ１～ＭＴＨＷ－２を受けると、カウンタ値ＣＶ

$_{12}$～ＣＶ$_{1W-1}$がそれぞれ距離信号Ｄ$_{12}$～Ｄ$_{1W-1}$に一致するときのクロック信号ＣＬＫのクロック数をカウントし、そのクロック数をカウントしたタイミングを示す一致信号ＭＴＨ２～ＭＴＨＷ－１をそれぞれカウンタ一致検出回路３３～３Ｗおよび連想メモリ１００の制御回路へ出力する。そして、カウンタ一致検出回路３２～３Ｗ－１の一致検出回路３１２は、動作を停止する。

【００５７】

また、カウンタ一致検出回路３Ｗのカウンタ３１１は、連想メモリ１００の制御回路からリセット信号ＲＳＴを受けるまで動作を停止し、連想メモリ１００の制御回路からリセット信号ＲＳＴを受けると、“０００”，“００１”，“０１０”，“０１１”，・・・のビット値を順次カウントし、そのカウントした“０００”，“００１”，“０１０”，“０１１”，・・・のカウンタ値ＣＶ$_{1W}$を一致検出回路３１２へ順次出力する。

【００５８】

カウンタ一致検出回路３Ｗの一致検出回路３１２は、カウンタ一致検出回路３Ｗ－１の一致検出回路３１２から一致信号ＭＴＨＷ－１を受けるまで動作を停止し、一致信号ＭＴＨＷ－１を受けると、カウンタ値ＣＶ$_{1W}$が距離信号Ｄ$_{1W}$に一致するときのクロック信号ＣＬＫのクロック数をカウントし、そのクロック数をカウントしたタイミングを示すタイミング信号（各タイミング信号Ｃ$_{1}$～Ｃ$_{R}$）をＷｉｎｎｅｒ検出器２０および連想メモリ１００の制御回路へ出力する。そして、カウンタ一致検出回路３Ｗの一致検出回路３１２は、動作を停止する。

【００５９】

連想メモリ１００の制御回路は、カウンタ一致検出回路３１～３Ｗ－１からそれぞれ一致信号ＭＴＨ１～ＭＴＨＷ－１を受けると、リセット信号ＲＳＴをそれぞれカウンタ一致検出回路３２～３Ｗへ出力する。また、連想メモリ１００の制御回路は、カウンタ一致検出回路３Ｗからタイミング信号Ｃ$_{1}$を受けると、リセット信号ＲＳＴをカウンタ一致検出回路３１～３Ｗへ出力する。

【００６０】

図５は、図１に示す距離／クロック数変換回路ＤＣ$_{1}$の動作を説明するための図である。なお、図５においては、距離／クロック数変換回路ＤＣ$_{1}$が２つのカウンタ一致検出回路３１，３２からなる場合を例にして距離／クロック数変換回路ＤＣ$_{1}$の動作を説明する。また、距離信号Ｄ$_{11}$が“３”からなり、距離信号Ｄ$_{12}$が“５”からなることを前提とする。

【００６１】

図５を参照して、距離演算回路ＤＰ$_{11}$は、検索データと参照データＳＣ$_{11}$との距離を式（１）に従って演算し、距離信号Ｄ$_{11}$（＝“０１１”）をカウンタ一致検出回路３１へ出力する。また、距離演算回路ＤＰ$_{12}$は、検索データと参照データＳＣ$_{12}$との距離を式（１）に従って演算し、距離信号Ｄ$_{12}$（＝“１０１”）をカウンタ一致検出回路３２へ出力する。

【００６２】

カウンタ一致検出回路３１は、距離演算回路ＤＰ$_{11}$から距離信号Ｄ$_{11}$（＝“０１１”）を受け、連想メモリ１００の制御回路からリセット信号ＲＳＴおよび検索開始信号ＳＢを受けると、上述した方法によって、カウンタ値ＣＶ$_{11}$が距離信号Ｄ$_{11}$（＝“０１１”）に一致するときのクロック信号ＣＬＫのクロック数（＝“３”）をカウントし、“３”のクロック数をカウントしたタイミングを示す一致信号ＭＴＨ１をカウンタ一致検出回路３２および連想メモリ１００の制御回路へ出力する。そして、カウンタ一致検出回路３１は、動作を停止する。

【００６３】

カウンタ一致検出回路３２は、距離演算回路ＤＰ$_{12}$から距離信号Ｄ$_{12}$（＝“１０１”）を受け、連想メモリ１００の制御回路からリセット信号ＲＳＴを受ける。そして、カウンタ一致検出回路３２は、“３”のクロック数が得られたタイミングでカウンタ一致検出回路３１から一致信号ＭＴＨ１を受けると、動作を開始し、距離信号Ｄ$_{12}$（＝“１０

１”）に一致するカウンタ値CV_{12}（＝“１０１”）が得られるときのクロック信号ＣＬＫのクロック数（＝“５”）をカウントし、“５”のクロック数をカウントしたタイミングでカウンタ値CV_{12}（＝“１０１”）が距離信号D_{12}（＝“１０１”）に一致することを検出する。

【００６４】

そうすると、カウンタ一致検出回路３２は、“５”のクロック数をカウントしたタイミングを示すタイミング信号C_1をＷｉｎｎｅｒ検出器２０および連想メモリ１００の制御回路へ出力する。そして、カウンタ一致検出回路３２は、動作を停止する。

【００６５】

このように、カウンタ一致検出回路３２は、カウンタ一致検出回路３１による“３”のクロック数のカウントが完了した後に、“５”のクロック数をカウントしたタイミングで“５”のクロック数をカウントしたタイミングを示すタイミング信号C_1を出力する。従って、カウンタ一致検出回路３２は、カウンタ一致検出回路３１によるクロック数のカウント開始から“３”＋“５”＝“８”のクロック数をカウントするまでの時間が経過したタイミングで“５”のクロック数をカウントしたタイミングを示すタイミング信号C_1を出力する。即ち、カウンタ一致検出回路３２は、“３”の距離信号と“５”の距離信号との和である“８”の距離信号に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数をカウントし、そのクロック数をカウントしたタイミングを示すタイミング信号C_1を出力する。

【００６６】

２つのカウンタ一致検出回路３１，３２が全体でカウントする“８”のクロック数は、カウンタ一致検出回路３１がカウントする“３”のクロック数と、カウンタ一致検出回路３２がカウントする“５”のクロック数とを加算したものである。このことは、カウンタ一致検出回路３２が、カウンタ一致検出回路３１において“３”のクロック数がカウントされたタイミングでカウンタ一致検出回路３１から一致信号ＭＴＨ１を受けると、距離信号D_{12}に一致するカウンタ値CV_{12}が得られるときのクロック数をカウントする動作を開始することからも明らかである（図５参照）。

【００６７】

その結果、２つのカウンタ一致検出回路３１，３２が全体で“８”のクロック数をカウントすることは、距離“３”と距離“５”との和（＝“８”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数をカウントすることに相当する。

【００６８】

距離／クロック数変換回路DC_1は、一般的に、Ｗ個の距離信号D_{11}～D_{1W}を受ける。そして、Ｗ個の距離信号D_{11}～D_{1W}の各々は、Ｍビットのビット長を有する。従って、距離／クロック数変換回路DC_1は、Ｍ×Ｗビットのビット長を有する距離信号$D_{11}D_{12}$・・・D_{1W}を受ける。

【００６９】

そして、距離／クロック数変換回路DC_1において、カウンタ一致検出回路３１～３Ｗは、それぞれ、距離信号D_{11}～D_{1W}にそれぞれ一致するカウンタ値CV_{11}～CV_{1W}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ１～ＣＮＷをカウントする。また、カウンタ一致検出回路３２～３Ｗは、それぞれ、カウンタ一致検出回路３１～３Ｗ－１から一致信号ＭＴＨ２～ＭＴＨＷ－１を受けた後に、距離信号D_{12}～D_{1W}にそれぞれ一致するカウンタ値CV_{12}～CV_{1W}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ２～ＣＮＷのカウントを開始する。

【００７０】

その結果、距離／クロック数変換回路DC_1がカウントするクロック数ＣＮ＿ｔｏｔａｌは、クロック数ＣＮ１～ＣＮＷの和に等しい。そうすると、クロック数ＣＮ１～ＣＮＷは、それぞれ、距離信号D_{11}～D_{1W}を表わすので、クロック数ＣＮ＿ｔｏｔａｌは、距離信号D_{11}～D_{1W}の和を表わす。

【００７１】

一方、マンハッタン距離n_Mは、次式によって表わされる。

【００７２】

【数２】

$$n_M = \sum_{j=1}^{W} | In_j - \mathrm{Re}_j | \quad \cdot\cdot\cdot \ (2)$$

【００７３】

式（２）の右辺の｜$In_j - Re_j$｜は、式（１）の右辺の｜$In_j - Re_{rj}$｜において、１つの行（ｒによって表わされる）における検索データと参照データとの距離｜$In_j - Re_j$｜に一致する。

【００７４】

従って、マンハッタン距離n_Mは、式（１）によって演算した距離をＷ個の距離について加算したものに等しい。

【００７５】

そうすると、距離／クロック数変換回路DC_1がクロック数ＣＮ＿ｔｏｔａｌをカウントしたタイミングを示すタイミング信号C_1を出力することは、マンハッタン距離n_Mによって検索データに類似する参照データを検索し、検索データに類似する参照データを検出したことを示すＷｉｎｎｅｒ信号を出力することに相当する。

【００７６】

なお、距離／クロック数変換回路DC_2～DC_Rの各々も、図５において説明した距離／クロック数変換回路DC_1の動作と同じ動作によって、それぞれ、タイミング信号C_2～C_Rを出力する。

【００７７】

図６は、図１に示すＷｉｎｎｅｒ検出器２０の動作を説明するための図である。図６を参照して、距離／クロック数変換回路DC_1～DC_Rは、それぞれ、タイミング信号C_1～C_Rをクロック信号ＣＬＫに同期してＷｉｎｎｅｒ検出器２０へ出力する。

【００７８】

Ｗｉｎｎｅｒ検出器２０は、タイミング信号C_1～C_Rを受け、その受けたタイミング信号C_1～C_Rの立ち上がりタイミングt_1～t_Rを検出する。そして、Ｗｉｎｎｅｒ検出器２０は、立ち上がりタイミングt_1～t_Rが早い順にｋ個のタイミング信号C'_1～C'_kを検出する。そうすると、Ｗｉｎｎｅｒ検出器２０は、タイミング信号C'_1～C'_kをマッチ信号M_1～M_kとして出力する。

【００７９】

例えば、２個のマッチ信号M_1，M_2を検出する場合、Ｗｉｎｎｅｒ検出器２０は、タイミング信号C_1～C_Rのうち、立ち上がりタイミングが早い順に２個のタイミング信号C_1，C_3を検出し、その検出したタイミング信号C_1，C_3をマッチ信号M_1，M_2として出力する。

【００８０】

なお、ｋ＝２以外のｋ個のタイミング信号C'_1～C'_kを検出する場合も、Ｗｉｎｎｅｒ検出器２０は、同様にして、ｋ個のタイミング信号C'_1～C'_kを検出し、その検出したｋ個のタイミング信号C'_1～C'_kをマッチ信号M_1～M_kとして出力する。

【００８１】

ｋ＝１である場合、Ｗｉｎｎｅｒ検出器２０は、検索データに最も類似する参照データに対応するタイミング信号（タイミング信号C_1～C_Rのいずれか）をマッチ信号M_1として出力する。

【００８２】

また、ｋ≠１である場合、Ｗｉｎｎｅｒ検出器２０は、検索データに類似するｋ個の参照データに対応するｋ個のタイミング信号C'_1～C'_kをマッチ信号M_1～M_kとして出力する。この場合、ｋ個のタイミング信号C'_1～C'_kにおいて、ｋ個の立ち上がりタイミングは、相互に、少なくともクロック信号ＣＬＫの１周期分だけ異なるので、立ち

上がりタイミングの早い順にｋ個のタイミング信号Ｃ’$_1$～Ｃ’$_k$を正確に検出できる。つまり、連想メモリ１００は、検索データに類似するｋ個の参照データを正確に検索できる。

【００８３】

また、距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の動作は、クロック信号ＣＬＫに同期して実行されるので、クロック信号ＣＬＫの周波数を高くすることによって、連想メモリ１００の動作を高速にできる。

【００８４】

従って、連想メモリ１００は、マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことができる。

【００８５】

図７は、図３に示すカウンタ３１１の好ましい構成を示す概略図である。この発明の実施の形態においては、カウンタ３１１は、好ましくは、図７に示すカウンタ３１１Ａからなる。

【００８６】

図７を参照して、カウンタ３１１Ａは、分周器３１１－１～３１１－Ｍを含む。分周器３１１－１は、Ｍビットの距離信号（＝距離信号Ｄ$_{11}$～Ｄ$_{1W}$，Ｄ$_{21}$～Ｄ$_{2W}$，・・，Ｄ$_{R1}$～Ｄ$_{RW}$の各々）の最下位ビットに対応して設けられる。分周器３１１－２は、Ｍビットの距離信号（＝距離信号Ｄ$_{11}$～Ｄ$_{1W}$，Ｄ$_{21}$～Ｄ$_{2W}$，・・，Ｄ$_{R1}$～Ｄ$_{RW}$の各々）の第２位ビットに対応して設けられる。以下、同様にして、分周器３１１－Ｍは、Ｍビットの距離信号（＝距離信号Ｄ$_{11}$～Ｄ$_{1W}$，Ｄ$_{21}$～Ｄ$_{2W}$，・・，Ｄ$_{R1}$～Ｄ$_{RW}$の各々）の最上位ビットに対応して設けられる。

【００８７】

分周器３１１－１は、クロック信号ＣＬＫを２^{0}回分周し、その分周した分周信号ＤＶ$_1$を一致検出回路３１２へ出力する。分周器３１１－２は、クロック信号ＣＬＫを２^{1}回分周し、その分周した分周信号ＤＶ$_2$を一致検出回路３１２へ出力する。以下、同様にして、分周器３１１－Ｍは、クロック信号ＣＬＫを２$^{M-1}$回分周し、その分周した分周信号ＤＶ$_M$を一致検出回路３１２へ出力する。

【００８８】

図８は、図７に示すカウンタ３１１Ａの動作を説明するための図である。なお、図８においては、カウンタ３１１Ａが４個の分周器３１１－１～３１１－４からなる場合を例にしてカウンタ３１１Ａの動作を説明する。

【００８９】

図８を参照して、分周器３１１－１は、クロック信号ＣＬＫを２^{0}回分周し、その分周した分周信号ＤＶ$_1$を一致検出回路３１２へ出力する。分周器３１１－２は、クロック信号ＣＬＫを２^{1}回分周し、その分周した分周信号ＤＶ$_2$を一致検出回路３１２へ出力する。分周器３１１－３は、クロック信号ＣＬＫを２^{2}回分周し、その分周した分周信号ＤＶ$_3$を一致検出回路３１２へ出力する。分周器３１１－４は、クロック信号ＣＬＫを２^{3}回分周し、その分周した分周信号ＤＶ$_4$を一致検出回路３１２へ出力する。

【００９０】

その結果、４個の分周器３１１－１～３１１－４は、最初に、“００００”のカウンタ値を出力し、２番目に、“０００１”のカウンタ値を出力し、３番目に、“００１０”のカウンタ値を出力し、以下、同様にして、１５番目に、“１１１０”のカウンタ値を出力し、最後に、“１１１１”のカウンタ値を出力する。

【００９１】

カウンタ３１１Ａは、４ビット以外のカウンタ値を出力する場合も、Ｍ個の分周器３１１－１～３１１－Ｍによって構成され、Ｍ個の分周器３１１－１～３１１－Ｍは、図８に示す態様と同じ態様で、それぞれ、クロック信号ＣＬＫを２^{0}回、２^{1}回、２^{2}回、・・・、２$^{M-1}$回分周し、その分周した分周信号ＤＶ$_1$～ＤＶ$_M$を出力する。その結果、カウンタ３１１Ａは、Ｍビットのカウンタ値を“０$_1$０$_2$０$_3$・・・０$_M$”，“０$_1$０$_2$０

$_3$・・・1_M”，・・・，“$1_1 1_2 1_3$・・・1_M”の順で出力する。

【００９２】

従って、分周器３１１－１～３１１－Ｍのうち、Ｍビットのカウンタ値の最下位ビットから最上位ビットへ向かう方向において第ｍ（ｍは１≦ｍ≦Ｍを満たす整数）位のビット値を出力する分周器は、クロック信号ＣＬＫを2^{m-1}回に分周した信号を出力する。

【００９３】

このように、カウンタ３１１Ａを分周器３１１－１～３１１－Ｍによって構成することによって、通常のカウンタに比べて、回路サイズを小さくでき、消費電力を低減できる。

【００９４】

カウンター致検出回路３１～３Ｗのカウンタ３１１が図７に示すカウンタ３１１Ａからなっている場合も、距離／クロック数変換回路DC_1～DC_Rは、上述した方法によって、それぞれ、Ｍ×Ｗビットのビット長を有する距離信号D_{11}～D_{1W}，D_{21}～D_{2W}，・・・，D_{R1}～D_{RW}の和にそれぞれ一致するクロック数ＣＮ＿ｔｏｔａｌ１～ＣＮ＿ｔｏｔａｌＲをカウントしたタイミングを示すタイミング信号C_1～C_RをＷｉｎｎｅｒ検出器２０へ出力する。

【００９５】

上述したように、距離／クロック数変換回路DC_1～DC_Rの各々は、図２に示すように、直列に接続されたＷ個のカウンター致検出回路３１～３Ｗからなる。

【００９６】

Ｗ＝２である場合、距離／クロック数変換回路DC_1～DC_Rの各々は、カウンター致検出回路３１，３２からなる。この場合、距離演算回路DP_{11}～DP_{1W}は、距離演算回路DP_{11}，DP_{12}からなり、距離信号D_{11}～D_{1W}は、距離信号D_{11}，D_{12}からなる。

【００９７】

そして、カウンター致検出回路３１は、距離信号D_{11}，D_{12}を一列に配列したときの一方端の距離信号である１番目の距離信号D_{11}に対応して設けられ、１番目の距離信号D_{11}を距離演算回路DP_{11}から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、その受けた１番目の距離信号D_{11}に一致するカウンタ値が得られるときのクロック数ＣＮ１をカウントし、クロック数ＣＮ１をカウントしたタイミングを示す一致信号ＭＴＨ１を出力する。

【００９８】

また、カウンター致検出回路３２は、距離信号D_{11}，D_{12}を一列に配列したときの一方端からＷ番目（＝２番目）の距離信号であるＷ番目（＝２番目）の距離信号D_{12}に対応して設けられ、カウンター致検出回路３１から一致信号ＭＴＨ１を受けると駆動されるとともにＷ番目（＝２番目）の距離信号D_{12}を距離演算回路DP_{12}から受け、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、その受けたＷ番目（＝２番目）の距離信号D_{12}に一致するカウンタ値が得られるときのクロック数ＣＮ２をカウントし、クロック数ＣＮ２をカウントしたタイミングを示すタイミング信号C_1をＷｉｎｎｅｒ検出器２０へ出力する。

【００９９】

この場合、カウンター致検出回路３１は、「第１のカウンター致検出回路」を構成し、カウンター致検出回路３２は、「第２のカウンター致検出回路」を構成する。

【０１００】

また、Ｗ＝３以上である場合、距離／クロック数変換回路DC_1～DC_Rの各々は、カウンター致検出回路３１～３Ｗからなる。

【０１０１】

そして、カウンター致検出回路３１は、距離信号D_{11}～D_{1W}を一列に配列したときの一方端の距離信号である１番目の距離信号D_{11}に対応して設けられ、１番目の距離信号D_{11}を距離演算回路DP_{11}から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、その受けた１番目の距離信号D_{11}に一致するカウンタ

値が得られるときのクロック数ＣＮ１をカウントし、クロック数ＣＮ１をカウントしたタイミングを示す一致信号ＭＴＨ１を出力する。

【０１０２】

また、カウンタ一致検出回路３２～３Ｗ－１は、２番目の距離信号D_{12}からＷ－１番目の距離信号D_{1W-1}までのＷ－２個の距離信号D_{12}～D_{1W-1}に対応して設けられる。そして、カウンタ一致検出回路３２～３Ｗ－１の各々は、カウンタ一致検出回路３１またはｗ－１（ｗは２≦ｗ≦Ｗ－１を満たす整数）番目の距離信号に対応して設けられたカウンタ一致検出回路３２～３Ｗ－２から１番目またはｗ－１番目の距離信号に対応して設けられたカウンタ一致検出回路３１～３Ｗ－２から１番目またはｗ番目の距離信号に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数をカウントしたタイミングを示す一致信号ＭＴＨ１～ＭＴＨ３Ｗ－２を受けると駆動されるとともにｗ番目の距離信号（＝距離信号D_{12}～D_{1W-1}のいずれか）を受け、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、ｗ番目の距離信号（＝距離信号D_{12}～D_{1W-1}のいずれか）に一致するカウンタ値が得られるときのクロック数ＣＮ３をカウントし、クロック数ＣＮ３をカウントしたタイミングを示す一致信号（＝一致信号ＭＴＨ２～ＭＴＨＷ－１のいずれか）を出力する。

【０１０３】

更に、カウンタ一致検出回路３Ｗは、Ｗ番目の距離信号D_{1W}に対応して設けられ、Ｗ－１番目の距離信号に対応して設けられたカウンタ一致検出回路３Ｗ－１から一致信号ＭＴＨＷ－１を受けると駆動されるとともにＷ番目の距離信号D_{1W}を受け、カウンタ一致検出回路３Ｗ－１から一致信号ＭＴＨ３Ｗ－１を受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、Ｗ番目の距離信号D_{1W}に一致するカウンタ値が得られるときのクロック数ＣＮ４をカウントし、クロック数ＣＮ４をカウントしたタイミングを示すタイミング信号C_1をＷｉｎｎｅｒ検出器２０へ出力する。

【０１０４】

この場合、カウンタ一致検出回路３１は、「第１のカウンタ一致検出回路」を構成し、カウンタ一致検出回路３２～３Ｗ－１は、「Ｗ－２個の第３のカウンタ一致検出回路」を構成し、カウンタ一致検出回路３Ｗは、「第４のカウンタ一致検出回路」を構成する。

【０１０５】

図９は、図１に示す距離／クロック数変換回路DC_1～DC_Rの別の構成を示す概略図である。

【０１０６】

この発明の実施の形態においては、距離／クロック数変換回路DC_1～DC_Rの各々は、図９に示す距離／クロック数変換回路DC'_1からなっていてもよい。この場合、Ｗ＝2^i（ｉは２以上の整数）である。

【０１０７】

図９を参照して、距離／クロック数変換回路DC'_1は、増幅器４１～４Ｌと、カウンタ一致検出回路５１～５Ｌとを含む。ここで、Ｌ＝Ｗ／ｓ（ｓは、Ｗ以下の2^xを満たす整数、ｘは、正の整数）である。

【０１０８】

増幅器４１は、連想メモリ１００に内蔵されたクロック発生回路（図示せず）からクロック信号ＣＬＫを受け、その受けたクロック信号ＣＬＫを増幅して増幅器４２およびカウンタ一致検出回路５１へ出力する。

【０１０９】

増幅器４２は、クロック信号ＣＬＫを増幅器４１から受け、その受けたクロック信号ＣＬＫを増幅して増幅器４３（図示せず）およびカウンタ一致検出回路５２へ出力する。

【０１１０】

以下、同様にして、増幅器４Ｌは、クロック信号ＣＬＫを増幅器４Ｌ－１（図示せず）から受け、その受けたクロック信号ＣＬＫを増幅してカウンタ一致検出回路５Ｌへ出力する。

【０１１１】
カウンター致検出回路５１，５２，・・・，５Ｌは、それぞれ、ｓ個の距離演算回路DP_{11}，$DP_{1(1+L)}$，・・・，$DP_{1(1+(u-1)L)}$、ｓ個の距離演算回路DP_{12}，$DP_{1(2+L)}$，・・・，$DP_{1(2+(u-1)L)}$、・・・、ｓ個の距離演算回路DP_{1L}，$DP_{1(L+L)}$，・・・，$DP_{1(L+(u-1)L)}$に対応して設けられる。なお、ｕは、１，２，３，・・・，ｓである。

【０１１２】
そして、カウンター致検出回路５１～５Ｌは、直列に接続される。また、カウンター致検出回路５１～５Ｌの各々は、図３に示すカウンター致検出回路３１と同じ構成からなる。この場合、カウンター致検出回路５１～５Ｌの各々は、図３に示すカウンタ３１１または図７に示すカウンタ３１１Ａを含む。

【０１１３】
カウンター致検出回路５１は、増幅器４１からクロック信号ＣＬＫを受け、連想メモリ１００の制御回路（図示せず）から検索開始信号ＳＢを受け、距離演算回路DP_{11}，$DP_{1(1+L)}$，・・・，$DP_{1(1+(u-1)L)}$からそれぞれ距離信号D_{11}，$D_{1(1+L)}$，・・・，$D_{1(1+(u-1)L)}$を受ける。

【０１１４】
カウンター致検出回路５１は、距離信号D_{11}，$D_{1(1+L)}$，・・・，$D_{1(1+(u-1)L)}$を受け、検索開始信号ＳＢがＬレベルからＨレベルに切り替わると、上述した方法によって、距離信号D_{11}，$D_{1(1+L)}$，・・・，$D_{1(1+(u-1)L)}$の和に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントする。そして、カウンター致検出回路５１は、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１をクロック信号ＣＬＫに同期してカウンター致検出回路５２へ出力する。その後、カウンター致検出回路５１は、動作を停止する。

【０１１５】
また、カウンター致検出回路５２は、増幅器４２からクロック信号ＣＬＫを受け、カウンター致検出回路５１から一致信号ＭＴＨ１を受け、距離演算回路DP_{12}，$DP_{1(2+L)}$，・・・，$DP_{1(2+(u-1)L)}$からそれぞれ距離信号D_{12}，$D_{1(2+L)}$，・・・，$D_{1(2+(u-1)L)}$を受ける。

【０１１６】
カウンター致検出回路５２は、距離信号D_{12}，$D_{1(2+L)}$，・・・，$D_{1(2+(u-1)L)}$を受け、一致信号ＭＴＨ１を受けると、上述した方法によって、距離信号D_{12}，$D_{1(2+L)}$，・・・，$D_{1(2+(u-1)L)}$の和に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントする。そして、カウンター致検出回路５２は、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２をクロック信号ＣＬＫに同期してカウンター致検出回路５３へ出力する。その後、カウンター致検出回路５２は、動作を停止する。

【０１１７】
以下、同様にして、カウンター致検出回路５Ｌは、増幅器４Ｌからクロック信号ＣＬＫを受け、カウンター致検出回路５Ｌ－１から一致信号ＭＴＨＬ－１を受け、距離演算回路DP_{1L}，$DP_{1(L+L)}$，・・・，$DP_{1(L+(u-1)L)}$からそれぞれ距離信号D_{1L}，$D_{1(L+L)}$，・・・，$D_{1(L+(u-1)L)}$を受ける。

【０１１８】
カウンター致検出回路５Ｌは、距離信号D_{1L}，$D_{1(L+L)}$，・・・，$D_{1(L+(u-1)L)}$を受け、一致信号ＭＴＨＬ－１を受けると、上述した方法によって、距離信号D_{1L}，$D_{1(L+L)}$，・・・，$D_{1(L+(u-1)L)}$の和に一致するカウンタ値CV_{1L}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿Ｌをカウントする。そして、カウンター致検出回路５Ｌは、クロック数ＣＮ＿Ｌをカウントしたタイミングを示すタイミング信号C_1をクロック信号ＣＬＫに同期してＷｉｎｎｅｒ検出器２０へ出

力する。その後、カウンタ一致検出回路５Ｌは、動作を停止する。

【０１１９】

なお、距離信号D_{11}，$D_{1(1+L)}$，・・・，$D_{1(1+(u-1)L)}$，D_{12}，$D_{1(2+L)}$，・・・，$D_{1(2+(u-1)L)}$，・・・，D_{1L}，$D_{1(L+L)}$，・・・，$D_{1(L+(u-1)L)}$の各々は、Ｍビットのビット値からなる。

【０１２０】

従って、距離／クロック数変換回路DC_1～DC_R（＝距離／クロック数変換回路DC'_1）の各々は、Ｌ（＝Ｗ／ｓ）個の距離信号に対応して設けられ、各々がＭビットのビット長を有するＷ個の距離信号に基づいて、タイミング信号（タイミング信号C_1～C_Rのいずれか）を出力するＬ（＝Ｗ／ｓ）個のカウンタ一致検出回路を含み、Ｌ（＝Ｗ／ｓ）個のカウンタ一致検出回路は、各々がＬ（＝Ｗ／ｓ）個の距離信号からなるｓ組の距離信号を受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、その受けたｓ組の距離信号に含まれるＷ個の距離信号の和に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数をカウントし、そのクロック数をカウントしたタイミングを示すタイミング信号（タイミング信号C_1～C_Rのいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０１２１】

カウンタ一致検出回路５１～５Ｌ－１の各々は、ｓ個の距離信号の和に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数（＝クロック数ＣＮ＿１～ＣＮ＿Ｌ－１のいずれか）をカウントしたタイミングを示す一致信号（＝一致信号ＭＴＨ１～ＭＴＨＬ－１のいずれか）を出力し、カウンタ一致検出回路５Ｌは、ｓ個の距離信号の和に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿Ｌをカウントしたタイミングを示すタイミング信号（タイミング信号C_1～C_Rのいずれか）を出力し、Ｌ＝Ｗ／ｓであるので、Ｌ（＝Ｗ／ｓ）個のカウンタ一致検出回路５１～５Ｌは、結局、（Ｗ／ｓ）×ｓ＝Ｗ個の距離信号の和に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数をカウントしたタイミングを示すタイミング信号（タイミング信号C_1～C_Rのいずれか）を出力することになる。

【０１２２】

図１０は、図１に示す距離／クロック数変換回路DC_1～DC_Rの更に別の構成を示す概略図である。

【０１２３】

この発明の実施の形態においては、距離／クロック数変換回路DC_1～DC_Rの各々は、図１０に示す距離／クロック数変換回路DC''_1からなっていてもよい。この場合も、$W=2^i$（ｉは２以上の整数）である。

【０１２４】

図１０を参照して、距離／クロック数変換回路DC''_1は、図９に示す距離／クロック数変換回路DC'_1にスイッチング制御回路６０およびマルチプレクサ６１～６Ｌを追加したものであり、その他は、距離／クロック数変換回路DC'_1と同じである。

【０１２５】

距離／クロック数変換回路DC''_1においては、増幅器４１～４Ｌは、クロック信号ＣＬＫを増幅し、その増幅したクロック信号ＣＬＫをそれぞれカウンタ一致検出回路５１～５Ｌへ出力するとともに、その増幅したクロック信号ＣＬＫをスイッチング制御回路６０へ出力する。

【０１２６】

また、距離／クロック数変換回路DC''_1においては、マルチプレクサ６１，６２，・・・，６Ｌは、それぞれ、ｓ個の距離演算回路DP_{11}，$DP_{1(1+L)}$，・・・，$DP_{1(1+(u-1)L)}$、ｓ個の距離演算回路DP_{12}，$DP_{1(2+L)}$，・・・，$DP_{1(2+(u-1)L)}$、・・・、ｓ個の距離演算回路DP_{1L}，$DP_{1(L+L)}$，・・・，$DP_{1(L+(u-1)L)}$に対応して設けられる。そして、カウンタ一致検出回路５１～５Ｌは、それぞれ、マルチプレクサ６１～６Ｌに対応して設けられる。

【０１２７】
スイッチング制御回路６０は、連想メモリ１００の制御回路から検索開始信号ＳＢおよびリセット信号ＲＳＴを受け、カウンタ一致検出回路５１～５Ｌからそれぞれ一致信号ＭＴＨ１～ＭＴＨＬを受ける。
【０１２８】
そして、スイッチング制御回路６０は、検索開始信号ＳＢおよびリセット信号ＲＳＴを受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。
【０１２９】
また、スイッチング制御回路６０は、一致信号ＭＴＨＬをカウンタ一致検出回路５Ｌから受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。スイッチング制御回路６０は、この処理をｓ－１回実行する。
【０１３０】
更に、スイッチング制御回路６０は、一致信号ＭＴＨ１をカウンタ一致検出回路５１から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５２へ出力するとともに出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。スイッチング制御回路６０は、この処理をｓ回実行する。
【０１３１】
更に、スイッチング制御回路６０は、一致信号ＭＴＨ２をカウンタ一致検出回路５２から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５３へ出力するとともに出力信号ＯＵＴ３をマルチプレクサ６３へ出力する。スイッチング制御回路６０は、この処理をｓ回実行する。
【０１３２】
以下、同様にして、スイッチング制御回路６０は、一致信号ＭＴＨＬ－１をカウンタ一致検出回路５Ｌ－１から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５Ｌへ出力するとともに出力信号ＯＵＴＬをマルチプレクサ６Ｌへ出力する。スイッチング制御回路６０は、この処理をｓ回実行する。
【０１３３】
マルチプレクサ６１は、ｓ個の距離信号D_{11}，$D_{1(1+L)}$，・・・，$D_{1(1+(u-1)L)}$を受ける。そして、マルチプレクサ６１は、１回目の出力信号ＯＵＴ１をスイッチング制御回路６０から受けると、距離信号D_{11}をカウンタ一致検出回路５１へ出力し、２回目の出力信号ＯＵＴ１をスイッチング制御回路６０から受けると、距離信号$D_{1(1+L)}$をカウンタ一致検出回路５１へ出力し、以下、同様にして、ｓ回目の出力信号ＯＵＴ１をスイッチング制御回路６０から受けると、距離信号$D_{1(1+(u-1)L)}$をカウンタ一致検出回路５１へ出力する。
【０１３４】
マルチプレクサ６２は、ｓ個の距離信号D_{12}，$D_{1(2+L)}$，・・・，$D_{1(2+(u-1)L)}$を受ける。そして、マルチプレクサ６２は、１回目の出力信号ＯＵＴ２をスイッチング制御回路６０から受けると、距離信号D_{12}をカウンタ一致検出回路５２へ出力し、２回目の出力信号ＯＵＴ２をスイッチング制御回路６０から受けると、距離信号$D_{1(2+L)}$をカウンタ一致検出回路５２へ出力し、以下、同様にして、ｓ回目の出力信号ＯＵＴ２をスイッチング制御回路６０から受けると、距離信号$D_{1(2+(u-1)L)}$をカウンタ一致検出回路５２へ出力する。
【０１３５】
以下、同様にして、マルチプレクサ６Ｌは、ｓ個の距離信号D_{1L}，$D_{1(L+L)}$，・・・，$D_{1(L+(u-1)L)}$を受ける。そして、マルチプレクサ６Ｌは、１回目の出力信号ＯＵＴＬをスイッチング制御回路６０から受けると、距離信号D_{1L}をカウンタ一致検出回路５Ｌへ出力し、２回目の出力信号ＯＵＴＬをスイッチング制御回路６０から受けると、距離信号$D_{1(L+L)}$をカウンタ一致検出回路５Ｌへ出力し、以下、同様に

して、ｓ回目の出力信号ＯＵＴＬをスイッチング制御回路６０から受けると、距離信号$D_{1(L+(u-1)L)}$をカウンター致検出回路５Ｌへ出力する。

【０１３６】

カウンター致検出回路５１は、リセット信号ＲＳＴをスイッチング制御回路６０から受けると駆動される。そして、カウンター致検出回路５１は、距離信号D_{11}をマルチプレクサ６１から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{11}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントし、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力する。そして、カウンター致検出回路５１は、動作を停止する。カウンター致検出回路５１は、この処理をｓ個の距離信号D_{11}，$D_{1(1+L)}$，・・・，$D_{1(1+(u-1)L)}$の全てについて実行する。

【０１３７】

また、カウンター致検出回路５２は、リセット信号ＲＳＴをスイッチング制御回路６０から受けると駆動される。そして、カウンター致検出回路５２は、距離信号D_{12}をマルチプレクサ６２から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{12}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンター致検出回路５２は、動作を停止する。カウンター致検出回路５２は、この処理をｓ個の距離信号D_{12}，$D_{1(2+L)}$，・・・，$D_{1(2+(u-1)L)}$の全てについて実行する。

【０１３８】

以下、同様にして、カウンター致検出回路５Ｌは、リセット信号ＲＳＴをスイッチング制御回路６０から受けると駆動される。そして、カウンター致検出回路５Ｌは、距離信号D_{1L}をマルチプレクサ６Ｌから受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{1L}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿Ｌをカウントし、クロック数ＣＮ＿Ｌをカウントしたタイミングを示す一致信号ＭＴＨＬをスイッチング制御回路６０へ出力する。そして、カウンター致検出回路５Ｌは、動作を停止する。カウンター致検出回路５Ｌは、この処理をｓ－１個の距離信号D_{12}，$D_{1(2+L)}$，・・・，$D_{1(2+(u-1)L-1)}$の全てについて実行する。

【０１３９】

そして、カウンター致検出回路５Ｌは、ｓ回目のリセット信号ＲＳＴをスイッチング制御回路６０から受けると駆動されるとともに距離信号$D_{1(L+(u-1)L)}$をマルチプレクサ６Ｌから受け、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号$D_{1(L+(u-1)L)}$に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿Ｌをカウントし、クロック数ＣＮ＿Ｌをカウントしたタイミングを示すタイミング信号C_1をＷｉｎｎｅｒ検出器２０へ出力する。

【０１４０】

距離／クロック数変換回路DC_1～DC_R（＝距離／クロック数変換回路DC''_1）の各々においては、検索データに類似する参照データの検索が開始されると、スイッチング制御回路６０は、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンター致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０１４１】

そして、マルチプレクサ６１は、スイッチング制御回路６０からの１回目の出力信号ＯＵＴ１に応じて、距離信号D_{11}をカウンター致検出回路５１へ出力する。

【０１４２】

カウンター致検出回路５１は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンター致検出回路５１は、距離信号D_{11}をマルチプレクサ６１から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントした

ときに、距離信号D_{11}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントし、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０１４３】

その後、スイッチング制御回路６０は、カウンタ一致検出回路５１からの一致信号ＭＴＨ１に応じて、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５２へ出力するとともに出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。

【０１４４】

マルチプレクサ６２は、スイッチング制御回路６０からの１回目の出力信号ＯＵＴ２に応じて、距離信号D_{12}をカウンタ一致検出回路５２へ出力する。

【０１４５】

カウンタ一致検出回路５２は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンタ一致検出回路５２は、距離信号D_{12}をマルチプレクサ６２から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{12}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０１４６】

以下、同様にして、スイッチング制御回路６０は、カウンタ一致検出回路５Ｌ－１からの一致信号ＭＴＨＬ－１に応じて、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５Ｌへ出力するとともに出力信号ＯＵＴＬをマルチプレクサ６Ｌへ出力する。

【０１４７】

そして、マルチプレクサ６Ｌは、スイッチング制御回路６０からの１回目の出力信号ＯＵＴＬに応じて、距離信号D_{1L}をカウンタ一致検出回路５Ｌへ出力する。

【０１４８】

カウンタ一致検出回路５Ｌは、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンタ一致検出回路５Ｌは、距離信号D_{1L}をマルチプレクサ６Ｌから受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{1L}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿Ｌをカウントし、クロック数ＣＮ＿Ｌをカウントしたタイミングを示す一致信号ＭＴＨＬをスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５Ｌは、動作を停止する。

【０１４９】

その後、スイッチング制御回路６０は、カウンタ一致検出回路５Ｌからの一致信号ＭＴＨＬに応じて、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０１５０】

その後、カウンタ一致検出回路５１～５Ｌ－１、スイッチング制御回路６０およびマルチプレクサ６１～６Ｌ－１は、上述した動作をｓ－１回繰り返し実行し、カウンタ一致検出回路５Ｌおよびマルチプレクサ６Ｌは、上述した動作をｓ－２回繰り返し実行する。

【０１５１】

そして、カウンタ一致検出回路５Ｌは、ｓ回目のリセット信号ＲＳＴをスイッチング制御回路６０から受け、距離信号$D_{1(L+(u-1)L)}$をマルチプレクサ６Ｌから受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号$D_{1(L+(u-1)L)}$に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿Ｌをカウントし、クロック数ＣＮ＿Ｌをカウントしたタイミングを示すタイミング信号C_1をＷｉｎｎｅｒ検出器２０へ出力する。そして、カウンタ一致検出回

路５Ｌは、動作を停止する。

【０１５２】

Ｌ（＝Ｗ／ｓ）個のカウンタ一致検出回路５１～５Ｌを１個のカウンタ一致検出回路ＭＤＣと考えた場合、カウンタ一致検出回路ＭＤＣは、１回目、Ｌ（＝Ｗ／ｓ）個の距離信号D_{11}～D_{1L}を受ける。そして、カウンタ一致検出回路５１～５Ｌがそれぞれ距離信号D_{11}～D_{1L}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１～ＣＮ＿Ｌをカウントし、クロック数ＣＮ＿１～ＣＮ＿Ｌをカウントしたタイミングを示す一致信号ＭＴＨ１～ＭＴＨＬを出力することは、カウンタ一致検出回路ＭＤＣが距離信号D_{11}～D_{1L}の和に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数（ＣＮ＿１＋ＣＮ＿２＋・・・＋ＣＮ＿Ｌ）をカウントし、そのクロック数（ＣＮ＿１＋ＣＮ＿２＋・・・＋ＣＮ＿Ｌ）をカウントしたタイミングを示す一致信号を出力することに相当する。また、カウンタ一致検出回路ＭＤＣは、この処理をｓ－１回繰り返し実行する。そして、カウンタ一致検出回路ＭＤＣは、ｓ－１回目の一致信号を出力すると、Ｌ（＝Ｗ／ｓ）個の距離信号$D_{1(1+(u-1)L)}$，$D_{1(2+(u-1)L)}$，・・・，$D_{1(L+(u-1)L)}$の和に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数（ＣＮ＿１＋ＣＮ＿２＋・・・＋ＣＮ＿Ｌ）をカウントし、そのクロック数（ＣＮ＿１＋ＣＮ＿２＋・・・＋ＣＮ＿Ｌ）をカウントしたタイミングを示すタイミング信号（＝タイミング信号C_1～C_Rのいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０１５３】

従って、距離／クロック数変換回路DC''_1においては、Ｌ（＝Ｗ／ｓ）個のカウンタ一致検出回路５１～５Ｌは、Ｌ（＝Ｗ／ｓ）個の距離信号D_{11}～D_{1L}を受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、その受けたＬ（＝Ｗ／ｓ）個の距離信号D_{11}～D_{1L}の和に一致するカウンタ値が得られるときのクロック信号ＣＬＫの第１のクロック数をカウントし、第１のクロック数をカウントしたタイミングを示す第１の一致信号を出力する処理をｓ－１回繰り返し実行し、前記第１の一致信号をｓ－１回出力し、かつ、ｓ回目にＬ（＝Ｗ／ｓ）個の距離信号を受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、その受けたＬ（＝Ｗ／ｓ）個の距離信号に一致するカウンタ値が得られるときのクロック信号ＣＬＫの第２のクロック数をカウントし、前記第２のクロック数をカウントしたタイミングを示すタイミング信号（＝タイミング信号C_1～C_Rのいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０１５４】

図１１は、図９に示す距離／クロック数変換回路DC'_1の具体的な構成を示す概略図である。

【０１５５】

図１１を参照して、$W=2^i=2^3=8$からなり、$s=2^x=2^1=2$からなる場合、Ｌ＝Ｗ／ｓ＝８／２＝４であり、距離／クロック数変換回路DC'_1－１は、増幅器４１～４４と、カウンタ一致検出回路５１～５４とを含む。

【０１５６】

また、Ｗ個の距離信号D_{11}～D_{1W}は、８個の距離信号D_{11}～D_{18}からなり、Ｗ個の距離演算回路DP_{11}～DP_{1W}は、８個の距離演算回路DP_{11}～DP_{18}からなる。ここで、距離信号D_{11}～D_{18}は、それぞれ、D_{11}＝“３”，D_{12}＝“２”，D_{13}＝“５”，D_{14}＝“１”，D_{15}＝“２”，D_{16}＝“４”，D_{17}＝“２”，D_{18}＝“３”であるものとする。

【０１５７】

そして、カウンタ一致検出回路５１は、２個の距離演算回路DP_{11}，DP_{15}に対応して設けられ、カウンタ一致検出回路５２は、２個の距離演算回路DP_{12}，DP_{16}に対応して設けられ、カウンタ一致検出回路５３は、２個の距離演算回路DP_{13}，DP_{17}に対応して設けられ、カウンタ一致検出回路５４は、２個の距離演算回路DP_{14}，DP_{18}に対応して設けられる。

【０１５８】
図１２は、図１１に示す距離／クロック数変換回路ＤＣ’$_1$－１の動作を説明するための図である。
【０１５９】
距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の各々は、図１１に示す距離／クロック数変換回路ＤＣ’$_1$－１からなる。そして、距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の各々（＝距離／クロック数変換回路ＤＣ’$_1$－１）において、検索データに類似する参照データの検索が開始されると、カウンタ一致検出回路５１は、距離演算回路ＤＰ$_{11}$，ＤＰ$_{15}$からそれぞれ距離信号Ｄ$_{11}$（＝“３”），Ｄ$_{15}$（＝“２”）を受け、カウンタ一致検出回路５２は、距離演算回路ＤＰ$_{12}$，ＤＰ$_{16}$からそれぞれ距離信号Ｄ$_{12}$（＝“２”），Ｄ$_{16}$（＝“４”）を受け、カウンタ一致検出回路５３は、距離演算回路ＤＰ$_{13}$，ＤＰ$_{17}$からそれぞれ距離信号Ｄ$_{13}$（＝“５”），Ｄ$_{17}$（＝“２”）を受け、カウンタ一致検出回路５４は、距離演算回路ＤＰ$_{14}$，ＤＰ$_{18}$からそれぞれ距離信号Ｄ$_{14}$（＝“１”），Ｄ$_{18}$（＝“３”）を受ける。
【０１６０】
そうすると、カウンタ一致検出回路５１は、距離信号Ｄ$_{11}$（＝“３”），Ｄ$_{15}$（＝“２”）の和（＝“５”＝“１０１”）に一致するカウンタ値ＣＶ$_{11}$が得られるときのクロック信号ＣＬＫのクロック数ＣＮ１（＝“５”）をカウントする。そして、カウンタ一致検出回路５１は、クロック数ＣＮ１（＝“５”）をカウントしたタイミングを示す一致信号ＭＴＨ１をクロック信号ＣＬＫに同期してカウンタ一致検出回路５２へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。
【０１６１】
カウンタ一致検出回路５２は、一致信号ＭＴＨ１をカウンタ一致検出回路５１から受けると、距離信号Ｄ$_{12}$（＝“２”），Ｄ$_{16}$（＝“４”）の和（＝“６”＝“１１０”）に一致するカウンタ値ＣＶ$_{12}$が得られるときのクロック信号ＣＬＫのクロック数ＣＮ２（＝“６”）をカウントする。そして、カウンタ一致検出回路５２は、クロック数ＣＮ２（＝“６”）をカウントしたタイミングを示す一致信号ＭＴＨ２をクロック信号ＣＬＫに同期してカウンタ一致検出回路５３へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。
【０１６２】
カウンタ一致検出回路５３は、一致信号ＭＴＨ２をカウンタ一致検出回路５２から受けると、距離信号Ｄ$_{13}$（＝“５”），Ｄ$_{17}$（＝“２”）の和（＝“７”＝“１１１”）に一致するカウンタ値ＣＶ$_{13}$が得られるときのクロック信号ＣＬＫのクロック数ＣＮ４（＝“７”）をカウントする。そして、カウンタ一致検出回路５３は、クロック数ＣＮ４（＝“７”）をカウントしたタイミングを示す一致信号ＭＴＨ３をクロック信号ＣＬＫに同期してカウンタ一致検出回路５４へ出力する。そして、カウンタ一致検出回路５３は、動作を停止する。
【０１６３】
カウンタ一致検出回路５４は、一致信号ＭＴＨ３をカウンタ一致検出回路５３から受けると、距離信号Ｄ$_{14}$（＝“１”），Ｄ$_{18}$（＝“３”）の和（＝“４”＝“１００”）に一致するカウンタ値ＣＶ$_{14}$が得られるときのクロック数ＣＮ４（＝“４”）をカウントする。そして、カウンタ一致検出回路５４は、クロック数ＣＮ４（＝“４”）をカウントしたタイミングを示すタイミング信号（＝タイミング信号Ｃ$_1$～Ｃ$_R$のいずれか）をクロック信号ＣＬＫに同期してＷｉｎｎｅｒ検出器２０へ出力する。そして、カウンタ一致検出回路５４は、動作を停止する。
【０１６４】
このように、カウンタ一致検出回路５１～５４の各々は、２つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントし、２つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントすると、それぞれ、一致信号ＭＴＨ１～ＭＴＨ３およびタイミング信号（＝タイミング信号Ｃ$_1$～Ｃ$_R$のいずれか）を出力する

。

【０１６５】

距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の各々が距離／クロック数変換回路ＤＣ’$_1$－１からなる場合、距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の各々は、距離信号Ｄ$_{11}$＝“３”，Ｄ$_{12}$＝“２”，Ｄ$_{13}$＝“５”，Ｄ$_{14}$＝“１”，Ｄ$_{15}$＝“２”，Ｄ$_{16}$＝“４”，Ｄ$_{17}$＝“２”，Ｄ$_{18}$＝“３”の和（＝“２２”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数（＝“２２”）をカウントし、クロック数（＝“２２”）をカウントしたタイミングを示すタイミング信号（＝タイミング信号Ｃ$_1$～Ｃ$_R$のいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０１６６】

図１３は、図９に示す距離／クロック数変換回路ＤＣ’$_1$の別の具体的な構成を示す概略図である。

【０１６７】

図１３を参照して、Ｗ＝２^i＝２^3＝８からなり、ｓ＝２^x＝２^2＝４からなる場合、Ｌ＝Ｗ／ｓ＝８／４＝２であり、距離／クロック数変換回路ＤＣ’$_1$－２は、増幅器４１，４２と、カウンタ一致検出回路５１，５２とを含む。

【０１６８】

また、Ｗ個の距離信号Ｄ$_{11}$～Ｄ$_{1W}$は、８個の距離信号Ｄ$_{11}$～Ｄ$_{18}$からなり、Ｗ個の距離演算回路ＤＰ$_{11}$～ＤＰ$_{1W}$は、８個の距離演算回路ＤＰ$_{11}$～ＤＰ$_{18}$からなる。また、距離信号Ｄ$_{11}$～Ｄ$_{18}$の各々は、４ビットのビット値からなる。ここで、距離信号Ｄ$_{11}$～Ｄ$_{18}$は、それぞれ、Ｄ$_{11}$＝“３”，Ｄ$_{12}$＝“２”，Ｄ$_{13}$＝“５”，Ｄ$_{14}$＝“１”，Ｄ$_{15}$＝“２”，Ｄ$_{16}$＝“４”，Ｄ$_{17}$＝“２”，Ｄ$_{18}$＝“３”であるものとする。

【０１６９】

そして、カウンタ一致検出回路５１は、４個の距離演算回路ＤＰ$_{11}$，ＤＰ$_{13}$，ＤＰ$_{15}$，ＤＰ$_{17}$に対応して設けられ、カウンタ一致検出回路５２は、４個の距離演算回路ＤＰ$_{12}$，ＤＰ$_{14}$，ＤＰ$_{16}$，ＤＰ$_{18}$に対応して設けられる。

【０１７０】

なお、カウンタ一致検出回路５１，５２の各々において、カウンタ３１１または３１１Ａは、４ビットのカウンタ値を一致検出回路３１２へ出力する。

【０１７１】

図１４は、図１３に示す距離／クロック数変換回路ＤＣ’$_1$－２の動作を説明するための図である。

【０１７２】

距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の各々は、図１３に示す距離／クロック数変換回路ＤＣ’$_1$－２からなる。そして、距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の各々（＝距離／クロック数変換回路ＤＣ’$_1$－２）において、検索データに類似する参照データの検索が開始されると、カウンタ一致検出回路５１は、距離演算回路ＤＰ$_{11}$，ＤＰ$_{13}$，ＤＰ$_{15}$，ＤＰ$_{17}$からそれぞれ距離信号Ｄ$_{11}$（＝“３”），Ｄ$_{13}$（＝“５”），Ｄ$_{15}$（＝“２”），Ｄ$_{17}$（＝“２”）を受け、カウンタ一致検出回路５２は、距離演算回路ＤＰ$_{12}$，ＤＰ$_{14}$，ＤＰ$_{16}$，ＤＰ$_{18}$からそれぞれ距離信号Ｄ$_{12}$（＝“２”），Ｄ$_{14}$（＝“１”），Ｄ$_{16}$（＝“４”），Ｄ$_{18}$（＝“３”）を受ける。

【０１７３】

そうすると、カウンタ一致検出回路５１は、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号Ｄ$_{11}$（＝“３”），Ｄ$_{13}$（＝“５”），Ｄ$_{15}$（＝“２”），Ｄ$_{17}$（＝“２”）の和（＝“１２”＝“１１００”）に一致するカウンタ値ＣＶ$_{11}$が得られるときのクロック信号ＣＬＫのクロック数ＣＮ１（＝“１２”）をカウントする。そして、カウンタ一致検出回路５１は、クロック数ＣＮ１をカウントしたタイミングを示す一致信号ＭＴＨ１をクロック信号ＣＬＫに同期してカウンタ一致検出回路５２へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０１７４】
カウンタ一致検出回路５２は、一致信号ＭＴＨ１をカウンタ一致検出回路５１から受けると駆動され、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{12}（＝“２”），D_{14}（＝“１”），D_{16}（＝“４”），D_{18}（＝“３”）の和（＝“１０”＝“１０１０”）に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ２（＝“１０”）をカウントする。そして、カウンタ一致検出回路５２は、クロック数ＣＮ２（＝“１０”）をカウントしたタイミングを示すタイミング信号（＝タイミング信号C_1～C_Rのいずれか）をクロック信号ＣＬＫに同期してＷｉｎｎｅｒ検出器２０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０１７５】
このように、カウンタ一致検出回路５１，５２の各々は、４つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントし、４つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントすると、それぞれ、一致信号ＭＴＨ１およびタイミング信号（＝タイミング信号C_1～C_Rのいずれか）を出力する。

【０１７６】
距離／クロック数変換回路DC_1～DC_Rの各々が距離／クロック数変換回路DC'_1－２からなる場合も、距離／クロック数変換回路DC_1～DC_Rの各々は、距離信号D_{11}＝“３”，D_{12}＝“２”，D_{13}＝“５”，D_{14}＝“１”，D_{15}＝“２”，D_{16}＝“４”，D_{17}＝“２”，D_{18}＝“３”の和（＝“２２”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数（＝“２２”）をカウントし、クロック数（＝“２２”）をカウントしたタイミングを示すタイミング信号（＝タイミング信号C_1～C_Rのいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０１７７】
図１５は、図１０に示す距離／クロック数変換回路DC''_1の具体的な構成を示す概略図である。

【０１７８】
図１５を参照して、$W=2^i=2^3=8$からなり、$s=2^x=2^1=2$からなる場合、$L=W/s=8/2=4$であり、距離／クロック数変換回路DC''_1－１は、増幅器４１～４４と、カウンタ一致検出回路５１～５４と、スイッチング制御回路６０と、マルチプレクサ６１～６４とを含む。

【０１７９】
また、Ｗ個の距離信号D_{11}～D_{1W}は、８個の距離信号D_{11}～D_{18}からなり、Ｗ個の距離演算回路DP_{11}～DP_{1W}は、８個の距離演算回路DP_{11}～DP_{18}からなる。ここで、距離信号D_{11}～D_{18}は、それぞれ、D_{11}＝“３”，D_{12}＝“２”，D_{13}＝“５”，D_{14}＝“１”，D_{15}＝“２”，D_{16}＝“４”，D_{17}＝“２”，D_{18}＝“３”であるものとする。

【０１８０】
距離／クロック数変換回路DC''_1－１においては、マルチプレクサ６１は、２個の距離演算回路DP_{11}，DP_{15}に対応して設けられ、マルチプレクサ６２は、２個の距離演算回路DP_{12}，DP_{16}に対応して設けられ、マルチプレクサ６３は、２個の距離演算回路DP_{13}，DP_{17}に対応して設けられ、マルチプレクサ６４は、２個の距離演算回路DP_{14}，DP_{18}に対応して設けられる。

【０１８１】
カウンタ一致検出回路５１～５４は、それぞれ、マルチプレクサ６１～６４に対応して設けられる。

【０１８２】
距離／クロック数変換回路DC''_1－１においては、増幅器４１～４４は、クロック信号ＣＬＫを増幅し、その増幅したクロック信号ＣＬＫをそれぞれカウンタ一致検出回路５１～５４へ出力するとともに、その増幅したクロック信号ＣＬＫをスイッチング制御回路

６０へ出力する。

【０１８３】

スイッチング制御回路６０は、連想メモリ１００の制御回路から検索開始信号ＳＢおよびリセット信号ＲＳＴを受け、カウンタ一致検出回路５１～５４からそれぞれ一致信号ＭＴＨ１～ＭＴＨ４を受ける。

【０１８４】

そして、スイッチング制御回路６０は、検索開始信号ＳＢおよびリセット信号ＲＳＴを受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０１８５】

また、スイッチング制御回路６０は、一致信号ＭＴＨ４をカウンタ一致検出回路５４から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。スイッチング制御回路６０は、この処理を１（＝ｓ－１＝２－１）回実行する。

【０１８６】

更に、スイッチング制御回路６０は、一致信号ＭＴＨ１をカウンタ一致検出回路５１から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５２へ出力するとともに出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。スイッチング制御回路６０は、この処理を２（＝ｓ＝２）回実行する。

【０１８７】

更に、スイッチング制御回路６０は、一致信号ＭＴＨ２をカウンタ一致検出回路５２から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５３へ出力するとともに出力信号ＯＵＴ３をマルチプレクサ６３へ出力する。スイッチング制御回路６０は、この処理を２（＝ｓ＝２）回実行する。

【０１８８】

更に、スイッチング制御回路６０は、一致信号ＭＴＨ３をカウンタ一致検出回路５３から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウント一致検出回路５４へ出力するとともに出力信号ＯＵＴ４をマルチプレクサ６４へ出力する。スイッチング制御回路６０は、この処理を２（＝ｓ＝２）回実行する。

【０１８９】

マルチプレクサ６１は、２個の距離信号D_{11}，D_{15}を受ける。そして、マルチプレクサ６１は、１回目の出力信号ＯＵＴ１をスイッチング制御回路６０から受けると、距離信号D_{11}をカウンタ一致検出回路５１へ出力し、２回目の出力信号ＯＵＴ１をスイッチング制御回路６０から受けると、距離信号D_{15}をカウンタ一致検出回路５１へ出力する。

【０１９０】

マルチプレクサ６２は、２個の距離信号D_{12}，D_{16}を受ける。そして、マルチプレクサ６２は、１回目の出力信号ＯＵＴ２をスイッチング制御回路６０から受けると、距離信号D_{12}をカウンタ一致検出回路５２へ出力し、２回目の出力信号ＯＵＴ２をスイッチング制御回路６０から受けると、距離信号D_{16}をカウンタ一致検出回路５２へ出力する。

【０１９１】

マルチプレクサ６３は、２個の距離信号D_{13}，D_{17}を受ける。そして、マルチプレクサ６３は、１回目の出力信号ＯＵＴ３をスイッチング制御回路６０から受けると、距離信号D_{13}をカウンタ一致検出回路５３へ出力し、２回目の出力信号ＯＵＴ３をスイッチング制御回路６０から受けると、距離信号D_{17}をカウンタ一致検出回路５３へ出力する。

【０１９２】

マルチプレクサ６４は、２個の距離信号D_{14}，D_{18}を受ける。そして、マルチプレクサ６４は、１回目の出力信号ＯＵＴ４をスイッチング制御回路６０から受けると、距離

信号D_{14}をカウンタ一致検出回路５４へ出力し、２回目の出力信号ＯＵＴ４をスイッチング制御回路６０から受けると、距離信号D_{18}をカウンタ一致検出回路５４へ出力する。

【０１９３】

カウンタ一致検出回路５１は、リセット信号ＲＳＴをスイッチング制御回路６０から受けると駆動される。そして、カウンタ一致検出回路５１は、距離信号D_{11}をマルチプレクサ６１から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{11}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントし、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。カウンタ一致検出回路５１は、この処理を２個の距離信号D_{11}，D_{15}の全てについて実行する。

【０１９４】

また、カウンタ一致検出回路５２は、リセット信号ＲＳＴをスイッチング制御回路６０から受けると駆動される。そして、カウンタ一致検出回路５２は、距離信号D_{12}をマルチプレクサ６２から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{12}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。カウンタ一致検出回路５２は、この処理を２個の距離信号D_{12}，D_{16}の全てについて実行する。

【０１９５】

更に、カウンタ一致検出回路５３は、リセット信号ＲＳＴをスイッチング制御回路６０から受けると駆動される。そして、カウンタ一致検出回路５３は、距離信号D_{13}をマルチプレクサ６３から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{13}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿３をカウントし、クロック数ＣＮ＿３をカウントしたタイミングを示す一致信号ＭＴＨ３をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５３は、動作を停止する。カウンタ一致検出回路５３は、この処理を２個の距離信号D_{13}，D_{17}の全てについて実行する。

【０１９６】

更に、カウンタ一致検出回路５４は、リセット信号ＲＳＴをスイッチング制御回路６０から受けると駆動される。そして、カウンタ一致検出回路５４は、距離信号D_{14}をマルチプレクサ６４から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{14}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿４をカウントし、クロック数ＣＮ＿４をカウントしたタイミングを示す一致信号ＭＴＨ４をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５４は、動作を停止する。

【０１９７】

そして、カウンタ一致検出回路５４は、２回目のリセット信号ＲＳＴをスイッチング制御回路６０から受け、距離信号D_{18}をマルチプレクサ６４から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{18}に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿４をカウントし、クロック数ＣＮ＿４をカウントしたタイミングを示すタイミング信号（＝タイミング信号C_1～C_Rのいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。そして、カウンタ一致検出回路５４は、動作を停止する。

【０１９８】

図１６は、図１５に示す距離／クロック数変換回路ＤＣ”$_1$－１の動作を説明するための図である。

【０１９９】

距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$（＝距離／クロック数変換回路ＤＣ”$_1$－１）の各々において、検索データに類似する参照データの検索が開始されると、スイッチング制御回路６０は、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンター致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０２００】

そして、マルチプレクサ６１は、スイッチング制御回路６０からの１回目の出力信号ＯＵＴ１に応じて、距離信号Ｄ$_{11}$（＝“３”）をカウンター致検出回路５１へ出力する。

【０２０１】

カウンター致検出回路５１は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンター致検出回路５１は、距離信号Ｄ$_{11}$（＝“３”）をマルチプレクサ６１から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号Ｄ$_{11}$（＝“３”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１（＝“３”）をカウントし、クロック数ＣＮ＿１（＝“３”）をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力する。そして、カウンター致検出回路５１は、動作を停止する。

【０２０２】

その後、スイッチング制御回路６０は、カウンター致検出回路５１から一致信号ＭＴＨ１を受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンター致検出回路５２へ出力するとともに出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。

【０２０３】

マルチプレクサ６２は、スイッチング制御回路６０からの１回目の出力信号ＯＵＴ２に応じて、距離信号Ｄ$_{12}$（＝“２”）をカウンター致検出回路５２へ出力する。

【０２０４】

カウンター致検出回路５２は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンター致検出回路５２は、距離信号Ｄ$_{12}$（＝“２”）をマルチプレクサ６２から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号Ｄ$_{12}$（＝“２”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２（＝“２”）をカウントし、クロック数ＣＮ＿２（＝“２”）をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンター致検出回路５２は、動作を停止する。

【０２０５】

その後、スイッチング制御回路６０は、カウンター致検出回路５２から一致信号ＭＴＨ２を受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンター致検出回路５３へ出力するとともに出力信号ＯＵＴ３をマルチプレクサ６３へ出力する。

【０２０６】

マルチプレクサ６３は、スイッチング制御回路６０からの１回目の出力信号ＯＵＴ３に応じて、距離信号Ｄ$_{13}$（＝“５”）をカウンター致検出回路５３へ出力する。

【０２０７】

カウンター致検出回路５３は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンター致検出回路５３は、距離信号Ｄ$_{13}$（＝“５”）をマルチプレクサ６３から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号Ｄ$_{13}$（＝“５”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿３（＝“５”）をカウントし、クロック数ＣＮ＿３（＝“５”）をカウントしたタイミングを示す一致信号ＭＴＨ３をスイッチング制御回路６０へ出力する。そして、カウンター致検出回路５３は、動作を停止する。

【０２０８】

その後、スイッチング制御回路６０は、カウンター致検出回路５３から一致信号ＭＴＨ３を受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンター致検出回路５４へ出力するとともに出力信号ＯＵＴ４をマルチプレクサ６４へ出力する。

【０２０９】

マルチプレクサ６４は、スイッチング制御回路６０からの１回目の出力信号ＯＵＴ４に応じて、距離信号D_{14}（＝“１”）をカウンタ一致検出回路５４へ出力する。

【０２１０】

カウンタ一致検出回路５４は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンタ一致検出回路５４は、距離信号D_{14}（＝“１”）をマルチプレクサ６４から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{14}（＝“１”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿４（＝“１”）をカウントし、クロック数ＣＮ＿４（＝“１”）をカウントしたタイミングを示す一致信号ＭＴＨ４をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５４は、動作を停止する。

【０２１１】

その後、スイッチング制御回路６０は、カウンタ一致検出回路５４から一致信号ＭＴＨ４を受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０２１２】

マルチプレクサ６１は、スイッチング制御回路６０からの２回目の出力信号ＯＵＴ１に応じて、距離信号D_{15}（＝“２”）をカウンタ一致検出回路５１へ出力する。

【０２１３】

カウンタ一致検出回路５１は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンタ一致検出回路５１は、距離信号D_{15}（＝“２”）をマルチプレクサ６１から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{15}（＝“２”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１（＝“２”）をカウントし、クロック数ＣＮ＿１（＝“２”）をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０２１４】

その後、スイッチング制御回路６０は、カウンタ一致検出回路５１から一致信号ＭＴＨ１を受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５２へ出力するとともに出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。

【０２１５】

マルチプレクサ６２は、スイッチング制御回路６０からの２回目の出力信号ＯＵＴ２に応じて、距離信号D_{16}（＝“４”）をカウンタ一致検出回路５２へ出力する。

【０２１６】

カウンタ一致検出回路５２は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンタ一致検出回路５２は、距離信号D_{16}（＝“４”）をマルチプレクサ６２から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{16}（＝“４”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２（＝“４”）をカウントし、クロック数ＣＮ＿２（＝“４”）をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０２１７】

その後、スイッチング制御回路６０は、カウンタ一致検出回路５２から一致信号ＭＴＨ２を受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５３へ出力するとともに出力信号ＯＵＴ３をマルチプレクサ６３へ出力する。

【０２１８】

マルチプレクサ６３は、スイッチング制御回路６０からの２回目の出力信号ＯＵＴ３に応じて、距離信号D_{17}（＝“２”）をカウンタ一致検出回路５３へ出力する。

【０２１９】

カウンタ一致検出回路５３は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンタ一致検出回路５３は、距離信号D_{17}（＝“２”）

をマルチプレクサ６３から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{17}（＝“２”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿３（＝“２”）をカウントし、クロック数ＣＮ＿３（＝“２”）をカウントしたタイミングを示す一致信号ＭＴＨ３をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５３は、動作を停止する。

【０２２０】

その後、スイッチング制御回路６０は、カウンタ一致検出回路５３から一致信号ＭＴＨ３を受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５４へ出力するとともに出力信号ＯＵＴ４をマルチプレクサ６４へ出力する。

【０２２１】

マルチプレクサ６４は、スイッチング制御回路６０からの２回目の出力信号ＯＵＴ４に応じて、距離信号D_{18}（＝“３”）をカウンタ一致検出回路５４へ出力する。

【０２２２】

カウンタ一致検出回路５４は、スイッチング制御回路６０からのリセット信号ＲＳＴに応じて駆動される。そして、カウンタ一致検出回路５４は、距離信号D_{18}（＝“３”）をマルチプレクサ６４から受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、距離信号D_{18}（＝“３”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿４（＝“３”）をカウントし、クロック数ＣＮ＿４（＝“３”）をカウントしたタイミングを示す一致信号ＭＴＨ４をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５４は、動作を停止する。

【０２２３】

そうすると、スイッチング制御回路６０は、カウンタ一致検出回路５４からの２回目の一致信号ＭＴＨ４に応じて、２回目の一致信号ＭＴＨ４によって示されるタイミングと同じタイミングを示すタイミング信号（＝タイミング信号C_1～C_Rのいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０２２４】

このように、カウンタ一致検出回路５１～５４は、それぞれ、距離信号D_{11}～D_{14}に一致するカウンタ値が得られたときのクロック信号ＣＬＫのクロック数ＣＮ＿１～ＣＮ＿４をカウントし、クロック数ＣＮ＿１～ＣＮ＿４をカウントしたタイミングを示す一致信号ＭＴＨ１～ＭＴＨ４を出力した後に、それぞれ、距離信号D_{15}～D_{18}に一致するカウンタ値が得られたときのクロック信号ＣＬＫのクロック数ＣＮ＿１～ＣＮ＿４をカウントし、クロック数ＣＮ＿１～ＣＮ＿４をカウントしたタイミングを示す一致信号ＭＴＨ１～ＭＴＨ４を出力する。

【０２２５】

つまり、カウンタ一致検出回路５１～５４の各々は、距離信号に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数をカウントし、そのクロック数をカウントしたタイミングを示す一致信号を出力する処理を２回繰り返し実行する。

【０２２６】

距離／クロック数変換回路DC_1～DC_Rの各々が距離／クロック数変換回路DC''_1－１からなる場合も、距離／クロック数変換回路DC_1～DC_Rの各々は、距離信号D_{11}＝“３”，D_{12}＝“２”，D_{13}＝“５”，D_{14}＝“１”，D_{15}＝“２”，D_{16}＝“４”，D_{17}＝“２”，D_{18}＝“３”の和（＝“２２”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数（＝“２２”）をカウントし、クロック数（＝“２２”）をカウントしたタイミングを示すタイミング信号（＝タイミング信号C_1～C_Rのいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０２２７】

図１７は、図１０に示す距離／クロック数変換回路DC''_1の更に別の具体的な構成を示す概略図である。

【０２２８】

図１７を参照して、$W=2^i=2^3=8$からなり、$s=2^x=2^2=4$からなる場合、

Ｌ＝Ｗ／ｓ＝８／４＝２であり、距離／クロック数変換回路ＤＣ”$_1$－２は、増幅器４１，４２と、カウンター致検出回路５１，５２と、スイッチ制御回路６０と、マルチプレクサ６１，６２とを含む。

【０２２９】

マルチプレクサ６１は、４個の距離演算回路ＤＰ$_{11}$，ＤＰ$_{13}$，ＤＰ$_{15}$，ＤＰ$_{17}$に対応して設けられ、マルチプレクサ６２は、４個の距離演算回路ＤＰ$_{12}$，ＤＰ$_{14}$，ＤＰ$_{16}$，ＤＰ$_{18}$に対応して設けられる。

【０２３０】

カウンター致検出回路５１は、マルチプレクサ６１に対応して設けられ、カウンター致検出回路５２は、マルチプレクサ６２に対応して設けられる。

【０２３１】

スイッチング制御回路６０は、連想メモリ１００の制御回路から検索開始信号ＳＢおよびリセット信号ＲＳＴを受ける。また、スイッチング制御回路６０は、増幅器４１，４２からクロック信号ＣＬＫを受ける。更に、スイッチング制御回路６０は、カウンター致検出回路５１から一致信号ＭＴＨ１を受け、カウンター致検出回路５２から一致信号ＭＴＨ２を受ける。

【０２３２】

そして、スイッチング制御回路６０は、検索開始信号ＳＢおよびリセット信号ＲＳＴを受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンター致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０２３３】

また、スイッチング制御回路６０は、一致信号ＭＴＨ２をカウンター致検出回路５２から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンター致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０２３４】

更に、スイッチング制御回路６０は、一致信号ＭＴＨ１をカウンター致検出回路５１から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンター致検出回路５２へ出力するとともに出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。

【０２３５】

そして、スイッチング制御回路６０は、ｓ回目の一致信号ＭＴＨ２をカウンター致検出回路５２から受けると、ｓ回目の一致信号ＭＴＨ２によって示されるタイミングと同じタイミングを示すタイミング信号（＝タイミング信号Ｃ$_1$～Ｃ$_R$のいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０２３６】

マルチプレクサ６１は、距離演算回路ＤＰ$_{11}$，ＤＰ$_{13}$，ＤＰ$_{15}$，ＤＰ$_{17}$からそれぞれ距離信号Ｄ$_{11}$，Ｄ$_{13}$，Ｄ$_{15}$，Ｄ$_{17}$を受け、出力信号ＯＵＴ１をスイッチング制御回路６０から受ける。

【０２３７】

そして、マルチプレクサ６１は、１回目の出力信号ＯＵＴ１を受けると、距離信号Ｄ$_{11}$をカウンター致検出回路５１へ出力し、２回目の出力信号ＯＵＴ１を受けると、距離信号Ｄ$_{13}$をカウンター致検出回路５１へ出力し、３回目の出力信号ＯＵＴ１を受けると、距離信号Ｄ$_{15}$をカウンター致検出回路５１へ出力し、４回目の出力信号ＯＵＴ１を受けると、距離信号Ｄ$_{17}$をカウンター致検出回路５１へ出力する。

【０２３８】

また、マルチプレクサ６２は、距離演算回路ＤＰ$_{12}$，ＤＰ$_{14}$，ＤＰ$_{16}$，ＤＰ$_{18}$からそれぞれ距離信号Ｄ$_{12}$，Ｄ$_{14}$，Ｄ$_{16}$，Ｄ$_{18}$を受け、出力信号ＯＵＴ２をスイッチング制御回路６０から受ける。

【０２３９】

そして、マルチプレクサ６２は、１回目の出力信号ＯＵＴ２を受けると、距離信号Ｄ$_{12}$をカウンター致検出回路５２へ出力し、２回目の出力信号ＯＵＴ２を受けると、距離信

号D_{14}をカウンタ一致検出回路５２へ出力し、３回目の出力信号ＯＵＴ２を受けると、距離信号D_{16}をカウンタ一致検出回路５２へ出力し、４回目の出力信号ＯＵＴ２を受けると、距離信号D_{18}をカウンタ一致検出回路５２へ出力する。

【０２４０】

カウンタ一致検出回路５１は、マルチプレクサ６１から距離信号D_{11}を受け、リセット信号ＲＳＴをスイッチング制御回路６０から受けると、上述した方法によって、距離信号D_{11}に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントし、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０２４１】

また、カウンタ一致検出回路５１は、マルチプレクサ６１から距離信号D_{13}を受け、リセット信号ＲＳＴをスイッチング制御回路６０から受けると、上述した方法によって、距離信号D_{13}に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントし、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０２４２】

更に、カウンタ一致検出回路５１は、マルチプレクサ６１から距離信号D_{15}を受け、リセット信号ＲＳＴをスイッチング制御回路６０から受けると、上述した方法によって、距離信号D_{15}に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントし、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０２４３】

更に、カウンタ一致検出回路５１は、マルチプレクサ６１から距離信号D_{17}を受け、リセット信号ＲＳＴをスイッチング制御回路６０から受けると、上述した方法によって、距離信号D_{17}に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントし、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０２４４】

このように、カウンタ一致検出回路５１は、距離信号とリセット信号とを受けるごとに、距離信号（＝距離信号D_{11}から奇数番目の距離信号D_{11}，D_{13}，D_{15}，D_{17}のいずれか）に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントし、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１をスイッチング制御回路６０へ出力し、その後、動作を停止する。

【０２４５】

カウンタ一致検出回路５２は、マルチプレクサ６２から距離信号D_{12}を受け、リセット信号ＲＳＴをスイッチング制御回路６０から受けると、上述した方法によって、距離信号D_{12}に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０２４６】

また、カウンタ一致検出回路５２は、マルチプレクサ６２から距離信号D_{14}を受け、リセット信号ＲＳＴをスイッチング制御回路６０から受けると、上述した方法によって、距離信号D_{14}に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路

５２は、動作を停止する。

【０２４７】

更に、カウンタ一致検出回路５２は、マルチプレクサ６２から距離信号D_{16}を受け、リセット信号ＲＳＴをスイッチング制御回路６０から受けると、上述した方法によって、距離信号D_{16}に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０２４８】

更に、カウンタ一致検出回路５２は、マルチプレクサ６２から距離信号D_{18}を受け、リセット信号ＲＳＴをスイッチング制御回路６０から受けると、上述した方法によって、距離信号D_{18}に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０２４９】

このように、カウンタ一致検出回路５２は、距離信号とリセット信号とを受けるごとに、距離信号（＝距離信号D_{11}から偶数番目の距離信号D_{12}，D_{14}，D_{16}，D_{18}のいずれか）に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２をスイッチング制御回路６０へ出力し、その後、動作を停止する。

【０２５０】

図１８は、図１７に示す距離／クロック数変換回路DC''_{1}－２の動作を説明するための図である。

【０２５１】

図１８を参照して、スイッチング制御回路６０は、連想メモリ１００の制御回路からの検索開始信号ＳＢおよびリセット信号ＲＳＴに応じて、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５１へ出力するとともに出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０２５２】

マルチプレクサ６１は、距離演算回路DP_{11}，DP_{13}，DP_{15}，DP_{17}からそれぞれ距離信号D_{11}，D_{13}，D_{15}，D_{17}を受ける。そして、マルチプレクサ６１は、１回目の出力信号ＯＵＴ１に応じて、距離信号D_{11}をカウンタ一致検出回路５１へ出力する。

【０２５３】

そうすると、カウンタ一致検出回路５１は、距離信号D_{11}（＝“３”）に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１（＝“３”）をカウントする。そして、カウンタ一致検出回路５１は、クロック数ＣＮ＿１（＝“３”）をカウントしたタイミングを示す一致信号ＭＴＨ１をクロック信号ＣＬＫに同期してスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０２５４】

その後、スイッチング制御回路６０は、一致信号ＭＴＨ１をカウンタ一致検出回路５１から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５２へ出力するとともに、出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。

【０２５５】

マルチプレクサ６２は、距離演算回路DP_{12}，DP_{14}，DP_{16}，DP_{18}からそれぞれ距離信号D_{12}，D_{14}，D_{16}，D_{18}を受ける。そして、マルチプレクサ６２は、１回目の出力信号ＯＵＴ２に応じて、距離信号D_{12}（＝“２”）をカウンタ一致検出回路５２へ出力する。

【０２５６】
そうすると、カウンタ一致検出回路５２は、距離信号D_{12}（＝“２”）に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２（＝“２”）をカウントする。そして、カウンタ一致検出回路５２は、クロック数ＣＮ＿２（＝“２”）をカウントしたタイミングを示す一致信号ＭＴＨ２をクロック信号ＣＬＫに同期してスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０２５７】
引き続いて、スイッチング制御回路６０は、一致信号ＭＴＨ２をカウンタ一致検出回路５２から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５１へ出力するとともに、出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０２５８】
マルチプレクサ６１は、２回目の出力信号ＯＵＴ１に応じて、距離信号D_{13}（＝“５”）をカウンタ一致検出回路５１へ出力する。

【０２５９】
そうすると、カウンタ一致検出回路５１は、距離信号D_{13}（＝“５”）に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１（＝“５”）をカウントする。そして、カウンタ一致検出回路５１は、クロック数ＣＮ＿１（＝“５”）をカウントしたタイミングを示す一致信号ＭＴＨ１をクロック信号ＣＬＫに同期してスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０２６０】
スイッチング制御回路６０は、一致信号ＭＴＨ１をカウンタ一致検出回路５１から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５２へ出力するとともに、出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。

【０２６１】
マルチプレクサ６２は、２回目の出力信号ＯＵＴ２に応じて、距離信号D_{14}（＝“１”）をカウンタ一致検出回路５２へ出力する。

【０２６２】
そうすると、カウンタ一致検出回路５２は、距離信号D_{14}（＝“１”）に一致するカウンタ値CV_{12}が得られるときのクロック数ＣＮ＿２（＝“１”）をカウントする。そして、カウンタ一致検出回路５２は、クロック数ＣＮ＿２（＝“１”）をカウントしたタイミングを示す一致信号ＭＴＨ２をクロック信号ＣＬＫに同期してスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０２６３】
そして、スイッチング制御回路６０は、一致信号ＭＴＨ２をカウンタ一致検出回路５２から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５１へ出力するとともに、出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０２６４】
マルチプレクサ６１は、３回目の出力信号ＯＵＴ１に応じて、距離信号D_{15}（＝“２”）をカウンタ一致検出回路５１へ出力する。

【０２６５】
そうすると、カウンタ一致検出回路５１は、距離信号D_{15}（＝“２”）に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１（＝“２”）をカウントする。そして、カウンタ一致検出回路５１は、クロック数ＣＮ＿１（＝“２”）をカウントしたタイミングを示す一致信号ＭＴＨ１をクロック信号ＣＬＫに同期してスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０２６６】
そして、スイッチング制御回路６０は、一致信号ＭＴＨ１をカウンタ一致検出回路５１

から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５２へ出力するとともに、出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。

【０２６７】

マルチプレクサ６２は、３回目の出力信号ＯＵＴ２に応じて、距離信号D_{16}（＝“４”）をカウンタ一致検出回路５２へ出力する。

【０２６８】

そうすると、カウンタ一致検出回路５２は、距離信号D_{16}（＝“４”）に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２（＝“４”）をカウントする。そして、カウンタ一致検出回路５２は、クロック数ＣＮ＿２（＝“４”）をカウントしたタイミングを示す一致信号ＭＴＨ２をクロック信号ＣＬＫに同期してスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０２６９】

そして、スイッチング制御回路６０は、一致信号ＭＴＨ２をカウンタ一致検出回路５２から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５１へ出力するとともに、出力信号ＯＵＴ１をマルチプレクサ６１へ出力する。

【０２７０】

マルチプレクサ６１は、４回目の出力信号ＯＵＴ１に応じて、距離信号D_{17}（＝“２”）をカウンタ一致検出回路５１へ出力する。

【０２７１】

そうすると、カウンタ一致検出回路５１は、距離信号D_{17}（＝“２”）に一致するカウンタ値CV_{11}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１（＝“２”）をカウントする。そして、カウンタ一致検出回路５１は、クロック数ＣＮ＿１（＝“２”）をカウントしたタイミングを示す一致信号ＭＴＨ１をクロック信号ＣＬＫに同期してスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１は、動作を停止する。

【０２７２】

その後、スイッチング制御回路６０は、一致信号ＭＴＨ１をカウンタ一致検出回路５１から受けると、クロック信号ＣＬＫに同期して、リセット信号ＲＳＴをカウンタ一致検出回路５２へ出力するとともに、出力信号ＯＵＴ２をマルチプレクサ６２へ出力する。

【０２７３】

マルチプレクサ６２は、４回目の出力信号ＯＵＴ２に応じて、距離信号D_{18}（＝“３”）をカウンタ一致検出回路５２へ出力する。

【０２７４】

そうすると、カウンタ一致検出回路５２は、距離信号D_{18}（＝“３”）に一致するカウンタ値CV_{12}が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２（＝“３”）をカウントする。そして、カウンタ一致検出回路５２は、クロック数ＣＮ＿２（＝“３”）をカウントしたタイミングを示す一致信号ＭＴＨ２をクロック信号ＣＬＫに同期してスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５２は、動作を停止する。

【０２７５】

そうすると、スイッチング制御回路６０は、カウンタ一致検出回路５２からの４回目の一致信号ＭＴＨ２に応じて、４回目の一致信号ＭＴＨ２によって示されるタイミングと同じタイミングを示すタイミング信号（＝タイミング信号C_1～C_Rのいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０２７６】

このように、カウンタ一致検出回路５１，５２は、交互に、それぞれ、距離信号（＝距離信号D_{11}から奇数番目の距離信号D_{11}，D_{13}，D_{15}，D_{17}のいずれか）および距離信号（＝距離信号D_{11}から偶数番目の距離信号D_{12}，D_{14}，D_{16}，D_{18}のいずれか）に一致するカウンタ値CV_{11}，CV_{12}が得られるときのクロック信号Ｃ

ＬＫのクロック数ＣＮ＿１，ＣＮ＿２をカウントし、クロック数ＣＮ＿１，ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ１，ＭＴＨ２をスイッチング制御回路６０へ出力する。そして、カウンタ一致検出回路５１，５２は、この処理を４（＝ｓ）回繰り返し実行する。

【０２７７】

距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の各々が距離／クロック数変換回路ＤＣ”$_1$－２からなる場合も、距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の各々は、距離信号Ｄ$_{11}$＝“３”，Ｄ$_{12}$＝“２”，Ｄ$_{13}$＝“５”，Ｄ$_{14}$＝“１”，Ｄ$_{15}$＝“２”，Ｄ$_{16}$＝“４”，Ｄ$_{17}$＝“２”，Ｄ$_{18}$＝“３”の和（＝“２２”）に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数（＝“２２”）をカウントし、クロック数（＝“２２”）をカウントしたタイミングを示すタイミング信号（＝タイミング信号Ｃ$_1$～Ｃ$_R$のいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０２７８】

上記においては、Ｗ＝８である場合について説明したが、Ｗは、２^{i}を満たせば、８以外の値であってもよい。

【０２７９】

そして、Ｗが２^{i}を満たす８以外の値であるときも、距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$は、それぞれ、上述した動作と同じ動作によってタイミング信号Ｃ$_1$～Ｃ$_R$をＷｉｎｎｅｒ検出器２０へ出力する。

【０２８０】

また、上記においては、ｓ＝２，４の場合について説明したが、ｓは、Ｗ以下の２^{x}を満たす整数であれば、２，４以外の値からなっていてもよく、その場合も、距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$は、それぞれ、上述した動作と同じ動作によってタイミング信号Ｃ$_1$～Ｃ$_R$をＷｉｎｎｅｒ検出器２０へ出力する。

【０２８１】

上述したように、図１３および図１７においては、距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$（＝距離／クロック数変換回路ＤＣ’$_1$－２，ＤＣ”$_1$－２）の各々が２つのカウンタ一致検出回路５１，５２からなる場合について説明した。

【０２８２】

そして、距離／クロック数変換回路ＤＣ$_1$～ＤＣ$_R$の各々が図１３に示す距離／クロック数変換回路ＤＣ’$_1$－２または図１７に示す距離／クロック数変換回路ＤＣ”$_1$－２からなる場合、カウンタ一致検出回路５１は、Ｗ個の距離信号（＝距離信号Ｄ$_{11}$～Ｄ$_{1W}$等）を一列に配列したときの一方端からｐ（ｐは１≦ｐ＜Ｗを満たす奇数）番目の距離信号を受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、ｐ番目の距離信号に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿１をカウントし、クロック数ＣＮ＿１をカウントしたタイミングを示す一致信号ＭＴＨ１を出力する一致処理をＷ／２回繰り返し実行する。

【０２８３】

また、カウンタ一致検出回路５２は、Ｗ個の距離信号（＝距離信号Ｄ$_{11}$～Ｄ$_{1W}$等）を一列に配列したときの一方端からｑ（ｑは１＜ｑ≦Ｗを満たす偶数）番目の距離信号を受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、ｑ番目の距離信号に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示す一致信号ＭＴＨ２を出力する一致処理を（（Ｗ／２）－１）回繰り返し実行し、一致信号ＭＴＨ１をＷ／２回受け、かつ、Ｗ番目の距離信号を受けると、カウンタ値をクロック信号ＣＬＫに同期して昇順にカウントしたときに、Ｗ番目の距離信号に一致するカウンタ値が得られるときのクロック信号ＣＬＫのクロック数ＣＮ＿２をカウントし、クロック数ＣＮ＿２をカウントしたタイミングを示すタイミング信号（＝タイミング信号Ｃ$_1$～Ｃ$_R$のいずれか）をＷｉｎｎｅｒ検出器２０へ出力する。

【０２８４】

この場合、カウンタ一致検出回路５１は、「第１のカウンタ一致検出回路」を構成し、カウンタ一致検出回路５２は、「第２のカウンタ一致検出回路」を構成する。

【０２８５】

また、カウンタ一致検出回路５１のカウンタ３１１（またはカウンタ３１１Ａ）は、「第１のカウンタ」を構成し、カウンタ一致検出回路５１の一致検出回路３１２は、「第１の一致検出回路」を構成する。

【０２８６】

更に、カウンタ一致検出回路５２のカウンタ３１１（またはカウンタ３１１Ａ）は、「第２のカウンタ」を構成し、カウンタ一致検出回路５２の一致検出回路３１２は、「第２の一致検出回路」を構成する。

【０２８７】

図１３および図１７に示すように、距離／クロック数変換回路DC_1～DC_R（＝距離／クロック数変換回路DC'_1－２，DC''_1－２）の各々を２個のカウンタ一致検出回路５１，５２によって構成することによって、距離／クロック数変換回路DC_1～DC_Rの回路面積を削減でき、消費電力を低減できる。

【０２８８】

図１９は、最短検索時間の比較を示す図である。図１９における周波数マッピング型とは、検索データと参照データとの距離を周波数に変換して検索データに類似する参照データを検索する連想メモリを意味する。

【０２８９】

また、図１９の（ａ）は、Ｍ×Ｗ＝１６ビット×８ユニット＝１２８ビットの参照データを６４個用いた場合の最短検索時間の比較を示す。更に、図１９の（ｂ）は、Ｍ×Ｗ＝１６ビット×１６ユニット＝２５６ビットの参照データを６４個用いた場合の最短検索時間の比較を示す。

【０２９０】

図１９の（ａ）を参照して、Ｍ×Ｗ＝１６ビット×８ユニット＝１２８ビットの参照データを６４個用いた場合、周波数マッピング型の連想メモリにおいては、最短検索時間が１２８０（ｎｓ）であるのに対し、本発明の連想メモリ１００においては、最短検索時間が２０（ｎｓ）である。

【０２９１】

図１９の（ｂ）を参照して、Ｍ×Ｗ＝１６ビット×１６ユニット＝２５６ビットの参照データを６４個用いた場合、周波数マッピング型の連想メモリにおいては、最短検索時間が２１００００（ｎｓ）であるのに対し、本発明の連想メモリ１００においては、最短検索時間が４０（ｎｓ）である。

【０２９２】

このように、この発明の実施の形態による連想メモリ１００は、従来の周波数マッピング型の連想メモリよりも２桁以上短い時間で検索データに類似する参照データを検索できることが実験的に実証された。

【０２９３】

また、この発明の実施の形態による連想メモリ１００は、参照データのビット数が多くなるに従って、検索時間を飛躍的に短くできることが実験的に実証された。

【０２９４】

図２０は、消費電力の比較を示す図である。図２０において、従来例の連想メモリは、非特許文献３に記載された連想メモリである。

【０２９５】

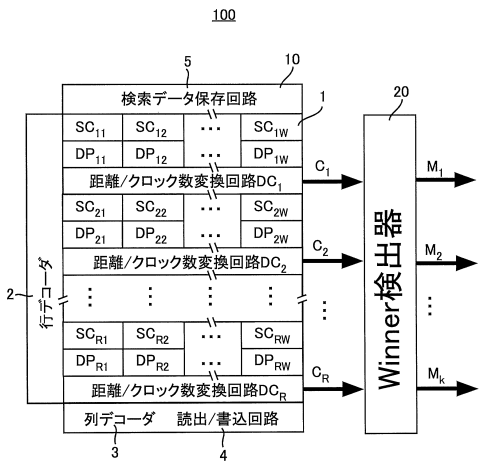
図２０を参照して、従来例の連想メモリにおいては、６４個の参照データが用いられ、本発明の連想メモリ１００においては、１２８個の参照データが用いられた。

【０２９６】

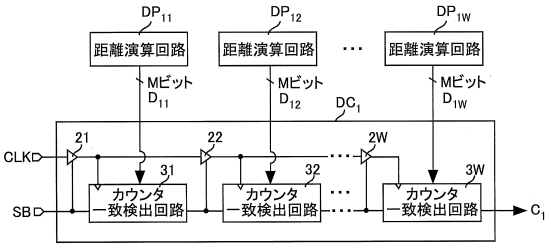
そして、従来例の連想メモリにおいては、消費電力は、３２１（ｍＷ）であるのに対し、本発明の連想メモリ１００においては、消費電力は、２．１３（ｍＷ）である。

【０２９７】
このように、この発明の実施の形態による連想メモリ１００は、参照データ数が２倍多いにも拘わらず、従来例の連想メモリよりも２桁以上消費電力を低減できることが実験的に実証された。
【０２９８】
従って、この発明の実施の形態による連想メモリ１００を用いれば、低消費電力で高速に検索データに類似する参照データを検索できることが明らかである。
【０２９９】
なお、上記においては、マンハッタン距離を用いて検索データに類似するｋ個の参照データを検索すると説明したが、この発明の実施の形態においては、これに限らず、ハミング距離を用いて検索データに類似するｋ個の参照データを検索してもよい。
【０３００】
この場合、Ｍビットは、１ビットからなり、参照データ保存回路SC_{11}～SC_{1W}，SC_{21}～SC_{2W}，・・・，SC_{R1}～SC_{RW}の各々は、１ビットの参照データを保存する。また、距離演算回路DP_{11}～DP_{1W}，DP_{21}～DP_{2W}，・・・，DP_{R1}～DP_{RW}の各々は、検索データの１ビットと参照データの１ビットとの距離を式（１）に従って演算する。
【０３０１】
そして、連想メモリ１００は、上述した動作に従って、ハミング距離を用いて検索データに類似するｋ個の参照データを検索する。
【０３０２】
今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。
【産業上の利用可能性】
【０３０３】
この発明は、連想メモリに適用される。
【符号の説明】
【０３０４】
１　メモリ部、２　行デコーダ、３　列デコーダ、４　読出／書込回路、５　検索データ保存回路、１０　メモリアレイ部、２０　Ｗｉｎｎｅｒ検出器、２１～２Ｗ，４１～４Ｌ　増幅器、３１～３Ｗ，５１～５Ｌ　カウンタ一致検出回路、６０　スイッチング制御回路、６１～６Ｌ　マルチプレクサ、１００　連想メモリ、３１１，３１１Ａ　カウンタ、３１２　一致検出回路、３１１－１～３１１－Ｍ　分周器、SC_{11}～SC_{1W}，SC_{21}～SC_{2W}，・・・，SC_{R1}～SC_{RW}　参照データ保存回路、DP_{11}～DP_{1W}，DP_{21}～DP_{2W}，・・・，DP_{R1}～DP_{RW}　距離演算回路、DC_1～DC_R　距離／クロック数変換回路。

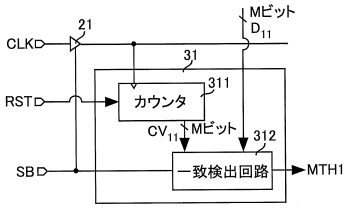
【図１】



【図２】



【図３】



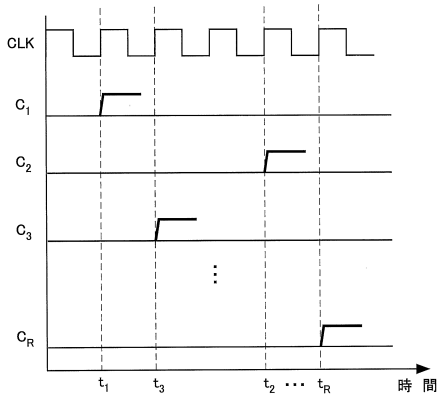
【図４】

クロック数	カウンタ値	距離信号
0	000	011
1	001	011
2	010	011
3	011	011
4	011	011
5	011	011

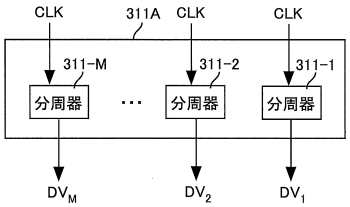
【図５】

クロック数	カウンタ値（第1ユニット）	距離信号（第1ユニット）（距離3）	カウンタ値（第2ユニット）	距離信号（第2ユニット）（距離5）
0	000	011	000	101
1	001	011	000	101
2	010	011	000	101
3	011	011	000	101
4	011	011	001	101
5	011	011	010	101
6	011	011	011	101
7	011	011	100	101
8	011	011	101	101
9	011	011	101	101

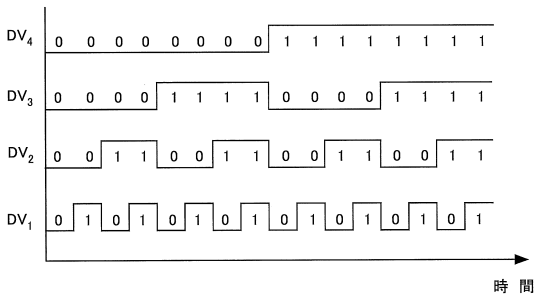
【図６】



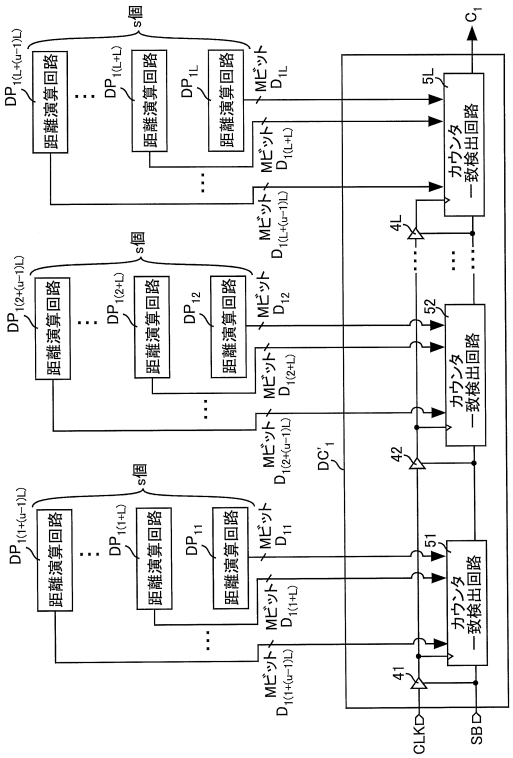
【図７】



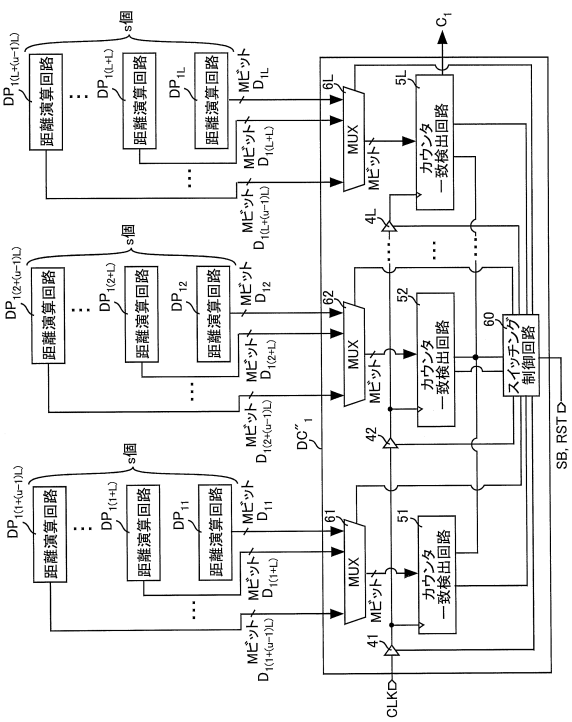
【図８】



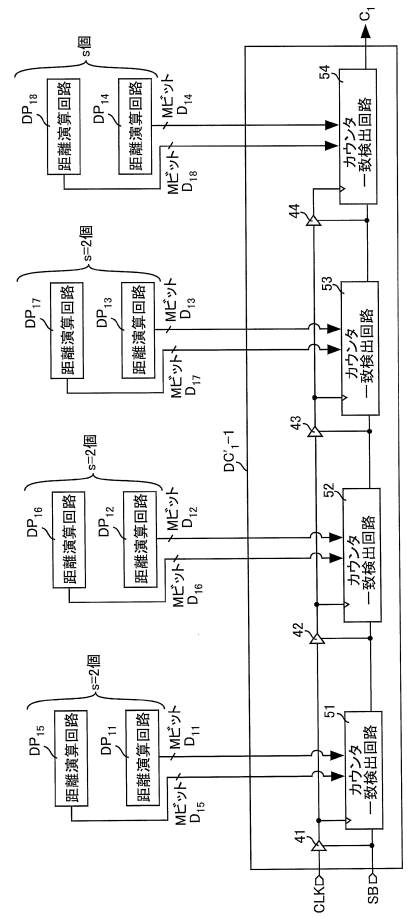
【図９】



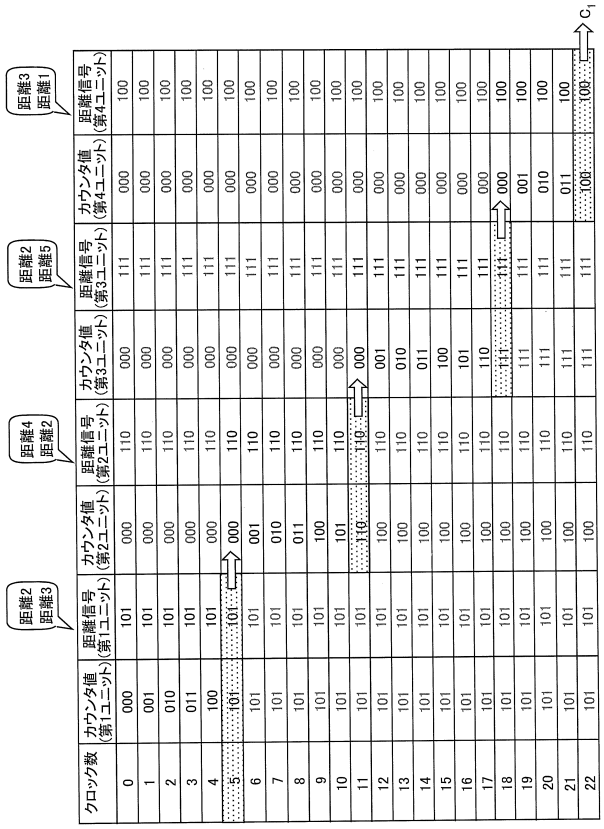
【図１０】



【図１１】

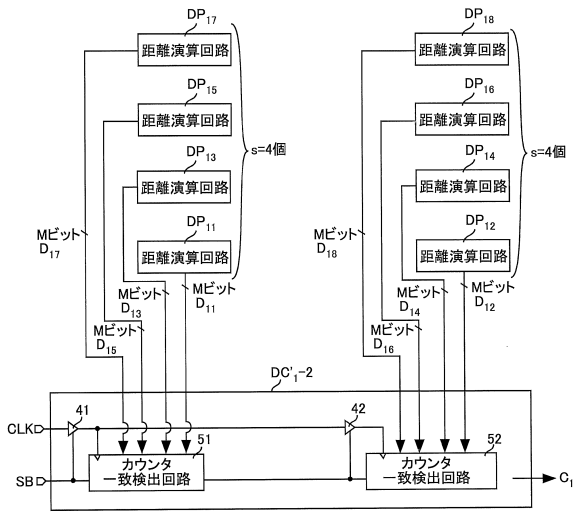


【図１２】



クロック数	カウンタ値（第1ユニット）	距離信号（第1ユニット）	カウンタ値（第2ユニット）	距離信号（第2ユニット）	カウンタ値（第3ユニット）	距離信号（第3ユニット）	カウンタ値（第4ユニット）	距離信号（第4ユニット）
		距離2 距離3		距離4 距離2		距離2 距離5		距離3 距離1
0	000	101	000	110	000	111	000	100
1	001	101	000	110	000	111	000	100
2	010	101	000	110	000	111	000	100
3	011	101	000	110	000	111	000	100
4	100	101	000	110	000	111	000	100
5	101	101	000	110	000	111	000	100
6	101	101	001	110	000	111	000	100
7	101	101	010	110	000	111	000	100
8	101	101	011	110	000	111	000	100
9	101	101	100	110	000	111	000	100
10	101	101	101	110	000	111	000	100
11	101	101	110	110	000	111	000	100
12	101	101	100	110	001	111	000	100
13	101	101	100	110	010	111	000	100
14	101	101	100	110	011	111	000	100
15	101	101	100	110	100	111	000	100
16	101	101	100	110	101	111	000	100
17	101	101	100	110	110	111	000	100
18	101	101	100	110	111	111	000	100
19	101	101	100	110	111	111	001	100
20	101	101	100	110	111	111	010	100
21	101	101	100	110	111	111	011	100
22	101	101	100	110	111	111	100	100

【図１３】

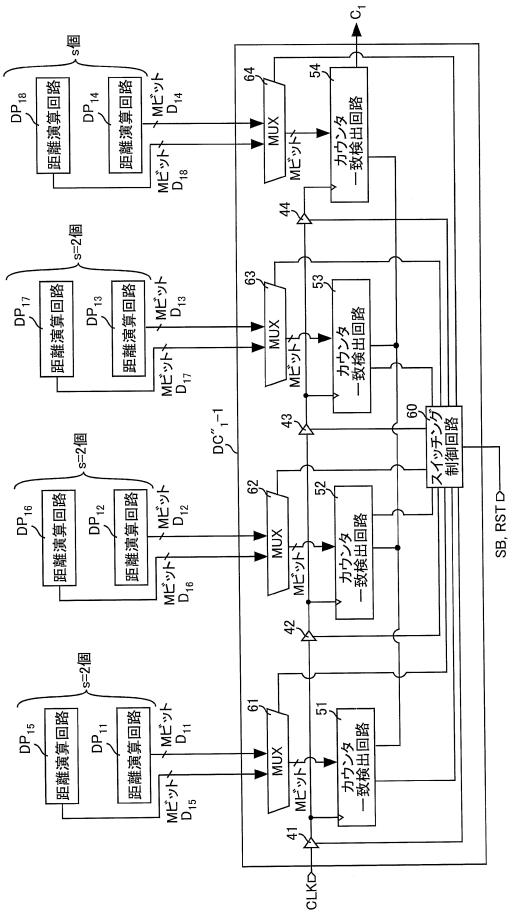


【図１４】

クロック数	カウンタ値（第1ユニット）	距離信号（第1ユニット）（距離2 距離2 距離5 距離3）	カウンタ値（第2ユニット）	距離信号（第2ユニット）（距離3 距離4 距離1 距離2）
0	0000	1100	0000	1010
1	0001	1100	0000	1010
2	0010	1100	0000	1010
3	0011	1100	0000	1010
4	0100	1100	0000	1010
5	0101	1100	0000	1010
6	0110	1100	0000	1010
7	0111	1100	0000	1010
8	1000	1100	0000	1010
9	1001	1100	0000	1010
10	1010	1100	0000	1010
11	1011	1100	0000	1010
12	1100	1100	0000	1010
13	1100	1100	0001	1010
14	1100	1100	0010	1010
15	1100	1100	0011	1010
16	1100	1100	0100	1010
17	1100	1100	0101	1010
18	1100	1100	0110	1010
19	1100	1100	0111	1010
20	1100	1100	1000	1010
21	1100	1100	1001	1010
22	1100	1100	1010	1010

C_1

【図１５】

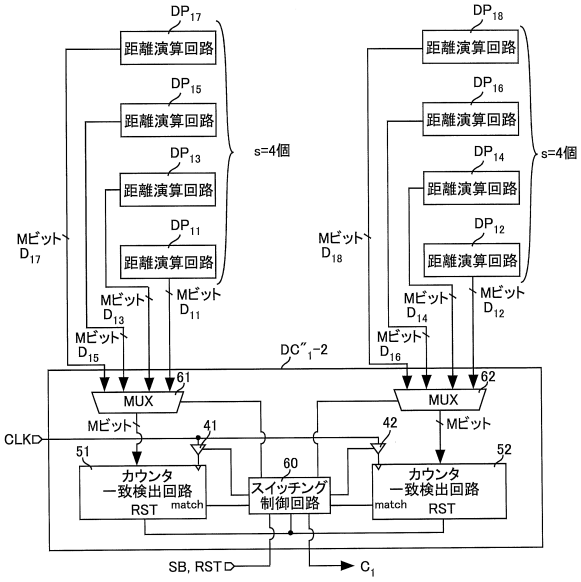


【図１６】

クロック数	カウンタ値（第1ユニット）	距離信号（第1ユニット）（距離2 距離3）	カウンタ値（第2ユニット）	距離信号（第2ユニット）（距離4 距離2）	カウンタ値（第3ユニット）	距離信号（第3ユニット）（距離2 距離5）	カウンタ値（第4ユニット）	距離信号（第4ユニット）（距離3 距離1）
0	000	011	000	010	000	101	000	001
1	001	011	000	010	000	101	000	001
2	010	011	000	010	000	101	000	001
3	011	011	000	010	000	101	000	001
4	011	011	001	010	000	101	000	001
5	011	101	010	010	000	101	000	001
6	101	101	010	010	001	101	000	001
7	101	101	010	010	010	101	000	001
8	101	101	010	010	011	101	000	001
9	101	101	010	010	100	101	000	001
10	101	010	010	010	101	101	001	001
11	000	010	010	010	101	101	000	100
12	001	010	010	010	101	101	000	100
13	010	010	000	100	101	101	000	100
14	010	010	001	100	101	101	000	100
15	010	010	010	100	101	101	000	100
16	010	010	011	100	101	101	000	100
17	010	010	100	100	000	010	000	100
18	010	010	100	110	001	010	000	100
19	010	010	100	110	010	010	000	011
20	010	010	100	110	010	010	001	011
21	010	010	100	110	010	010	010	011
22	010	010	100	110	010	010	011	011

C_1

【図１７】



【図１８】

クロック数	カウンタ値（第1ユニット）	距離信号（第1ユニット）（距離2 距離2 距離5 距離3）	カウンタ値（第2ユニット）	距離信号（第2ユニット）（距離3 距離4 距離1 距離2）
0	000	011	000	010
1	001	011	000	010
2	010	011	000	010
3	011	011	000	010
4	011	011	001	010
5	000	101	010	010
6	001	101	010	010
7	010	101	010	010
8	011	101	010	010
9	100	101	010	010
10	101	101	000	001
11	000	010	001	001
12	001	010	001	001
13	010	010	000	100
14	010	010	001	100
15	010	010	010	100
16	010	010	011	100
17	000	010	100	100
18	001	010	100	100
19	010	010	000	011
20	010	010	001	011
21	010	010	010	011
22	010	010	011	011

C_1

【図１９】

M×W=16ビット×8ユニット=128ビット　64個の参照データ

	周波数マッピング型	本発明(クロック同期型)
最短検索時間(ns)	1280	20

(a)

M×W=16ビット×16ユニット=256ビット　64個の参照データ

	周波数マッピング型	本発明(クロック同期型)
最短検索時間(ns)	210000	40

(b)

【図２０】

	従来例（非特許文献3）	本発明(クロック同期型)
参照データ数(words)	64	128
消費電力(mW)	321	2.13

フロントページの続き

(72)発明者　小出　哲士
広島県東広島市鏡山一丁目４番２号　国立大学法人広島大学ナノデバイス・バイオ融合科学研究所内
(72)発明者　佐々木　静龍
広島県東広島市鏡山一丁目４番２号　国立大学法人広島大学ナノデバイス・バイオ融合科学研究所内
(72)発明者　赤澤　智信
広島県東広島市鏡山一丁目４番２号　国立大学法人広島大学ナノデバイス・バイオ融合科学研究所内

審査官　塚田　肇

(56)参考文献　特開２００２－２８８９８５（ＪＰ，Ａ）
国際公開第２００４／０７７６６９（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１５／０４