

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-41676

(P2014-41676A)

(43) 公開日 平成26年3月6日(2014.3.6)

(51) Int.Cl.

G11C 15/04 (2006.01)

F I

G11C 15/04 631F

テーマコード (参考)

審査請求 未請求 請求項の数 9 O L (全 45 頁)

(21) 出願番号 特願2012-183975 (P2012-183975)
 (22) 出願日 平成24年8月23日 (2012.8.23)

(71) 出願人 504136568
 国立大学法人広島大学
 広島県東広島市鏡山1丁目3番2号
 (74) 代理人 100104444
 弁理士 上羽 秀敏
 (74) 代理人 100112715
 弁理士 松山 隆夫
 (74) 代理人 100125704
 弁理士 坂根 剛
 (74) 代理人 100120662
 弁理士 川上 桂子
 (72) 発明者 マタウシュ ハンスユルゲン
 広島県東広島市鏡山一丁目4番2号 国立
 大学法人広島大学ナノデバイス・バイオ融
 合科学研究所内

最終頁に続く

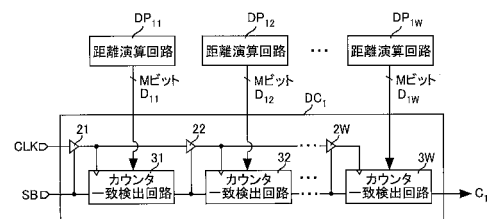
(54) 【発明の名称】 連想メモリ

(57) 【要約】

【課題】マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことが可能な連想メモリを提供する。

【解決手段】連想メモリは、各々がカウンター一致検出回路31~3Wを含むR個の距離/クロック数変換回路DC₁~DC_Rを備える。距離信号D₁₁~D_{1W}の各々は、検索データと参照データとの距離を表わす。カウンター一致検出回路31は、距離信号D₁₁に一致するカウンタ値が得られるときのクロック数をカウントする。その後、カウンター一致検出回路32は、距離信号D₁₂に一致するカウンタ値が得られるときのクロック数をカウントする。以下、同様にして、カウンター一致検出回路3Wは、カウンター一致検出回路3W-1が距離信号D_{1W}に一致するカウンタ値が得られるときのクロック数をカウントすると、距離信号D_{1W}に一致するカウンタ値が得られるときのクロック数をカウントする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

各々が $M \times W$ (M は 1 以上の整数、 W は 2 以上の整数) ビットのビット長を有する R (R は 2 以上の整数) 個の参照データを保存する参照データ保存回路と、

前記 R 個の参照データに対応して設けられ、各々が $M \times W$ ビットのビット長を有し、かつ、検索対象である検索データと前記参照データとの距離を表わす R 個の距離信号を出力する R 個の距離演算回路と、

前記 R 個の距離演算回路に対応して設けられ、各々が対応する距離演算回路から各々が M ビットのビット長を有する W 個の距離信号を受け、その受けた W 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントし、前記クロック数をカウントしたタイミングである一致タイミングを示すタイミング信号を出力する R 個の距離/クロック数変換回路と、

前記 R 個の距離/クロック数変換回路から受けた R 個のタイミング信号に基づいて、前記一致タイミングが早い順に k (k は $1 \leq k < R$ を満たす整数) 個のタイミング信号を検出し、その検出した k 個のタイミング信号を前記検索データと前記参照データとの類似度を示すマッチ信号として出力する W i n n e r 検出器とを備える連想メモリ。

【請求項 2】

前記 R 個の距離/クロック数変換回路の各々は、各々が M ビットのビット長を有する W 個の距離信号に対応して設けられ、かつ、直列に接続された W 個のカウンタ一致検出回路を含み、

前記 W 個のカウンタ一致検出回路は、 $W = 2$ である場合、

前記 W 個の距離信号を一行に配列したときの一方端の距離信号である 1 番目の距離信号に対応して設けられ、前記 1 番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた 1 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第 1 のクロック数をカウントし、前記第 1 のクロック数をカウントしたタイミングを示す第 1 の一致信号を出力する第 1 のカウンタ一致検出回路と

、
前記一方端から W 番目の距離信号に対応して設けられ、前記第 1 のカウンタ一致検出回路から前記第 1 の一致信号を受けると駆動されるとともに前記 W 番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた W 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第 2 のクロック数をカウントし、前記第 2 のクロック数をカウントしたタイミングを示す前記タイミング信号を前記 W i n n e r 検出器へ出力する第 2 のカウンタ一致検出回路とを含み、

前記 W 個のカウンタ一致検出回路は、 W が 3 以上である場合、

前記第 1 のカウンタ一致検出回路と、

2 番目の距離信号から $W - 1$ 番目の距離信号までの $W - 2$ 個の距離信号に対応して設けられ、各々が、前記第 1 のカウンタ一致検出回路または $w - 1$ (w は $2 \leq w \leq W - 1$ を満たす整数) 番目の距離信号に対応して設けられたカウンタ一致検出回路から前記 1 番目または前記 w 番目の距離信号に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントしたタイミングを示す第 2 の一致信号を受けると駆動されるとともに前記 w 番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた w 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第 3 のクロック数をカウントし、前記第 3 のクロック数をカウントしたタイミングを示す第 3 の一致信号を出力する $W - 2$ 個の第 3 のカウンタ一致検出回路と、

W 番目の距離信号に対応して設けられ、 $W - 1$ 番目の距離信号に対応して設けられたカウンタ一致検出回路から前記第 3 の一致信号を受けると駆動されるとともに前記 W 番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた W 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第 4 のクロック数をカウントし、前記第 4 のクロック数をカウントしたタイミングを示す前記タイミング信号を前記 W i n n e r 検出器へ出力する第 4 のカウンタ一致検出回路とを含む、

10

20

30

40

50

請求項 1 に記載の連想メモリ。

【請求項 3】

前記第 1 のカウンタ一致検出回路は、

M ビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第 1 のカウンタと、

前記第 1 のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記 1 番目の距離信号を受け、前記受けたカウンタ値が前記 1 番目の距離信号に一致するときの前記第 1 のクロック数をカウントし、前記第 1 のクロック数が得られると、前記第 1 の一致信号を出力する第 1 の一致検出回路とを含み、

前記第 2 のカウンタ一致検出回路は、

M ビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第 2 のカウンタと、

前記第 2 のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記 W 番目の距離信号を受け、前記第 1 のカウンタ一致検出回路から前記第 1 の一致信号を受けると駆動され、前記受けたカウンタ値が前記 W 番目の距離信号に一致するときの前記第 2 のクロック数をカウントし、前記第 2 のクロック数が得られると、前記タイミング信号を前記 Winner 検出器へ出力する第 2 の一致検出回路とを含み、

前記 W - 2 個の第 3 のカウンタ一致検出回路の各々は、

M ビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第 3 のカウンタと、

前記第 3 のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記 w 番目の距離信号を受け、前記第 2 の一致信号を受けると駆動され、前記受けたカウンタ値が前記 w 番目の距離信号に一致するときの前記第 3 のクロック数をカウントし、前記第 3 のクロック数が得られると、前記第 3 の一致信号を出力する第 3 の一致検出回路とを含み、

前記第 4 のカウンタ一致検出回路は、

M ビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第 4 のカウンタと、

前記第 4 のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記 W 番目の距離信号を受け、前記第 3 の一致信号を受けると駆動され、前記受けたカウンタ値が前記 W 番目の距離信号に一致するときの前記第 4 のクロック数をカウントし、前記第 4 のクロック数が得られると、前記タイミング信号を前記 Winner 検出器へ出力する第 4 の一致検出回路とを含む、請求項 2 に記載の連想メモリ。

【請求項 4】

前記 W は、 2^i (i は 2 以上の整数) からなり、

前記 R 個の距離 / クロック数変換回路の各々は、 W / s (s は W 以下である 2^x に等しい。 x は正の整数) 個の距離信号に対応して設けられ、各々が M ビットのビット長を有する W 個の距離信号に基づいて、前記タイミング信号を出力する W / s 個のカウンタ一致検出回路を含み、

前記 W / s 個のカウンタ一致検出回路は、各々が前記 W / s 個の距離信号からなる s 組の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた s 組の距離信号に含まれる W 個の距離信号の和に一致するカウンタ値が得られるときの前記クロック数をカウントし、前記クロック数をカウントしたタイミングを示す前記タイミング信号を前記 Winner 検出器へ出力する、請求項 1 に記載の連想メモリ。

【請求項 5】

前記 W / s 個のカウンタ一致検出回路は、前記 W / s 個の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた W / s 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号の第 1 のクロック数をカウントし、前記第 1 のクロック数をカウントしたタイミングを示す第 1 の一致信号を出力する

10

20

30

40

50

処理を $s - 1$ 回繰り返し実行し、前記第 1 の一致信号を前記 $s - 1$ 回出力し、かつ、 s 回目に前記 W / s 個の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けた W / s 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号の第 2 のクロック数をカウントし、前記第 2 のクロック数をカウントしたタイミングを示す前記タイミング信号を前記 $W i n n e r$ 検出器へ出力する、請求項 4 に記載の連想メモリ。

【請求項 6】

前記 W / s 個のカウンタ一致検出回路は、

前記 W 個の距離信号を一列に配列したときの一方端から p (p は $1 < p < W$ を満たす奇数) 番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記 p 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第 3 のクロック数をカウントし、前記第 3 のクロック数をカウントしたタイミングを示す第 2 の一致信号を出力する第 1 の一致処理を $W / 2$ 回繰り返し実行する第 1 のカウンタ一致検出回路と、

前記一方端から q (q は $1 < q < W$ を満たす偶数) 番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記 q 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第 4 のクロック数をカウントし、前記第 4 のクロック数をカウントしたタイミングを示す第 3 の一致信号を出力する第 2 の一致処理を $(W / 2) - 1$ 回繰り返し実行し、前記第 2 の一致信号を前記 $W / 2$ 回受け、かつ、 W 番目の距離信号を受けると、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記 W 番目の距離信号に一致するカウンタ値が得られるときのクロック信号の第 5 のクロック数をカウントし、前記第 5 のクロック数をカウントしたタイミングを示す前記タイミング信号を前記 $W i n n e r$ 検出器へ出力する第 2 のカウンタ一致検出回路とを含む、請求項 4 に記載の連想メモリ。

【請求項 7】

前記 R 個の距離 / クロック数変換回路の各々は、

前記第 1 のカウンタ一致検出回路から前記第 2 の一致信号を受けると、その受けた第 2 の一致信号を前記第 2 のカウンタ一致検出回路へ出力し、前記第 2 のカウンタ一致検出回路から前記第 3 の一致信号を受けると、その受けた第 3 の一致信号を前記第 1 のカウンタ一致検出回路へ出力するスイッチング制御回路を更に含み、

前記第 1 のカウンタ一致検出回路は、前記スイッチング制御回路から前記第 3 の一致信号を受けると、前記第 1 の一致処理を 1 回実行し、

前記第 2 のカウンタ一致検出回路は、前記スイッチング制御回路から前記第 2 の一致信号を受けると、前記第 2 の一致処理を 1 回実行するとともに、前記第 2 の一致信号を前記 $W / 2$ 回受けると、前記第 5 のクロック数をカウントし、前記タイミング信号を前記 $W i n n e r$ 検出器へ出力する、請求項 6 に記載の連想メモリ。

【請求項 8】

前記第 1 のカウンタ一致検出回路は、

M ビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第 1 の出力処理を前記 $W / 2$ 回繰り返し実行する第 1 のカウンタと、

前記第 1 のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記 p 番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたときに、前記受けたカウンタ値が前記 p 番目の距離信号に一致するときの前記第 3 のクロック数をカウントし、前記第 2 の一致信号を出力する第 2 の出力処理を前記 $W / 2$ 回繰り返し実行する第 1 の一致検出回路とを含み、

前記第 2 のカウンタ一致検出回路は、

M ビットのビット値を昇順にカウントし、そのカウントしたカウンタ値を順次出力する第 3 の出力処理を前記 $W / 2$ 回繰り返し実行する第 2 のカウンタと、

前記第 2 のカウンタから前記カウンタ値を順次受けるとともに前記距離演算回路から前記 q 番目の距離信号を受け、カウンタ値をクロック信号に同期して昇順にカウントしたと

10

20

30

40

50

きに、前記受けたカウンタ値が前記 q 番目の距離信号に一致するときの前記第 4 のクロック数をカウントし、前記第 3 の一致信号を出力する第 2 の出力処理を前記 $(W/2) - 1$ 回繰り返し実行し、前記第 2 の一致信号を前記 $W/2$ 回受けると、前記受けたカウンタ値が前記 W 番目の距離信号に一致するときの前記第 5 のクロック数をカウントし、前記タイミング信号を前記 Winner 検出器へ出力する第 2 の一致検出回路とを含む、請求項 6 または請求項 7 に記載の連想メモリ。

【請求項 9】

前記第 1 から第 4 のカウンタの各々は、M ビットのカウンタ値を昇順に出力する M 個の分周器からなり、

前記 M ビットのカウンタ値の最下位ビットから最上位ビットへ向かう方向において第 m (m は $1 \leq m \leq M$ を満たす整数) 位のビット値を出力する分周器は、クロック信号を 2^{m-1} 回に分周した信号を出力する、請求項 3 または請求項 8 に記載の連想メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、連想メモリに関するものである。

【背景技術】

【0002】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングを LSI (Large Scale Integrated circuit) 上で実現することにより、将来、人工知能およびモバイル機器等の高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

【0003】

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

【0004】

前者は、CAM (Contents Addressable Memory) と呼ばれ、ネットワークルータの IP アドレステーブルのルーティングおよびプロセッサのキャッシュ等の実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ (Associative Memory) と呼ぶ。

【0005】

連想メモリを実現する手段として (1) デジタル方式による実現方法 (非特許文献 1)、(2) アナログ方式による実現方法および (3) デジタル・アナログ融合方式 (非特許文献 2) 等が提案されている。

【先行技術文献】

【非特許文献】

【0006】

【非特許文献 1】Y. Oike, et al., "A High-Speed and Low-Voltage Associative Co-Processor with Hamming Distance Ordering Using Word-Parallel and Hierarchical Search Architecture," CICC, 2004.

【非特許文献 2】M. A. Abedin, et al., "Nearest-euclidean-distance search associative memory with fully parallel mixed digital-analog match circuitry," Proc. of SSDM2006, pp. 282-283, 2006.

【非特許文献 3】Y. Oike et al., "A Word-Parallel Digital Associative Engine with Wide Search Range Based on Manhattan Distance," CICC, 2004.

【発明の概要】

10

20

30

40

50

【発明が解決しようとする課題】

【0007】

しかし、非特許文献1に記載の連想メモリは、検索データと参照データとのハミング距離を用いて類似検索を行うため、マンハッタン距離を用いて類似検索を行うことが困難であるという問題がある。また、非特許文献2に記載の連想メモリにおいては、検索データと参照データとの類似度を表す距離を電圧に変換するので、誤検索が生じるという問題がある。

【0008】

そこで、この発明は、かかる問題を解決するためになされたものであり、その目的は、マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことが可能な連想メモリを提供することである。

10

【課題を解決するための手段】

【0009】

この発明の実施の形態による連想メモリは、参照データ保存回路と、R個の距離演算回路と、R個の距離/クロック数変換回路と、Winner検出器とを備える。参照データ保存回路は、各々がM×Wビットのビット長を有するR個の参照データを保存する。R個の距離演算回路は、R個の参照データに対応して設けられ、各々がM×Wビットのビット長を有し、かつ、検索対象である検索データと参照データとの距離を表わすR個の距離信号を出力する。R個の距離/クロック数変換回路は、R個の距離演算回路に対応して設けられ、各々が対応する距離演算回路から各々がMビットのビット長を有するW個の距離信号を受け、その受けたW個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントし、そのクロック数をカウントしたタイミングである一致タイミングを示すタイミング信号を出力する。Winner検出器は、R個の距離/クロック数変換回路から受けたR個のタイミング信号に基づいて、一致タイミングが早い順にk個のタイミング信号を検出し、その検出したk個のタイミング信号を検索データと参照データとの類似度を表すマッチ信号として出力する。

20

【発明の効果】

【0010】

この発明の実施の形態による連想メモリにおいては、R個の距離/クロック数変換回路の各々は、対応する距離演算回路から受けたW個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数をカウントし、そのクロック数をカウントしたタイミングである一致タイミングを示すタイミング信号を出力する。即ち、R個の距離/クロック数変換回路の各々は、W個の距離信号の和をクロック信号のクロック数に変換し、その変換したクロック数が得られるタイミングを示すタイミング信号を出力する。その結果、W個の距離信号の和によって表わされる距離が小さければ、タイミング信号は、より早い一致タイミングを示し、W個の距離信号の和によって表わされる距離が大きければ、タイミング信号は、より遅い一致タイミングを示す。また、W個の距離信号の和に一致するカウンタ値が得られるときのクロック信号のクロック数は、W個の距離信号のそれぞれに一致するW個のカウンタ値が得られるときのクロック信号のW個のクロック数を加算した値からなるので、検索データと参照データとの距離をマンハッタン距離によって表わしたときの検索データと参照データとの距離信号に一致するカウンタ値が得られるときのクロック信号のクロック数になる。更に、2つのタイミング信号によって示される2つのタイミングは、クロック信号の少なくとも1周期以上の時間差を有する。更に、クロック信号の周波数を高くすることによって検索時間が短くなる。

30

40

【0011】

従って、この発明の実施の形態によれば、マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことができる。

【図面の簡単な説明】

【0012】

【図1】この発明の実施の形態による連想メモリの構成を示す概略ブロック図である。

50

【図 2】図 1 に示す距離 / クロック数変換回路の構成を示す概略図である。
 【図 3】図 2 に示すカウンタ一致検出回路の構成を示す概略図である。
 【図 4】図 3 に示すカウンタ一致検出回路の動作を説明するための図である。
 【図 5】図 1 に示す距離 / クロック数変換回路の動作を説明するための図である。
 【図 6】図 1 に示す Winner 検出器の動作を説明するための図である。
 【図 7】図 3 に示すカウンタの好ましい構成を示す概略図である。
 【図 8】図 7 に示すカウンタの動作を説明するための図である。
 【図 9】図 1 に示す距離 / クロック数変換回路の別の構成を示す概略図である。
 【図 10】図 1 に示す距離 / クロック数変換回路の更に別の構成を示す概略図である。
 【図 11】図 9 に示す距離 / クロック数変換回路の具体的な構成を示す概略図である。
 【図 12】図 11 に示す距離 / クロック数変換回路の動作を説明するための図である。
 【図 13】図 9 に示す距離 / クロック数変換回路の別の具体的な構成を示す概略図である。

10

【図 14】図 13 に示す距離 / クロック数変換回路の動作を説明するための図である。
 【図 15】図 10 に示す距離 / クロック数変換回路の具体的な構成を示す概略図である。
 【図 16】図 15 に示す距離 / クロック数変換回路の動作を説明するための図である。
 【図 17】図 10 に示す距離 / クロック数変換回路の更に別の具体的な構成を示す概略図である。
 【図 18】図 17 に示す距離 / クロック数変換回路の動作を説明するための図である。
 【図 19】最短検索時間の比較を示す図である。
 【図 20】消費電力の比較を示す図である。

20

【発明を実施するための形態】

【0013】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0014】

図 1 は、この発明の実施の形態による連想メモリの構成を示す概略ブロック図である。図 1 を参照して、この発明の実施の形態 1 による連想メモリ 100 は、メモリアレイ部 10 と、Winner 検出器 20 とを備える。

【0015】

メモリアレイ部 10 は、メモリ部 1 と、行デコーダ 2 と、列デコーダ 3 と、読出 / 書込回路 4 と、検索データ保存回路 5 とを含む。

【0016】

メモリ部 1 は、参照データ保存回路 (Storage Cell: SC) $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ と、距離演算回路 (Distance Processor: DP) $DP_{11} \sim DP_{1W}$, $DP_{21} \sim DP_{2W}$, \dots , $DP_{R1} \sim DP_{RW}$ と、距離 / クロック数変換回路 $DC_1 \sim DC_R$ とを含む。なお、 W および R の各々は、2 以上の整数である。

【0017】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、それぞれ、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に対応して設けられる。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、それぞれ、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に対応して設けられる。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、それぞれ、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に対応して設けられる。

40

【0018】

距離 / クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。距離 / クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ に対応して設けられる。以下、同様にして、距離 / クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ に対応して設けられる。

【0019】

50

参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ は、行デコーダ 2、列デコーダ 3 および読出/書込回路 4 によって書き込まれた参照データを保存する。この場合、参照データ保存回路 $SC_{11} \sim SC_{1W}$ は、 $M \times W$ (M は 1 以上の整数) ビットの参照データ 1 を保存し、参照データ保存回路 $SC_{21} \sim SC_{2W}$ は、 $M \times W$ ビットの参照データ 2 を保存し、以下、同様にして、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ は、 $M \times W$ ビットの参照データ R を保存する。つまり、参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ の各々は、参照データの M ビットを保存する。

【0020】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に保存された $M \times W$ ビットの参照データ 1 と、検索データ保存回路 5 に保存された $M \times W$ ビットの研究データとの距離を後述する方法によって演算する。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に保存された $M \times W$ ビットの参照データ 2 と、検索データ保存回路 5 に保存された $M \times W$ ビットの研究データとの距離を後述する方法によって演算する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に保存された $M \times W$ ビットの参照データ R と、検索データ保存回路 5 に保存された $M \times W$ ビットの研究データとの距離を後述する方法によって演算する。そして、距離演算回路 $DP_{11} \sim DP_{1W}$ 、距離演算回路 $DP_{21} \sim DP_{2W}$ 、 \dots 、および距離演算回路 $DP_{R1} \sim DP_{RW}$ における参照データと検索データとの距離の演算は、並列に行なわれる。

10

20

【0021】

そして、距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ 1 と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_1 へ出力し、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ 2 と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_2 へ出力し、以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ R と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_R へ出力する。

【0022】

距離演算回路 $DP_{11} \sim DP_{1W}$ の各々は、参照データ 1 と検索データとの距離を次式を用いて演算する。

30

【0023】

【数 1】

$$D_{rj} = |In_j - Re_{rj}| \quad \dots \quad (1)$$

【0024】

式 (1) において、 D_{rj} ($r = 1 \sim R$, $j = 1 \sim W$) は、参照データと検索データとの距離であり、 In_j は、検索データであり、 Re_{rj} は、参照データである。そして、各データ In_j , Re_{rj} の各々は、 M ビットからなる。

40

【0025】

このように、距離演算回路 $DP_{11} \sim DP_{1W}$ は、 $M \times W$ ビットの参照データ 1 と、 $M \times W$ ビットの研究データとの距離を M ビットずつ演算し、各々が M ビットのビット長を有する W 個の距離信号 D_{1j} を距離/クロック数変換回路 DC_1 へ出力する。

【0026】

距離演算回路 $DP_{21} \sim DP_{2W}$ 、 \dots および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、それぞれ、式 (1) を用いて参照データ 2 $\sim R$ と検索データとの距離を演算する。そして、距離演算回路 $DP_{21} \sim DP_{2W}$ 、 \dots および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、各々が M ビットのビット長を有する W 個の距離信号 $D_{2j} \sim D_{Rj}$ をそれぞれ距離/クロック数変換回路 $DC_2 \sim DC_R$ へ出力する。

【0027】

50

距離ノック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ から W 個の距離信号 D_{1j} を受け、その受けた W 個の距離信号 D_{1j} の和に一致するクロック信号 CLK のクロック数 CN_total1 を後述する方法によってカウントし、そのクロック数 CN_total1 をカウントしたタイミングを示すタイミング信号 C_1 を $Winner$ 検出器 20 へ出力する。そして、このクロック数 CN_total1 をカウントしたタイミングは、検索データと参照データ 1 との距離に一致する一致タイミングである。

【0028】

また、距離ノック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ から W 個の距離信号 D_{2j} を受け、その受けた W 個の距離信号 D_{2j} の和に一致するクロック信号 CLK のクロック数 CN_total2 を後述する方法によってカウントし、そのクロック数 CN_total2 をカウントしたタイミングを示すタイミング信号 C_2 を $Winner$ 検出器 20 へ出力する。このクロック数 CN_total2 をカウントしたタイミングは、検索データと参照データ 2 とが一致する一致タイミングである。

10

【0029】

以下、同様にして、距離ノック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ から W 個の距離信号 D_{Rj} を受け、その受けた W 個の距離信号 D_{Rj} の和に一致するクロック信号 CLK のクロック数 CN_totalR を後述する方法によってカウントし、そのクロック数 CN_totalR をカウントしたタイミングを示すタイミング信号 C_R を $Winner$ 検出器 20 へ出力する。このクロック数 CN_totalR をカウントしたタイミングは、検索データと参照データ R とが一致する一致タイミングである。

20

【0030】

行デコーダ 2 は、メモリ部 1 の行方向のアドレスを指定する。列デコーダ 3 は、メモリ部 1 の列方向のアドレスを指定する。読出ノ書込回路 4 は、参照データを行デコーダ 2 および列デコーダ 3 によって指定された参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ に書き込むとともに、検索データを検索データ保存回路 5 に書き込む。

【0031】

検索データ保存回路 5 は、読出ノ書込回路 4 によって書き込まれた検索データ ($M \times W$ ビットのデータ) を保存する。

【0032】

$Winner$ 検出器 20 は、タイミング信号 $C_1 \sim C_R$ をそれぞれ距離ノック数変換回路 $DC_1 \sim DC_R$ から受け、その受けたタイミング信号 $C_1 \sim C_R$ のうち、一致タイミングが早い順に k (k は $1 \leq k < R$ を満たす整数) 個のタイミング信号を検出し、その検出した k 個のタイミング信号を検索データと参照データとの類似度を示すマッチ信号 $M_1 \sim M_k$ として出力する。

30

【0033】

図 2 は、図 1 に示す距離ノック数変換回路 DC_1 の構成を示す概略図である。図 2 を参照して、距離ノック数変換回路 DC_1 は、増幅器 21 ~ 2W と、カウンタ一致検出回路 31 ~ 3W とを含む。

【0034】

増幅器 21 は、連想メモリ 100 に内蔵されたクロック発生回路 (図示せず) からクロック信号 CLK を受け、その受けたクロック信号 CLK を増幅して増幅器 22 およびカウンタ一致検出回路 31 へ出力する。

40

【0035】

増幅器 22 は、クロック信号 CLK を増幅器 21 から受け、その受けたクロック信号 CLK を増幅器 23 (図示せず) およびカウンタ一致検出回路 32 へ出力する。

【0036】

以下、同様にして、増幅器 2W は、クロック信号 CLK を増幅器 2W - 1 (図示せず) から受け、その受けたクロック信号 CLK をカウンタ一致検出回路 3W へ出力する。

【0037】

50

カウンタ一致検出回路 3 1 ~ 3 W は、それぞれ、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。そして、カウンタ一致検出回路 3 1 ~ 3 W は、直列に接続される。

【0038】

カウンタ一致検出回路 3 1 は、増幅器 2 1 からクロック信号 CLK を受け、連想メモリ 1 0 0 の制御回路（図示せず）から検索開始信号 SB を受け、距離演算回路 DP_{11} から M ビットのビット長を有する距離信号 D_{11} を受ける。カウンタ一致検出回路 3 1 は、検索開始信号 SB が L（論理ロー）レベルから H（論理ハイ）レベルに切り替わると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{11} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数をカウントする。そして、カウンタ一致検出回路 3 1 は、そのクロック数をカウントしたタイミングを示す一致信号 MTH 1 をクロック信号 CLK に同期してカウンタ一致検出回路 3 2 へ出力する。カウンタ一致検出回路 3 1 は、一致信号 MTH 1 を出力すると、動作を停止する。

10

【0039】

カウンタ一致検出回路 3 2 は、増幅器 2 2 からクロック信号 CLK を受け、カウンタ一致検出回路 3 1 から一致信号 MTH 1 を受け、距離演算回路 DP_{12} から M ビットのビット長を有する距離信号 D_{12} を受ける。カウンタ一致検出回路 3 2 は、カウンタ一致検出回路 3 1 から一致信号 MTH 1 を受けるまで動作を停止している。カウンタ一致検出回路 3 2 は、カウンタ一致検出回路 3 1 から一致信号 MTH 1 を受けると駆動され、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{12} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数をカウントする。そして、カウンタ一致検出回路 3 2 は、そのクロック数をカウントしたタイミングを示す一致信号 MTH 2 をクロック信号 CLK に同期してカウンタ一致検出回路 3 3（図示せず）へ出力する。カウンタ一致検出回路 3 2 は、一致信号 MTH 2 を出力すると、動作を停止する。

20

【0040】

以下、同様にして、カウンタ一致検出回路 3 W は、増幅器 2 W からクロック信号 CLK を受け、カウンタ一致検出回路 3 W - 1 から一致信号 MTH W - 1 を受け、距離演算回路 DP_{1W} から M ビットのビット長を有する距離信号 D_{1W} を受ける。カウンタ一致検出回路 3 W は、カウンタ一致検出回路 3 W - 1 から一致信号 MTH W - 1 を受けるまで動作を停止している。カウンタ一致検出回路 3 W は、カウンタ一致検出回路 3 W - 1 から一致信号 MTH W - 1 を受けると駆動され、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{1W} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数をカウントする。そして、カウンタ一致検出回路 3 W は、そのクロック数をカウントしたタイミングを示す一致信号 MTH W をタイミング信号 C_1 としてクロック信号 CLK に同期して Winner 検出器 2 0 へ出力する。カウンタ一致検出回路 3 W は、タイミング信号 C_1 を出力すると、動作を停止する。

30

【0041】

なお、図 1 に示す距離 / クロック数変換回路 $DC_2 \sim DC_R$ の各々も、図 2 に示す距離 / クロック数変換回路 DC_1 と同じ構成からなる。

【0042】

図 3 は、図 2 に示すカウンタ一致検出回路 3 1 の構成を示す概略図である。図 3 を参照して、カウンタ一致検出回路 3 1 は、カウンタ 3 1 1 と、一致検出回路 3 1 2 とを含む。

40

【0043】

カウンタ 3 1 1 は、増幅器 2 1 からクロック信号 CLK を受け、連想メモリ 1 0 0 の制御回路（図示せず）からリセット信号 RST を受ける。カウンタ 3 1 1 は、リセット信号 RST を受けると、カウンタ値をリセットし、M ビットのビット値をクロック信号 CLK に同期して昇順にカウントする。そして、カウンタ 3 1 1 は、そのカウントしたカウンタ値 CV_{11} をクロック信号 CLK に同期して一致検出回路 3 1 2 へ順次出力する。

【0044】

一致検出回路 3 1 2 は、増幅器 2 1 からクロック信号 CLK を受け、連想メモリ 1 0 0

50

の制御回路（図示せず）から検索開始信号 $S B$ を受け、カウンタ 311 からカウンタ値 $C V_{11}$ を順次受け、距離演算回路 $D P_{11}$ から距離信号 D_{11} を受ける。

【0045】

一致検出回路 312 は、検索開始信号 $S B$ が L レベルから H レベルに切り替わると、距離信号 D_{11} に一致するカウンタ値 $C V_{11}$ が得られるときのクロック信号 $C L K$ のクロック数をカウントする。そして、一致検出回路 312 は、そのクロック数をカウントしたタイミングを示す一致信号 $M T H 1$ をカウンタ一致検出回路 32 へ出力する。

【0046】

一致検出回路 312 は、一致信号 $M T H 1$ を出力すると、動作を停止する。

【0047】

なお、図2に示すカウンタ一致検出回路 $32 \sim 3W$ の各々も、図3に示すカウンタ一致検出回路 31 と同じ構成からなる。この場合、カウンタ一致検出回路 $32 \sim 3W$ の一致検出回路 312 は、それぞれ、カウンタ一致検出回路 $31 \sim 3W - 1$ の一致検出回路 312 から一致信号 $M T H 1 \sim M T H W - 1$ を受けるまで動作を停止し、一致信号 $M T H 1 \sim M T H W - 1$ を受けると駆動され、動作を開始する。

【0048】

図4は、図3に示すカウンタ一致検出回路 31 の動作を説明するための図である。なお、図4においては、カウンタ値 $C V_{11}$ および距離信号 D_{11} の各々が3ビットである場合を例にしてカウンタ一致検出回路 31 の動作を説明する。また、距離信号 D_{11} は、“011”からなるものとする。

【0049】

図4を参照して、カウンタ一致検出回路 31 のカウンタ 311 は、連想メモリ 100 の制御回路からリセット信号 $R S T$ を受けると、カウント数をリセットし、クロック信号 $C L K$ の連続する周期 $T 1, T 2, T 3, T 4$ に同期して、それぞれ、“000”, “001”, “010”, “011”のビット値を順次カウントし、そのカウントした“000”, “001”, “010”, “011”のカウンタ値 $C V_{11}$ を一致検出回路 312 へ順次出力する。

【0050】

そして、一致検出回路 312 は、距離演算回路 $D P_{11}$ から“011”の距離信号 D_{11} を受け、クロック信号 $C L K$ の周期 $T 1$ に同期して“000”のカウンタ値 $C V_{11}$ をカウンタ 311 から受けると、タイミング $t 1$ において“0”のクロック数をカウントし、“0”のクロック数において、“000”のカウンタ値 $C V_{11}$ が“011”の距離信号 D_{11} に一致しないことを検出する。

【0051】

そして、一致検出回路 312 は、クロック信号 $C L K$ の周期 $T 1$ の次の周期 $T 2$ に同期して“001”のカウンタ値 $C V_{11}$ をカウンタ 311 から受けると、タイミング $t 2$ において“1”のクロック数をカウントし、“1”のクロック数において、“001”のカウンタ値 $C V_{11}$ が“011”の距離信号 D_{11} に一致しないことを検出する。

【0052】

また、一致検出回路 312 は、クロック信号 $C L K$ の周期 $T 2$ の次の周期 $T 3$ に同期して“010”のカウンタ値 $C V_{11}$ をカウンタ 311 から受けると、タイミング $t 3$ において“2”のクロック数をカウントし、“2”のクロック数において、“010”のカウンタ値 $C V_{11}$ が“011”の距離信号 D_{11} に一致しないことを検出する。

【0053】

更に、一致検出回路 312 は、クロック信号 $C L K$ の周期 $T 3$ の次の周期 $T 4$ に同期して“011”のカウンタ値 $C V_{11}$ をカウンタ 311 から受けると、タイミング $t 4$ において“3”のクロック数をカウントし、“3”のクロック数において、“011”のカウンタ値 $C V_{11}$ が“011”の距離信号 D_{11} に一致することを検出する。そして、一致検出回路 312 は、“011”の距離信号 D_{11} に一致する“011”のカウンタ値 $C V_{11}$ が得られるときのクロック信号 $C L K$ のクロック数 (= “3”) をカウントしたタイ

10

20

30

40

50

ミング t_4 を示す一致信号 MTH_1 をカウンタ一致検出回路 32 および連想メモリ 100 の制御回路へ出力する。その後、一致検出回路 312 は、図 4 において、“4”，“5” のクロック数において、“011” のカウンタ値が保持されているように、動作を停止する。

【0054】

この場合、カウンタ一致検出回路 31 は、タイミング t_1 において“0” のクロック数をカウントしてからタイミング t_4 において“3” のクロック数をカウントして一致信号 MTH_1 を出力するまでに、タイミング t_1 からタイミング t_4 までの時間 ($= t_4 - t_1$) を要する。

【0055】

なお、図 2 に示すカウンタ一致検出回路 32 ~ 3W - 1 の各々において、カウンタ 311 は、連想メモリ 100 の制御回路からリセット信号 RST を受けるまで動作を停止し、連想メモリ 100 の制御回路からリセット信号 RST を受けると、“000”，“001”，“010”，“011”，・・・のビット値を順次カウントし、そのカウントした“000”，“001”，“010”，“011”，・・・のカウンタ値 ($=$ 各カウンタ値 $CV_{12} \sim CV_{1W-1}$) を一致検出回路 312 へ順次出力する。

【0056】

カウンタ一致検出回路 32 ~ 3W - 1 の一致検出回路 312 は、それぞれ、カウンタ一致検出回路 31 ~ 3W - 2 の一致検出回路 312 から一致信号 $MTH_1 \sim MTH_{W-2}$ を受けるまで動作を停止し、一致信号 $MTH_1 \sim MTH_{W-2}$ を受けると、カウンタ値 $CV_{12} \sim CV_{1W-1}$ がそれぞれ距離信号 $D_{12} \sim D_{1W-1}$ に一致するときのクロック信号 CLK のクロック数をカウントし、そのクロック数をカウントしたタイミングを示す一致信号 $MTH_2 \sim MTH_{W-1}$ をそれぞれカウンタ一致検出回路 33 ~ 3W および連想メモリ 100 の制御回路へ出力する。そして、カウンタ一致検出回路 32 ~ 3W - 1 の一致検出回路 312 は、動作を停止する。

【0057】

また、カウンタ一致検出回路 3W のカウンタ 311 は、連想メモリ 100 の制御回路からリセット信号 RST を受けるまで動作を停止し、連想メモリ 100 の制御回路からリセット信号 RST を受けると、“000”，“001”，“010”，“011”，・・・のビット値を順次カウントし、そのカウントした“000”，“001”，“010”，“011”，・・・のカウンタ値 CV_{1W} を一致検出回路 312 へ順次出力する。

【0058】

カウンタ一致検出回路 3W の一致検出回路 312 は、カウンタ一致検出回路 3W - 1 の一致検出回路 312 から一致信号 MTH_{W-1} を受けるまで動作を停止し、一致信号 MTH_{W-1} を受けると、カウンタ値 CV_{1W} が距離信号 D_{1W} に一致するときのクロック信号 CLK のクロック数をカウントし、そのクロック数をカウントしたタイミングを示すタイミング信号 (各タイミング信号 $C_1 \sim C_R$) を $Winner$ 検出器 20 および連想メモリ 100 の制御回路へ出力する。そして、カウンタ一致検出回路 3W の一致検出回路 312 は、動作を停止する。

【0059】

連想メモリ 100 の制御回路は、カウンタ一致検出回路 31 ~ 3W - 1 からそれぞれ一致信号 $MTH_1 \sim MTH_{W-1}$ を受けると、リセット信号 RST をそれぞれカウンタ一致検出回路 32 ~ 3W へ出力する。また、連想メモリ 100 の制御回路は、カウンタ一致検出回路 3W からタイミング信号 C_1 を受けると、リセット信号 RST をカウンタ一致検出回路 31 ~ 3W へ出力する。

【0060】

図 5 は、図 1 に示す距離 / クロック数変換回路 DC_1 の動作を説明するための図である。なお、図 5 においては、距離 / クロック数変換回路 DC_1 が 2 つのカウンタ一致検出回路 31, 32 からなる場合を例にして距離 / クロック数変換回路 DC_1 の動作を説明する。また、距離信号 D_{11} が“3” からなり、距離信号 D_{12} が“5” からなることを前提

10

20

30

40

50

とする。

【0061】

図5を参照して、距離演算回路 DP_{11} は、検索データと参照データ SC_{11} との距離を式(1)に従って演算し、距離信号 D_{11} (="011")をカウンタ一致検出回路31へ出力する。また、距離演算回路 DP_{12} は、検索データと参照データ SC_{12} との距離を式(1)に従って演算し、距離信号 D_{12} (="101")をカウンタ一致検出回路32へ出力する。

【0062】

カウンタ一致検出回路31は、距離演算回路 DP_{11} から距離信号 D_{11} (="011")を受け、連想メモリ100の制御回路からリセット信号 RST および検索開始信号 SB を受けると、上述した方法によって、カウンタ値 CV_{11} が距離信号 D_{11} (="011")に一致するときのクロック信号 CLK のクロック数(="3")をカウントし、"3"のクロック数をカウントしたタイミングを示す一致信号 $MTH1$ をカウンタ一致検出回路32および連想メモリ100の制御回路へ出力する。そして、カウンタ一致検出回路31は、動作を停止する。

10

【0063】

カウンタ一致検出回路32は、距離演算回路 DP_{12} から距離信号 D_{12} (="101")を受け、連想メモリ100の制御回路からリセット信号 RST を受けると、カウンタ一致検出回路32は、"3"のクロック数が得られたタイミングでカウンタ一致検出回路31から一致信号 $MTH1$ を受けると、動作を開始し、距離信号 D_{12} (="101")に一致するカウンタ値 CV_{12} (="101")が得られるときのクロック信号 CLK のクロック数(="5")をカウントし、"5"のクロック数をカウントしたタイミングでカウンタ値 CV_{12} (="101")が距離信号 D_{12} (="101")に一致することを検出する。

20

【0064】

そうすると、カウンタ一致検出回路32は、"5"のクロック数をカウントしたタイミングを示すタイミング信号 C_1 をWinner検出器20および連想メモリ100の制御回路へ出力する。そして、カウンタ一致検出回路32は、動作を停止する。

【0065】

このように、カウンタ一致検出回路32は、カウンタ一致検出回路31による"3"のクロック数のカウントが完了した後に、"5"のクロック数をカウントしたタイミングで"5"のクロック数をカウントしたタイミングを示すタイミング信号 C_1 を出力する。従って、カウンタ一致検出回路32は、カウンタ一致検出回路31によるクロック数のカウント開始から"3"+"5"="8"のクロック数をカウントするまでの時間が経過したタイミングで"5"のクロック数をカウントしたタイミングを示すタイミング信号 C_1 を出力する。即ち、カウンタ一致検出回路32は、"3"の距離信号と"5"の距離信号との和である"8"の距離信号に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数をカウントし、そのクロック数をカウントしたタイミングを示すタイミング信号 C_1 を出力する。

30

【0066】

2つのカウンタ一致検出回路31, 32が全体でカウントする"8"のクロック数は、カウンタ一致検出回路31がカウントする"3"のクロック数と、カウンタ一致検出回路32がカウントする"5"のクロック数とを加算したものである。このことは、カウンタ一致検出回路32が、カウンタ一致検出回路31において"3"のクロック数がカウントされたタイミングでカウンタ一致検出回路31から一致信号 $MTH1$ を受けると、距離信号 D_{12} に一致するカウンタ値 CV_{12} が得られるときのクロック数をカウントする動作を開始することからも明らかである(図5参照)。

40

【0067】

その結果、2つのカウンタ一致検出回路31, 32が全体で"8"のクロック数をカウントすることは、距離"3"と距離"5"との和(="8")に一致するカウンタ値が得

50

られるときのクロック信号CLKのクロック数をカウントすることに相当する。

【0068】

距離/クロック数変換回路DC₁は、一般的に、W個の距離信号D₁₁~D_{1W}を受け
る。そして、W個の距離信号D₁₁~D_{1W}の各々は、Mビットのビット長を有する。従
って、距離/クロック数変換回路DC₁は、M×Wビットのビット長を有する距離信号D
₁₁D₁₂・・・・D_{1W}を受ける。

【0069】

そして、距離/クロック数変換回路DC₁において、カウンター一致検出回路31~3W
は、それぞれ、距離信号D₁₁~D_{1W}にそれぞれ一致するカウンタ値CV₁₁~CV<sub>1
W</sub>が得られるときのクロック信号CLKのクロック数CN1~CNWをカウントする。また、
カウンター一致検出回路32~3Wは、それぞれ、カウンター一致検出回路31~3W-
1から一致信号MTH2~MTHW-1を受けた後に、距離信号D₁₂~D_{1W}にそれぞ
れ一致するカウンタ値CV₁₂~CV_{1W}が得られるときのクロック信号CLKのクロッ
ク数CN2~CNWのカウントを開始する。

10

【0070】

その結果、距離/クロック数変換回路DC₁がカウントするクロック数CN__total
は、クロック数CN1~CNWの和に等しい。そうすると、クロック数CN1~CNW
は、それぞれ、距離信号D₁₁~D_{1W}を表わすので、クロック数CN__totalは、
距離信号D₁₁~D_{1W}の和を表わす。

【0071】

一方、マンハッタン距離n_Mは、次式によって表わされる。

20

【0072】

【数2】

$$n_M = \sum_{j=1}^W |In_j - Re_j| \cdot \dots \quad (2)$$

【0073】

式(2)の右辺の|In_j-Re_j|は、式(1)の右辺の|In_j-Re_{rj}|にお
いて、1つの行(rによって表わされる)における検索データと参照データとの距離|I
n_j-Re_j|に一致する。

30

【0074】

従って、マンハッタン距離n_Mは、式(1)によって演算した距離をW個の距離につい
て加算したものに等しい。

【0075】

そうすると、距離/クロック数変換回路DC₁がクロック数CN__totalをカウン
トしたタイミングを示すタイミング信号C₁を出力することは、マンハッタン距離n_M
によって検索データに類似する参照データを検索し、検索データに類似する参照デー
タを検出したことを示すWinner信号を出力することに相当する。

【0076】

なお、距離/クロック数変換回路DC₂~DC_Rの各々も、図5において説明した距離
/クロック数変換回路DC₁の動作と同じ動作によって、それぞれ、タイミング信号C₂
~C_Rを出力する。

40

【0077】

図6は、図1に示すWinner検出器20の動作を説明するための図である。図6を
参照して、距離/クロック数変換回路DC₁~DC_Rは、それぞれ、タイミング信号C₁
~C_Rをクロック信号CLKに同期してWinner検出器20へ出力する。

【0078】

Winner検出器20は、タイミング信号C₁~C_Rを受け、その受けたタイミング
信号C₁~C_Rの立ち上がりタイミングt₁~t_Rを検出する。そして、Winner検
出器20は、立ち上がりタイミングt₁~t_Rが早い順にk個のタイミング信号C'₁~

50

C'_k を検出する。そうすると、Winner 検出器 20 は、タイミング信号 $C'_1 \sim C'_k$ をマッチ信号 $M_1 \sim M_k$ として出力する。

【0079】

例えば、2個のマッチ信号 M_1, M_2 を検出する場合、Winner 検出器 20 は、タイミング信号 $C_1 \sim C_R$ のうち、立ち上がりタイミングが早い順に2個のタイミング信号 C_1, C_3 を検出し、その検出したタイミング信号 C_1, C_3 をマッチ信号 M_1, M_2 として出力する。

【0080】

なお、 $k = 2$ 以外の k 個のタイミング信号 $C'_1 \sim C'_k$ を検出する場合も、Winner 検出器 20 は、同様にして、 k 個のタイミング信号 $C'_1 \sim C'_k$ を検出し、その検出した k 個のタイミング信号 $C'_1 \sim C'_k$ をマッチ信号 $M_1 \sim M_k$ として出力する。

10

【0081】

$k = 1$ である場合、Winner 検出器 20 は、検索データに最も類似する参照データに対応するタイミング信号（タイミング信号 $C_1 \sim C_R$ のいずれか）をマッチ信号 M_1 として出力する。

【0082】

また、 $k = 1$ である場合、Winner 検出器 20 は、検索データに類似する k 個の参照データに対応する k 個のタイミング信号 $C'_1 \sim C'_k$ をマッチ信号 $M_1 \sim M_k$ として出力する。この場合、 k 個のタイミング信号 $C'_1 \sim C'_k$ において、 k 個の立ち上がりタイミングは、相互に、少なくともクロック信号 CLK の1周期分だけ異なるので、立ち上がりタイミングの早い順に k 個のタイミング信号 $C'_1 \sim C'_k$ を正確に検出できる。つまり、連想メモリ 100 は、検索データに類似する k 個の参照データを正確に検索できる。

20

【0083】

また、距離/クロック数変換回路 $DC_1 \sim DC_R$ の動作は、クロック信号 CLK に同期して実行されるので、クロック信号 CLK の周波数を高くすることによって、連想メモリ 100 の動作を高速にできる。

【0084】

従って、連想メモリ 100 は、マンハッタン距離を用いた場合にも、正確、かつ、高速に類似検索を行うことができる。

30

【0085】

図7は、図3に示すカウンタ 311 の好ましい構成を示す概略図である。この発明の実施の形態においては、カウンタ 311 は、好ましくは、図7に示すカウンタ 311A となる。

【0086】

図7を参照して、カウンタ 311A は、分周器 $311-1 \sim 311-M$ を含む。分周器 $311-1$ は、 M ビットの距離信号（= 距離信号 $D_{11} \sim D_{1W}, D_{21} \sim D_{2W}, \dots, D_{R1} \sim D_{RW}$ の各々）の最下位ビットに対応して設けられる。分周器 $311-2$ は、 M ビットの距離信号（= 距離信号 $D_{11} \sim D_{1W}, D_{21} \sim D_{2W}, \dots, D_{R1} \sim D_{RW}$ の各々）の第2位ビットに対応して設けられる。以下、同様にして、分周器 $311-M$ は、 M ビットの距離信号（= 距離信号 $D_{11} \sim D_{1W}, D_{21} \sim D_{2W}, \dots, D_{R1} \sim D_{RW}$ の各々）の最上位ビットに対応して設けられる。

40

【0087】

分周器 $311-1$ は、クロック信号 CLK を 2^0 回分周し、その分周した分周信号 DV_1 を一致検出回路 312 へ出力する。分周器 $311-2$ は、クロック信号 CLK を 2^1 回分周し、その分周した分周信号 DV_2 を一致検出回路 312 へ出力する。以下、同様にして、分周器 $311-M$ は、クロック信号 CLK を 2^{M-1} 回分周し、その分周した分周信号 DV_M を一致検出回路 312 へ出力する。

【0088】

図8は、図7に示すカウンタ 311A の動作を説明するための図である。なお、図8に

50

おいては、カウンタ 3 1 1 A が 4 個の分周器 3 1 1 - 1 ~ 3 1 1 - 4 からなる場合を例にしてカウンタ 3 1 1 A の動作を説明する。

【 0 0 8 9 】

図 8 を参照して、分周器 3 1 1 - 1 は、クロック信号 C L K を 2^0 回分周し、その分周した分周信号 $D V_1$ を一致検出回路 3 1 2 へ出力する。分周器 3 1 1 - 2 は、クロック信号 C L K を 2^1 回分周し、その分周した分周信号 $D V_2$ を一致検出回路 3 1 2 へ出力する。分周器 3 1 1 - 3 は、クロック信号 C L K を 2^2 回分周し、その分周した分周信号 $D V_3$ を一致検出回路 3 1 2 へ出力する。分周器 3 1 1 - 4 は、クロック信号 C L K を 2^3 回分周し、その分周した分周信号 $D V_4$ を一致検出回路 3 1 2 へ出力する。

【 0 0 9 0 】

その結果、4 個の分周器 3 1 1 - 1 ~ 3 1 1 - 4 は、最初に、“ 0 0 0 0 ” のカウンタ値を出力し、2 番目に、“ 0 0 0 1 ” のカウンタ値を出力し、3 番目に、“ 0 0 1 0 ” のカウンタ値を出力し、以下、同様にして、15 番目に、“ 1 1 1 0 ” のカウンタ値を出力し、最後に、“ 1 1 1 1 ” のカウンタ値を出力する。

【 0 0 9 1 】

カウンタ 3 1 1 A は、4 ビット以外のカウンタ値を出力する場合も、M 個の分周器 3 1 1 - 1 ~ 3 1 1 - M によって構成され、M 個の分周器 3 1 1 - 1 ~ 3 1 1 - M は、図 8 に示す態様と同じ態様で、それぞれ、クロック信号 C L K を 2^0 回、 2^1 回、 2^2 回、 \dots 、 2^{M-1} 回分周し、その分周した分周信号 $D V_1 \sim D V_M$ を出力する。その結果、カウンタ 3 1 1 A は、M ビットのカウンタ値を “ $0_1 0_2 0_3 \dots 0_M$ ” , “ $0_1 0_2 0_3 \dots 1_M$ ” , \dots , “ $1_1 1_2 1_3 \dots 1_M$ ” の順で出力する。

【 0 0 9 2 】

従って、分周器 3 1 1 - 1 ~ 3 1 1 - M のうち、M ビットのカウンタ値の最下位ビットから最上位ビットへ向かう方向において第 m (m は $1 \leq m \leq M$ を満たす整数) 位のビット値を出力する分周器は、クロック信号 C L K を 2^{m-1} 回に分周した信号を出力する。

【 0 0 9 3 】

このように、カウンタ 3 1 1 A を分周器 3 1 1 - 1 ~ 3 1 1 - M によって構成することによって、通常のカウンタに比べて、回路サイズを小さくでき、消費電力を低減できる。

【 0 0 9 4 】

カウンタ一致検出回路 3 1 ~ 3 W のカウンタ 3 1 1 が図 7 に示すカウンタ 3 1 1 A からなっている場合も、距離 / クロック数変換回路 $D C_1 \sim D C_R$ は、上述した方法によって、それぞれ、 $M \times W$ ビットのビット長を有する距離信号 $D_{11} \sim D_{1W}$, $D_{21} \sim D_{2W}$, \dots , $D_{R1} \sim D_{RW}$ の和にそれぞれ一致するクロック数 $C N_{total1} \sim C N_{totalR}$ をカウントしたタイミングを示すタイミング信号 $C_1 \sim C_R$ を Winner 検出器 2 0 へ出力する。

【 0 0 9 5 】

上述したように、距離 / クロック数変換回路 $D C_1 \sim D C_R$ の各々は、図 2 に示すように、直列に接続された W 個のカウンタ一致検出回路 3 1 ~ 3 W からなる。

【 0 0 9 6 】

$W = 2$ である場合、距離 / クロック数変換回路 $D C_1 \sim D C_R$ の各々は、カウンタ一致検出回路 3 1 , 3 2 からなる。この場合、距離演算回路 $D P_{11} \sim D P_{1W}$ は、距離演算回路 $D P_{11}$, $D P_{12}$ からなり、距離信号 $D_{11} \sim D_{1W}$ は、距離信号 D_{11} , D_{12} からなる。

【 0 0 9 7 】

そして、カウンタ一致検出回路 3 1 は、距離信号 D_{11} , D_{12} を一列に配列したときの一方端の距離信号である 1 番目の距離信号 D_{11} に対応して設けられ、1 番目の距離信号 D_{11} を距離演算回路 $D P_{11}$ から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、その受けた 1 番目の距離信号 D_{11} に一致するカウンタ値が得られるときのクロック数 $C N_1$ をカウントし、クロック数 $C N_1$ をカウントしたタイミングを示す一致信号 M T H 1 を出力する。

10

20

30

40

50

【 0 0 9 8 】

また、カウンター一致検出回路 3 2 は、距離信号 D_{11} 、 D_{12} を一列に配列したときの一方端から W 番目 (= 2 番目) の距離信号である W 番目 (= 2 番目) の距離信号 D_{12} に対応して設けられ、カウンター一致検出回路 3 1 から一致信号 $MTH1$ を受けると駆動されるとともに W 番目 (= 2 番目) の距離信号 D_{12} を距離演算回路 DP_{12} から受け、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、その受けた W 番目 (= 2 番目) の距離信号 D_{12} に一致するカウンタ値が得られるときのクロック数 $CN2$ をカウントし、クロック数 $CN2$ をカウントしたタイミングを示すタイミング信号 C_1 を $Winner$ 検出器 20 へ出力する。

【 0 0 9 9 】

この場合、カウンター一致検出回路 3 1 は、「第 1 のカウンター一致検出回路」を構成し、カウンター一致検出回路 3 2 は、「第 2 のカウンター一致検出回路」を構成する。

【 0 1 0 0 】

また、 $W = 3$ 以上である場合、距離 / クロック数変換回路 $DC_1 \sim DC_R$ の各々は、カウンター一致検出回路 3 1 ~ 3 W からなる。

【 0 1 0 1 】

そして、カウンター一致検出回路 3 1 は、距離信号 $D_{11} \sim D_{1W}$ を一列に配列したときの一方端の距離信号である 1 番目の距離信号 D_{11} に対応して設けられ、1 番目の距離信号 D_{11} を距離演算回路 DP_{11} から受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、その受けた 1 番目の距離信号 D_{11} に一致するカウンタ値が得られるときのクロック数 $CN1$ をカウントし、クロック数 $CN1$ をカウントしたタイミングを示す一致信号 $MTH1$ を出力する。

【 0 1 0 2 】

また、カウンター一致検出回路 3 2 ~ 3 $W - 1$ は、2 番目の距離信号 D_{12} から $W - 1$ 番目の距離信号 D_{1W-1} までの $W - 2$ 個の距離信号 $D_{12} \sim D_{1W-1}$ に対応して設けられる。そして、カウンター一致検出回路 3 2 ~ 3 $W - 1$ の各々は、カウンター一致検出回路 3 1 または $w - 1$ (w は $2 \leq w \leq W - 1$ を満たす整数) 番目の距離信号に対応して設けられたカウンター一致検出回路 3 2 ~ 3 $W - 2$ から 1 番目または $w - 1$ 番目の距離信号に対応して設けられたカウンター一致検出回路 3 1 ~ 3 $W - 2$ から 1 番目または w 番目の距離信号に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数をカウントしたタイミングを示す一致信号 $MTH1 \sim MTH_{3W-2}$ を受けると駆動されるとともに w 番目の距離信号 (= 距離信号 $D_{12} \sim D_{1W-1}$ のいずれか) を受け、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、 w 番目の距離信号 (= 距離信号 $D_{12} \sim D_{1W-1}$ のいずれか) に一致するカウンタ値が得られるときのクロック数 $CN3$ をカウントし、クロック数 $CN3$ をカウントしたタイミングを示す一致信号 (= 一致信号 $MTH2 \sim MTH_{W-1}$ のいずれか) を出力する。

【 0 1 0 3 】

更に、カウンター一致検出回路 3 W は、 W 番目の距離信号 D_{1W} に対応して設けられ、 $W - 1$ 番目の距離信号に対応して設けられたカウンター一致検出回路 3 $W - 1$ から一致信号 MTH_{W-1} を受けると駆動されるとともに W 番目の距離信号 D_{1W} を受け、カウンター一致検出回路 3 $W - 1$ から一致信号 MTH_{3W-1} を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、 W 番目の距離信号 D_{1W} に一致するカウンタ値が得られるときのクロック数 $CN4$ をカウントし、クロック数 $CN4$ をカウントしたタイミングを示すタイミング信号 C_1 を $Winner$ 検出器 20 へ出力する。

【 0 1 0 4 】

この場合、カウンター一致検出回路 3 1 は、「第 1 のカウンター一致検出回路」を構成し、カウンター一致検出回路 3 2 ~ 3 $W - 1$ は、「 $W - 2$ 個の第 3 のカウンター一致検出回路」を構成し、カウンター一致検出回路 3 W は、「第 4 のカウンター一致検出回路」を構成する。

【 0 1 0 5 】

図 9 は、図 1 に示す距離 / クロック数変換回路 $DC_1 \sim DC_R$ の別の構成を示す概略図

10

20

30

40

50

である。

【0106】

この発明の実施の形態においては、距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々は、図9に示す距離/クロック数変換回路 DC'_1 からなってもよい。この場合、 $W = 2^i$ (i は2以上の整数) である。

【0107】

図9を参照して、距離/クロック数変換回路 DC'_1 は、増幅器 $4_1 \sim 4_L$ と、カウンタ一致検出回路 $5_1 \sim 5_L$ とを含む。ここで、 $L = W/s$ (s は、 W 以下の 2^x を満たす整数、 x は、正の整数) である。

【0108】

増幅器 4_1 は、連想メモリ 100 に内蔵されたクロック発生回路 (図示せず) からクロック信号 CLK を受け、その受けたクロック信号 CLK を増幅して増幅器 4_2 およびカウンタ一致検出回路 5_1 へ出力する。

【0109】

増幅器 4_2 は、クロック信号 CLK を増幅器 4_1 から受け、その受けたクロック信号 CLK を増幅して増幅器 4_3 (図示せず) およびカウンタ一致検出回路 5_2 へ出力する。

【0110】

以下、同様にして、増幅器 4_L は、クロック信号 CLK を増幅器 4_{L-1} (図示せず) から受け、その受けたクロック信号 CLK を増幅してカウンタ一致検出回路 5_L へ出力する。

【0111】

カウンタ一致検出回路 $5_1, 5_2, \dots, 5_L$ は、それぞれ、 s 個の距離演算回路 $DP_{11}, DP_{1(1+L)}, \dots, DP_{1(1+(u-1)L)}$ 、 s 個の距離演算回路 $DP_{12}, DP_{1(2+L)}, \dots, DP_{1(2+(u-1)L)}$ 、 \dots 、 s 個の距離演算回路 $DP_{1L}, DP_{1(L+L)}, \dots, DP_{1(L+(u-1)L)}$ に対応して設けられる。なお、 u は、 $1, 2, 3, \dots, s$ である。

【0112】

そして、カウンタ一致検出回路 $5_1 \sim 5_L$ は、直列に接続される。また、カウンタ一致検出回路 $5_1 \sim 5_L$ の各々は、図3に示すカウンタ一致検出回路 3_1 と同じ構成からなる。この場合、カウンタ一致検出回路 $5_1 \sim 5_L$ の各々は、図3に示すカウンタ 3_1 または図7に示すカウンタ 3_1A を含む。

【0113】

カウンタ一致検出回路 5_1 は、増幅器 4_1 からクロック信号 CLK を受け、連想メモリ 100 の制御回路 (図示せず) から検索開始信号 SB を受け、距離演算回路 $DP_{11}, DP_{1(1+L)}, \dots, DP_{1(1+(u-1)L)}$ からそれぞれ距離信号 $D_{11}, D_{1(1+L)}, \dots, D_{1(1+(u-1)L)}$ を受ける。

【0114】

カウンタ一致検出回路 5_1 は、距離信号 $D_{11}, D_{1(1+L)}, \dots, D_{1(1+(u-1)L)}$ を受け、検索開始信号 SB が L レベルから H レベルに切り替わると、上述した方法によって、距離信号 $D_{11}, D_{1(1+L)}, \dots, D_{1(1+(u-1)L)}$ の和に一致するカウンタ値 CV_{11} が得られるときのクロック信号 CLK のクロック数 CN_{11} をカウントする。そして、カウンタ一致検出回路 5_1 は、クロック数 CN_{11} をカウントしたタイミングを示す一致信号 MTH_1 をクロック信号 CLK に同期してカウンタ一致検出回路 5_2 へ出力する。その後、カウンタ一致検出回路 5_1 は、動作を停止する。

【0115】

また、カウンタ一致検出回路 5_2 は、増幅器 4_2 からクロック信号 CLK を受け、カウンタ一致検出回路 5_1 から一致信号 MTH_1 を受け、距離演算回路 $DP_{12}, DP_{1(2+L)}, \dots, DP_{1(2+(u-1)L)}$ からそれぞれ距離信号 $D_{12}, D_{1(2+L)}, \dots, D_{1(2+(u-1)L)}$ を受ける。

10

20

30

40

50

【0116】

カウンタ一致検出回路52は、距離信号 $D_{12}, D_{1(2+L)}, \dots, D_{1(2+(u-1)L)}$ を受け、一致信号MTH1を受けると、上述した方法によって、距離信号 $D_{12}, D_{1(2+L)}, \dots, D_{1(2+(u-1)L)}$ の和に一致するカウンタ値 CV_{12} が得られるときのクロック信号CLKのクロック数 CN_2 をカウントする。そして、カウンタ一致検出回路52は、クロック数 CN_2 をカウントしたタイミングを示す一致信号MTH2をクロック信号CLKに同期してカウンタ一致検出回路53へ出力する。その後、カウンタ一致検出回路52は、動作を停止する。

【0117】

以下、同様にして、カウンタ一致検出回路5Lは、増幅器4Lからクロック信号CLKを受け、カウンタ一致検出回路5L-1から一致信号MTHL-1を受け、距離演算回路 $DP_{1L}, DP_{1(L+L)}, \dots, DP_{1(L+(u-1)L)}$ からそれぞれ距離信号 $D_{1L}, D_{1(L+L)}, \dots, D_{1(L+(u-1)L)}$ を受ける。

【0118】

カウンタ一致検出回路5Lは、距離信号 $D_{1L}, D_{1(L+L)}, \dots, D_{1(L+(u-1)L)}$ を受け、一致信号MTHL-1を受けると、上述した方法によって、距離信号 $D_{1L}, D_{1(L+L)}, \dots, D_{1(L+(u-1)L)}$ の和に一致するカウンタ値 CV_{1L} が得られるときのクロック信号CLKのクロック数 CN_L をカウントする。そして、カウンタ一致検出回路5Lは、クロック数 CN_L をカウントしたタイミングを示すタイミング信号 C_1 をクロック信号CLKに同期してWinner検出器20へ出力する。その後、カウンタ一致検出回路5Lは、動作を停止する。

【0119】

なお、距離信号 $D_{11}, D_{1(1+L)}, \dots, D_{1(1+(u-1)L)}, D_{12}, D_{1(2+L)}, \dots, D_{1(2+(u-1)L)}, \dots, D_{1L}, D_{1(L+L)}, \dots, D_{1(L+(u-1)L)}$ の各々は、Mビットのビット値からなる。

【0120】

従って、距離/クロック数変換回路 $DC_1 \sim DC_R$ (= 距離/クロック数変換回路 DC'_1)の各々は、 L (= W/s)個の距離信号に対応して設けられ、各々がMビットのビット長を有する W 個の距離信号に基づいて、タイミング信号(タイミング信号 $C_1 \sim C_R$ のいずれか)を出力する L (= W/s)個のカウンタ一致検出回路を含み、 L (= W/s)個のカウンタ一致検出回路は、各々が L (= W/s)個の距離信号からなる s 組の距離信号を受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、その受けた s 組の距離信号に含まれる W 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントし、そのクロック数をカウントしたタイミングを示すタイミング信号(タイミング信号 $C_1 \sim C_R$ のいずれか)をWinner検出器20へ出力する。

【0121】

カウンタ一致検出回路51~5L-1の各々は、 s 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号CLKのクロック数(=クロック数 $CN_1 \sim CN_L-1$ のいずれか)をカウントしたタイミングを示す一致信号(=一致信号MTH1~MTHL-1のいずれか)を出力し、カウンタ一致検出回路5Lは、 s 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号CLKのクロック数 CN_L をカウントしたタイミングを示すタイミング信号(タイミング信号 $C_1 \sim C_R$ のいずれか)を出力し、 $L = W/s$ であるので、 L (= W/s)個のカウンタ一致検出回路51~5Lは、結局、 $(W/s) \times s = W$ 個の距離信号の和に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントしたタイミングを示すタイミング信号(タイミング信号 $C_1 \sim C_R$ のいずれか)を出力することになる。

【0122】

図10は、図1に示す距離/クロック数変換回路 $DC_1 \sim DC_R$ の更に別の構成を示す概略図である。

10

20

30

40

50

【0123】

この発明の実施の形態においては、距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々は、図10に示す距離/クロック数変換回路 DC''_1 からなっているもよい。この場合も、 $W = 2^i$ (i は2以上の整数)である。

【0124】

図10を参照して、距離/クロック数変換回路 DC''_1 は、図9に示す距離/クロック数変換回路 DC'_1 にスイッチング制御回路60およびマルチプレクサ61~6Lを追加したものであり、その他は、距離/クロック数変換回路 DC'_1 と同じである。

【0125】

距離/クロック数変換回路 DC''_1 においては、増幅器41~4Lは、クロック信号CLKを増幅し、その増幅したクロック信号CLKをそれぞれカウンタ一致検出回路51~5Lへ出力するとともに、その増幅したクロック信号CLKをスイッチング制御回路60へ出力する。

10

【0126】

また、距離/クロック数変換回路 DC''_1 においては、マルチプレクサ61, 62, ..., 6Lは、それぞれ、 s 個の距離演算回路 $DP_{11}, DP_{1(1+L)}, \dots, DP_{1(1+(u-1)L)}$ 、 s 個の距離演算回路 $DP_{12}, DP_{1(2+L)}, \dots, DP_{1(2+(u-1)L)}$ 、 s 個の距離演算回路 $DP_{1L}, DP_{1(L+L)}, \dots, DP_{1(L+(u-1)L)}$ に対応して設けられる。そして、カウンタ一致検出回路51~5Lは、それぞれ、マルチプレクサ61~6Lに対応して設けられる。

20

【0127】

スイッチング制御回路60は、連想メモリ100の制御回路から検索開始信号SBおよびリセット信号RSTを受け、カウンタ一致検出回路51~5Lからそれぞれ一致信号MTH1~MTHLを受ける。

【0128】

そして、スイッチング制御回路60は、検索開始信号SBおよびリセット信号RSTを受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに出力信号OUT1をマルチプレクサ61へ出力する。

【0129】

また、スイッチング制御回路60は、一致信号MTHLをカウンタ一致検出回路5Lから受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに出力信号OUT1をマルチプレクサ61へ出力する。スイッチング制御回路60は、この処理を $s-1$ 回実行する。

30

【0130】

更に、スイッチング制御回路60は、一致信号MTH1をカウンタ一致検出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに出力信号OUT2をマルチプレクサ62へ出力する。スイッチング制御回路60は、この処理を s 回実行する。

【0131】

更に、スイッチング制御回路60は、一致信号MTH2をカウンタ一致検出回路52から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路53へ出力するとともに出力信号OUT3をマルチプレクサ63へ出力する。スイッチング制御回路60は、この処理を s 回実行する。

40

【0132】

以下、同様にして、スイッチング制御回路60は、一致信号MTHL-1をカウンタ一致検出回路5L-1から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路5Lへ出力するとともに出力信号OUTLをマルチプレクサ6Lへ出力する。スイッチング制御回路60は、この処理を s 回実行する。

【0133】

マルチプレクサ61は、 s 個の距離信号 $D_{11}, D_{1(1+L)}, \dots, D_{1(1+L)}$

50

($u - 1$) L) を受ける。そして、マルチプレクサ 6 1 は、1 回目の出力信号 OUT_1 をスイッチング制御回路 6 0 から受けると、距離信号 D_{11} をカウンタ一致検出回路 5 1 へ出力し、2 回目の出力信号 OUT_1 をスイッチング制御回路 6 0 から受けると、距離信号 $D_{1(1+L)}$ をカウンタ一致検出回路 5 1 へ出力し、以下、同様にして、 s 回目の出力信号 OUT_1 をスイッチング制御回路 6 0 から受けると、距離信号 $D_{1(1+(u-1)L)}$ をカウンタ一致検出回路 5 1 へ出力する。

【0134】

マルチプレクサ 6 2 は、 s 個の距離信号 $D_{12}, D_{1(2+L)}, \dots, D_{1(2+(u-1)L)}$ を受ける。そして、マルチプレクサ 6 2 は、1 回目の出力信号 OUT_2 をスイッチング制御回路 6 0 から受けると、距離信号 D_{12} をカウンタ一致検出回路 5 2 へ出力し、2 回目の出力信号 OUT_2 をスイッチング制御回路 6 0 から受けると、距離信号 $D_{1(2+L)}$ をカウンタ一致検出回路 5 2 へ出力し、以下、同様にして、 s 回目の出力信号 OUT_2 をスイッチング制御回路 6 0 から受けると、距離信号 $D_{1(2+(u-1)L)}$ をカウンタ一致検出回路 5 2 へ出力する。

10

【0135】

以下、同様にして、マルチプレクサ 6 L は、 s 個の距離信号 $D_{1L}, D_{1(L+L)}, \dots, D_{1(L+(u-1)L)}$ を受ける。そして、マルチプレクサ 6 L は、1 回目の出力信号 OUT_L をスイッチング制御回路 6 0 から受けると、距離信号 D_{1L} をカウンタ一致検出回路 5 L へ出力し、2 回目の出力信号 OUT_L をスイッチング制御回路 6 0 から受けると、距離信号 $D_{1(L+L)}$ をカウンタ一致検出回路 5 L へ出力し、以下、同様にして、 s 回目の出力信号 OUT_L をスイッチング制御回路 6 0 から受けると、距離信号 $D_{1(L+(u-1)L)}$ をカウンタ一致検出回路 5 L へ出力する。

20

【0136】

カウンタ一致検出回路 5 1 は、リセット信号 RST をスイッチング制御回路 6 0 から受けると駆動される。そして、カウンタ一致検出回路 5 1 は、距離信号 D_{11} をマルチプレクサ 6 1 から受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{11} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_1 をカウントし、クロック数 CN_1 をカウントしたタイミングを示す一致信号 MTH_1 をスイッチング制御回路 6 0 へ出力する。そして、カウンタ一致検出回路 5 1 は、動作を停止する。カウンタ一致検出回路 5 1 は、この処理を s 個の距離信号 $D_{11}, D_{1(1+L)}, \dots, D_{1(1+(u-1)L)}$ の全てについて実行する。

30

【0137】

また、カウンタ一致検出回路 5 2 は、リセット信号 RST をスイッチング制御回路 6 0 から受けると駆動される。そして、カウンタ一致検出回路 5 2 は、距離信号 D_{12} をマルチプレクサ 6 2 から受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{12} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_2 をカウントし、クロック数 CN_2 をカウントしたタイミングを示す一致信号 MTH_2 をスイッチング制御回路 6 0 へ出力する。そして、カウンタ一致検出回路 5 2 は、動作を停止する。カウンタ一致検出回路 5 2 は、この処理を s 個の距離信号 $D_{12}, D_{1(2+L)}, \dots, D_{1(2+(u-1)L)}$ の全てについて実行する。

40

【0138】

以下、同様にして、カウンタ一致検出回路 5 L は、リセット信号 RST をスイッチング制御回路 6 0 から受けると駆動される。そして、カウンタ一致検出回路 5 L は、距離信号 D_{1L} をマルチプレクサ 6 L から受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{1L} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_L をカウントし、クロック数 CN_L をカウントしたタイミングを示す一致信号 MTH_L をスイッチング制御回路 6 0 へ出力する。そして、カウンタ一致検出回路 5 L は、動作を停止する。カウンタ一致検出回路 5 L は、この処理を $s - 1$ 個の距離信号 $D_{12}, D_{1(2+L)}, \dots, D_{1(2+(u-1)L-1)}$ の

50

全てについて実行する。

【0139】

そして、カウンター一致検出回路5Lは、s回目のリセット信号RSTをスイッチング制御回路60から受けると駆動されるとともに距離信号 $D_{1(L+(u-1)L)}$ をマルチプレクサ6Lから受け、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 $D_{1(L+(u-1)L)}$ に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN_Lをカウントし、クロック数CN_Lをカウントしたタイミングを示すタイミング信号C₁をWinner検出器20へ出力する。

【0140】

距離/クロック数変換回路DC₁~DC_R(=距離/クロック数変換回路DC₁)の各々においては、検索データに類似する参照データの検索が開始されると、スイッチング制御回路60は、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路51へ出力するとともに出力信号OUT1をマルチプレクサ61へ出力する。

10

【0141】

そして、マルチプレクサ61は、スイッチング制御回路60からの1回目の出力信号OUT1に応じて、距離信号 D_{11} をカウンター一致検出回路51へ出力する。

【0142】

カウンター一致検出回路51は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路51は、距離信号 D_{11} をマルチプレクサ61から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{11} に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₁をカウントし、クロック数CN₁をカウントしたタイミングを示す一致信号MTH1をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路51は、動作を停止する。

20

【0143】

その後、スイッチング制御回路60は、カウンター一致検出回路51からの一致信号MTH1に応じて、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路52へ出力するとともに出力信号OUT2をマルチプレクサ62へ出力する。

【0144】

マルチプレクサ62は、スイッチング制御回路60からの1回目の出力信号OUT2に応じて、距離信号 D_{12} をカウンター一致検出回路52へ出力する。

30

【0145】

カウンター一致検出回路52は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路52は、距離信号 D_{12} をマルチプレクサ62から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{12} に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₂をカウントし、クロック数CN₂をカウントしたタイミングを示す一致信号MTH2をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路52は、動作を停止する。

40

【0146】

以下、同様にして、スイッチング制御回路60は、カウンター一致検出回路5L-1からの一致信号MTHL-1に応じて、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路5Lへ出力するとともに出力信号OUTLをマルチプレクサ6Lへ出力する。

【0147】

そして、マルチプレクサ6Lは、スイッチング制御回路60からの1回目の出力信号OUTLに応じて、距離信号 D_{1L} をカウンター一致検出回路5Lへ出力する。

【0148】

カウンター一致検出回路5Lは、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路5Lは、距離信号 D_{1L} をマルチプレ

50

クサ 6 L から受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{1L} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_L をカウントし、クロック数 CN_L をカウントしたタイミングを示す一致信号 MTHL をスイッチング制御回路 60 へ出力する。そして、カウンタ一致検出回路 5 L は、動作を停止する。

【0149】

その後、スイッチング制御回路 60 は、カウンタ一致検出回路 5 L からの一致信号 MTHL に応じて、クロック信号 CLK に同期して、リセット信号 RST をカウンタ一致検出回路 5 1 へ出力するとともに出力信号 OUT 1 をマルチプレクサ 6 1 へ出力する。

【0150】

その後、カウンタ一致検出回路 5 1 ~ 5 L - 1、スイッチング制御回路 60 およびマルチプレクサ 6 1 ~ 6 L - 1 は、上述した動作を $s - 1$ 回繰り返し実行し、カウンタ一致検出回路 5 L およびマルチプレクサ 6 L は、上述した動作を $s - 2$ 回繰り返し実行する。

【0151】

そして、カウンタ一致検出回路 5 L は、 s 回目のリセット信号 RST をスイッチング制御回路 60 から受け、距離信号 $D_{1(L+(u-1)L)}$ をマルチプレクサ 6 L から受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 $D_{1(L+(u-1)L)}$ に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_L をカウントし、クロック数 CN_L をカウントしたタイミングを示すタイミング信号 C_1 を Winner 検出器 20 へ出力する。そして、カウンタ一致検出回路 5 L は、動作を停止する。

【0152】

$L (= W / s)$ 個のカウンタ一致検出回路 5 1 ~ 5 L を 1 個のカウンタ一致検出回路 MD C と考えた場合、カウンタ一致検出回路 MD C は、1 回目、 $L (= W / s)$ 個の距離信号 $D_{11} \sim D_{1L}$ を受ける。そして、カウンタ一致検出回路 5 1 ~ 5 L がそれぞれ距離信号 $D_{11} \sim D_{1L}$ に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 $CN_1 \sim CN_L$ をカウントし、クロック数 $CN_1 \sim CN_L$ をカウントしたタイミングを示す一致信号 MTH 1 ~ MTH L を出力することは、カウンタ一致検出回路 MD C が距離信号 $D_{11} \sim D_{1L}$ の和に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 ($CN_1 + CN_2 + \dots + CN_L$) をカウントし、そのクロック数 ($CN_1 + CN_2 + \dots + CN_L$) をカウントしたタイミングを示す一致信号を出力することに相当する。また、カウンタ一致検出回路 MD C は、この処理を $s - 1$ 回繰り返し実行する。そして、カウンタ一致検出回路 MD C は、 $s - 1$ 回目の一致信号を出力すると、 $L (= W / s)$ 個の距離信号 $D_{1(1+(u-1)L)}, D_{1(2+(u-1)L)}, \dots, D_{1(L+(u-1)L)}$ の和に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 ($CN_1 + CN_2 + \dots + CN_L$) をカウントし、そのクロック数 ($CN_1 + CN_2 + \dots + CN_L$) をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を Winner 検出器 20 へ出力する。

【0153】

従って、距離 / クロック数変換回路 DC " 1 においては、 $L (= W / s)$ 個のカウンタ一致検出回路 5 1 ~ 5 L は、 $L (= W / s)$ 個の距離信号 $D_{11} \sim D_{1L}$ を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、その受けた $L (= W / s)$ 個の距離信号 $D_{11} \sim D_{1L}$ の和に一致するカウンタ値が得られるときのクロック信号 CLK の第 1 のクロック数をカウントし、第 1 のクロック数をカウントしたタイミングを示す第 1 の一致信号を出力する処理を $s - 1$ 回繰り返し実行し、前記第 1 の一致信号を $s - 1$ 回出力し、かつ、 s 回目に $L (= W / s)$ 個の距離信号を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、その受けた $L (= W / s)$ 個の距離信号に一致するカウンタ値が得られるときのクロック信号 CLK の第 2 のクロック数をカウントし、前記第 2 のクロック数をカウントしたタイミングを示すタイミング

10

20

30

40

50

信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を Winner 検出器 20 へ出力する。

【0154】

図11は、図9に示す距離/クロック数変換回路 DC'_1 の具体的な構成を示す概略図である。

【0155】

図11を参照して、 $W = 2^i = 2^3 = 8$ からなり、 $s = 2^x = 2^1 = 2$ からなる場合、 $L = W/s = 8/2 = 4$ であり、距離/クロック数変換回路 $DC'_1 - 1$ は、増幅器 41 ~ 44 と、カウンター一致検出回路 51 ~ 54 とを含む。

【0156】

また、 W 個の距離信号 $D_{11} \sim D_{1W}$ は、8個の距離信号 $D_{11} \sim D_{18}$ からなり、 W 個の距離演算回路 $DP_{11} \sim DP_{1W}$ は、8個の距離演算回路 $DP_{11} \sim DP_{18}$ からなる。ここで、距離信号 $D_{11} \sim D_{18}$ は、それぞれ、 $D_{11} = "3"$ 、 $D_{12} = "2"$ 、 $D_{13} = "5"$ 、 $D_{14} = "1"$ 、 $D_{15} = "2"$ 、 $D_{16} = "4"$ 、 $D_{17} = "2"$ 、 $D_{18} = "3"$ であるものとする。

【0157】

そして、カウンター一致検出回路 51 は、2個の距離演算回路 DP_{11} 、 DP_{15} に対応して設けられ、カウンター一致検出回路 52 は、2個の距離演算回路 DP_{12} 、 DP_{16} に対応して設けられ、カウンター一致検出回路 53 は、2個の距離演算回路 DP_{13} 、 DP_{17} に対応して設けられ、カウンター一致検出回路 54 は、2個の距離演算回路 DP_{14} 、 DP_{18} に対応して設けられる。

【0158】

図12は、図11に示す距離/クロック数変換回路 $DC'_1 - 1$ の動作を説明するための図である。

【0159】

距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々は、図11に示す距離/クロック数変換回路 $DC'_1 - 1$ からなる。そして、距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々 (= 距離/クロック数変換回路 $DC'_1 - 1$) において、検索データに類似する参照データの検索が開始されると、カウンター一致検出回路 51 は、距離演算回路 DP_{11} 、 DP_{15} からそれぞれ距離信号 D_{11} (= "3")、 D_{15} (= "2") を受け、カウンター一致検出回路 52 は、距離演算回路 DP_{12} 、 DP_{16} からそれぞれ距離信号 D_{12} (= "2")、 D_{16} (= "4") を受け、カウンター一致検出回路 53 は、距離演算回路 DP_{13} 、 DP_{17} からそれぞれ距離信号 D_{13} (= "5")、 D_{17} (= "2") を受け、カウンター一致検出回路 54 は、距離演算回路 DP_{14} 、 DP_{18} からそれぞれ距離信号 D_{14} (= "1")、 D_{18} (= "3") を受ける。

【0160】

そうすると、カウンター一致検出回路 51 は、距離信号 D_{11} (= "3")、 D_{15} (= "2") の和 (= "5" = "101") に一致するカウンタ値 CV_{11} が得られるときのクロック信号 CLK のクロック数 $CN1$ (= "5") をカウントする。そして、カウンター一致検出回路 51 は、クロック数 $CN1$ (= "5") をカウントしたタイミングを示す一致信号 $MTH1$ をクロック信号 CLK に同期してカウンター一致検出回路 52 へ出力する。そして、カウンター一致検出回路 51 は、動作を停止する。

【0161】

カウンター一致検出回路 52 は、一致信号 $MTH1$ をカウンター一致検出回路 51 から受けると、距離信号 D_{12} (= "2")、 D_{16} (= "4") の和 (= "6" = "110") に一致するカウンタ値 CV_{12} が得られるときのクロック信号 CLK のクロック数 $CN2$ (= "6") をカウントする。そして、カウンター一致検出回路 52 は、クロック数 $CN2$ (= "6") をカウントしたタイミングを示す一致信号 $MTH2$ をクロック信号 CLK に同期してカウンター一致検出回路 53 へ出力する。そして、カウンター一致検出回路 52 は、動作を停止する。

【0162】

10

20

30

40

50

カウンター一致検出回路 5 3 は、一致信号 M T H 2 をカウンター一致検出回路 5 2 から受けると、距離信号 D_{13} (= “ 5 ”), D_{17} (= “ 2 ”) の和 (= “ 7 ” = “ 1 1 1 ”) に一致するカウンタ値 $C V_{13}$ が得られるときのクロック信号 C L K のクロック数 $C N 4$ (= “ 7 ”) をカウントする。そして、カウンター一致検出回路 5 3 は、クロック数 $C N 4$ (= “ 7 ”) をカウントしたタイミングを示す一致信号 M T H 3 をクロック信号 C L K に同期してカウンター一致検出回路 5 4 へ出力する。そして、カウンター一致検出回路 5 3 は、動作を停止する。

【 0 1 6 3 】

カウンター一致検出回路 5 4 は、一致信号 M T H 3 をカウンター一致検出回路 5 3 から受けると、距離信号 D_{14} (= “ 1 ”), D_{18} (= “ 3 ”) の和 (= “ 4 ” = “ 1 0 0 ”) に一致するカウンタ値 $C V_{14}$ が得られるときのクロック数 $C N 4$ (= “ 4 ”) をカウントする。そして、カウンター一致検出回路 5 4 は、クロック数 $C N 4$ (= “ 4 ”) をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) をクロック信号 C L K に同期して W i n n e r 検出器 2 0 へ出力する。そして、カウンター一致検出回路 5 4 は、動作を停止する。

10

【 0 1 6 4 】

このように、カウンター一致検出回路 5 1 ~ 5 4 の各々は、2 つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントし、2 つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントすると、それぞれ、一致信号 M T H 1 ~ M T H 3 およびタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を出力する。

20

【 0 1 6 5 】

距離 / クロック数変換回路 $D C_1 \sim D C_R$ の各々が距離 / クロック数変換回路 $D C'_1 - 1$ からなる場合、距離 / クロック数変換回路 $D C_1 \sim D C_R$ の各々は、距離信号 $D_{11} = “ 3 ”$, $D_{12} = “ 2 ”$, $D_{13} = “ 5 ”$, $D_{14} = “ 1 ”$, $D_{15} = “ 2 ”$, $D_{16} = “ 4 ”$, $D_{17} = “ 2 ”$, $D_{18} = “ 3 ”$ の和 (= “ 2 2 ”) に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 (= “ 2 2 ”) をカウントし、クロック数 (= “ 2 2 ”) をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を W i n n e r 検出器 2 0 へ出力する。

30

【 0 1 6 6 】

図 1 3 は、図 9 に示す距離 / クロック数変換回路 $D C'_1$ の別の具体的な構成を示す概略図である。

【 0 1 6 7 】

図 1 3 を参照して、 $W = 2^i = 2^3 = 8$ からなり、 $s = 2^x = 2^2 = 4$ からなる場合、 $L = W / s = 8 / 4 = 2$ であり、距離 / クロック数変換回路 $D C'_1 - 2$ は、増幅器 4 1 , 4 2 と、カウンター一致検出回路 5 1 , 5 2 とを含む。

【 0 1 6 8 】

また、W 個の距離信号 $D_{11} \sim D_{1W}$ は、8 個の距離信号 $D_{11} \sim D_{18}$ からなり、W 個の距離演算回路 $D P_{11} \sim D P_{1W}$ は、8 個の距離演算回路 $D P_{11} \sim D P_{18}$ からなる。また、距離信号 $D_{11} \sim D_{18}$ の各々は、4 ビットのビット値からなる。ここで、距離信号 $D_{11} \sim D_{18}$ は、それぞれ、 $D_{11} = “ 3 ”$, $D_{12} = “ 2 ”$, $D_{13} = “ 5 ”$, $D_{14} = “ 1 ”$, $D_{15} = “ 2 ”$, $D_{16} = “ 4 ”$, $D_{17} = “ 2 ”$, $D_{18} = “ 3 ”$ であるものとする。

40

【 0 1 6 9 】

そして、カウンター一致検出回路 5 1 は、4 個の距離演算回路 $D P_{11}$, $D P_{13}$, $D P_{15}$, $D P_{17}$ に対応して設けられ、カウンター一致検出回路 5 2 は、4 個の距離演算回路 $D P_{12}$, $D P_{14}$, $D P_{16}$, $D P_{18}$ に対応して設けられる。

【 0 1 7 0 】

なお、カウンター一致検出回路 5 1 , 5 2 の各々において、カウンタ 3 1 1 または 3 1 1 A は、4 ビットのカウンタ値を一致検出回路 3 1 2 へ出力する。

50

【0171】

図14は、図13に示す距離/クロック数変換回路 $DC'_1 - 2$ の動作を説明するための図である。

【0172】

距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々は、図13に示す距離/クロック数変換回路 $DC'_1 - 2$ からなる。そして、距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々(=距離/クロック数変換回路 $DC'_1 - 2$)において、検索データに類似する参照データの検索が開始されると、カウンタ一致検出回路51は、距離演算回路 DP_{11} , DP_{13} , DP_{15} , DP_{17} からそれぞれ距離信号 D_{11} (="3"), D_{13} (="5"), D_{15} (="2"), D_{17} (="2")を受け、カウンタ一致検出回路52は、距離演算回路 DP_{12} , DP_{14} , DP_{16} , DP_{18} からそれぞれ距離信号 D_{12} (="2"), D_{14} (="1"), D_{16} (="4"), D_{18} (="3")を受ける。

10

【0173】

そうすると、カウンタ一致検出回路51は、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{11} (="3"), D_{13} (="5"), D_{15} (="2"), D_{17} (="2")の和(="12"="1100")に一致するカウンタ値 CV_{11} が得られるときのクロック信号CLKのクロック数 $CN1$ (="12")をカウントする。そして、カウンタ一致検出回路51は、クロック数 $CN1$ をカウントしたタイミングを示す一致信号 $MTH1$ をクロック信号CLKに同期してカウンタ一致検出回路52へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

20

【0174】

カウンタ一致検出回路52は、一致信号 $MTH1$ をカウンタ一致検出回路51から受けると駆動され、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号 D_{12} (="2"), D_{14} (="1"), D_{16} (="4"), D_{18} (="3")の和(="10"="1010")に一致するカウンタ値 CV_{12} が得られるときのクロック信号CLKのクロック数 $CN2$ (="10")をカウントする。そして、カウンタ一致検出回路52は、クロック数 $CN2$ (="10")をカウントしたタイミングを示すタイミング信号(=タイミング信号 $C_1 \sim C_R$ のいずれか)をクロック信号CLKに同期してWinner検出器20へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。

30

【0175】

このように、カウンタ一致検出回路51, 52の各々は、4つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントし、4つの距離信号の和に一致するカウンタ値が得られるときのクロック数をカウントすると、それぞれ、一致信号 $MTH1$ およびタイミング信号(=タイミング信号 $C_1 \sim C_R$ のいずれか)を出力する。

【0176】

距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々が距離/クロック数変換回路 $DC'_1 - 2$ からなる場合も、距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々は、距離信号 D_{11} (="3"), D_{12} (="2"), D_{13} (="5"), D_{14} (="1"), D_{15} (="2"), D_{16} (="4"), D_{17} (="2"), D_{18} (="3")の和(="22")に一致するカウンタ値が得られるときのクロック信号CLKのクロック数(="22")をカウントし、クロック数(="22")をカウントしたタイミングを示すタイミング信号(=タイミング信号 $C_1 \sim C_R$ のいずれか)をWinner検出器20へ出力する。

40

【0177】

図15は、図10に示す距離/クロック数変換回路 DC''_1 の具体的な構成を示す概略図である。

【0178】

図15を参照して、 $W = 2^i = 2^3 = 8$ からなり、 $s = 2^x = 2^1 = 2$ からなる場合、 $L = W/s = 8/2 = 4$ であり、距離/クロック数変換回路 $DC''_1 - 1$ は、増幅器41~44と、カウンタ一致検出回路51~54と、スイッチング制御回路60と、マルチブ

50

レクサ 6 1 ~ 6 4 とを含む。

【 0 1 7 9 】

また、W個の距離信号 $D_{11} \sim D_{1W}$ は、8個の距離信号 $D_{11} \sim D_{18}$ からなり、W個の距離演算回路 $DP_{11} \sim DP_{1W}$ は、8個の距離演算回路 $DP_{11} \sim DP_{18}$ からなる。ここで、距離信号 $D_{11} \sim D_{18}$ は、それぞれ、 $D_{11} = "3"$, $D_{12} = "2"$, $D_{13} = "5"$, $D_{14} = "1"$, $D_{15} = "2"$, $D_{16} = "4"$, $D_{17} = "2"$, $D_{18} = "3"$ であるものとする。

【 0 1 8 0 】

距離 / クロック数変換回路 DC_{1-1} においては、マルチプレクサ 6 1 は、2個の距離演算回路 DP_{11} , DP_{15} に対応して設けられ、マルチプレクサ 6 2 は、2個の距離演算回路 DP_{12} , DP_{16} に対応して設けられ、マルチプレクサ 6 3 は、2個の距離演算回路 DP_{13} , DP_{17} に対応して設けられ、マルチプレクサ 6 4 は、2個の距離演算回路 DP_{14} , DP_{18} に対応して設けられる。

【 0 1 8 1 】

カウンタ一致検出回路 5 1 ~ 5 4 は、それぞれ、マルチプレクサ 6 1 ~ 6 4 に対応して設けられる。

【 0 1 8 2 】

距離 / クロック数変換回路 DC_{1-1} においては、増幅器 4 1 ~ 4 4 は、クロック信号 CLK を増幅し、その増幅したクロック信号 CLK をそれぞれカウンタ一致検出回路 5 1 ~ 5 4 へ出力するとともに、その増幅したクロック信号 CLK をスイッチング制御回路 6 0 へ出力する。

【 0 1 8 3 】

スイッチング制御回路 6 0 は、連想メモリ 1 0 0 の制御回路から検索開始信号 SB およびリセット信号 RST を受け、カウンタ一致検出回路 5 1 ~ 5 4 からそれぞれ一致信号 MTH 1 ~ MTH 4 を受ける。

【 0 1 8 4 】

そして、スイッチング制御回路 6 0 は、検索開始信号 SB およびリセット信号 RST を受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンタ一致検出回路 5 1 へ出力するとともに出力信号 OUT 1 をマルチプレクサ 6 1 へ出力する。

【 0 1 8 5 】

また、スイッチング制御回路 6 0 は、一致信号 MTH 4 をカウンタ一致検出回路 5 4 から受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンタ一致検出回路 5 1 へ出力するとともに出力信号 OUT 1 をマルチプレクサ 6 1 へ出力する。スイッチング制御回路 6 0 は、この処理を $1 (= s - 1 = 2 - 1)$ 回実行する。

【 0 1 8 6 】

更に、スイッチング制御回路 6 0 は、一致信号 MTH 1 をカウンタ一致検出回路 5 1 から受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンタ一致検出回路 5 2 へ出力するとともに出力信号 OUT 2 をマルチプレクサ 6 2 へ出力する。スイッチング制御回路 6 0 は、この処理を $2 (= s = 2)$ 回実行する。

【 0 1 8 7 】

更に、スイッチング制御回路 6 0 は、一致信号 MTH 2 をカウンタ一致検出回路 5 2 から受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンタ一致検出回路 5 3 へ出力するとともに出力信号 OUT 3 をマルチプレクサ 6 3 へ出力する。スイッチング制御回路 6 0 は、この処理を $2 (= s = 2)$ 回実行する。

【 0 1 8 8 】

更に、スイッチング制御回路 6 0 は、一致信号 MTH 3 をカウンタ一致検出回路 5 3 から受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンタ一致検出回路 5 4 へ出力するとともに出力信号 OUT 4 をマルチプレクサ 6 4 へ出力する。スイッチング制御回路 6 0 は、この処理を $2 (= s = 2)$ 回実行する。

【 0 1 8 9 】

10

20

30

40

50

マルチプレクサ 6 1 は、2 個の距離信号 D_{11} , D_{15} を受ける。そして、マルチプレクサ 6 1 は、1 回目の出力信号 OUT_1 をスイッチング制御回路 6 0 から受けると、距離信号 D_{11} をカウンター一致検出回路 5 1 へ出力し、2 回目の出力信号 OUT_1 をスイッチング制御回路 6 0 から受けると、距離信号 D_{15} をカウンター一致検出回路 5 1 へ出力する。

【0190】

マルチプレクサ 6 2 は、2 個の距離信号 D_{12} , D_{16} を受ける。そして、マルチプレクサ 6 2 は、1 回目の出力信号 OUT_2 をスイッチング制御回路 6 0 から受けると、距離信号 D_{12} をカウンター一致検出回路 5 2 へ出力し、2 回目の出力信号 OUT_2 をスイッチング制御回路 6 0 から受けると、距離信号 D_{16} をカウンター一致検出回路 5 2 へ出力する。

10

【0191】

マルチプレクサ 6 3 は、2 個の距離信号 D_{13} , D_{17} を受ける。そして、マルチプレクサ 6 3 は、1 回目の出力信号 OUT_3 をスイッチング制御回路 6 0 から受けると、距離信号 D_{13} をカウンター一致検出回路 5 3 へ出力し、2 回目の出力信号 OUT_3 をスイッチング制御回路 6 0 から受けると、距離信号 D_{17} をカウンター一致検出回路 5 3 へ出力する。

【0192】

マルチプレクサ 6 4 は、2 個の距離信号 D_{14} , D_{18} を受ける。そして、マルチプレクサ 6 4 は、1 回目の出力信号 OUT_4 をスイッチング制御回路 6 0 から受けると、距離信号 D_{14} をカウンター一致検出回路 5 4 へ出力し、2 回目の出力信号 OUT_4 をスイッチング制御回路 6 0 から受けると、距離信号 D_{18} をカウンター一致検出回路 5 4 へ出力する。

20

【0193】

カウンター一致検出回路 5 1 は、リセット信号 RST をスイッチング制御回路 6 0 から受けると駆動される。そして、カウンター一致検出回路 5 1 は、距離信号 D_{11} をマルチプレクサ 6 1 から受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{11} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_1 をカウントし、クロック数 CN_1 をカウントしたタイミングを示す一致信号 MTH_1 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 1 は、動作を停止する。カウンター一致検出回路 5 1 は、この処理を 2 個の距離信号 D_{11} , D_{15} の全てについて実行する。

30

【0194】

また、カウンター一致検出回路 5 2 は、リセット信号 RST をスイッチング制御回路 6 0 から受けると駆動される。そして、カウンター一致検出回路 5 2 は、距離信号 D_{12} をマルチプレクサ 6 2 から受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{12} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_2 をカウントし、クロック数 CN_2 をカウントしたタイミングを示す一致信号 MTH_2 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。カウンター一致検出回路 5 2 は、この処理を 2 個の距離信号 D_{12} , D_{16} の全てについて実行する。

40

【0195】

更に、カウンター一致検出回路 5 3 は、リセット信号 RST をスイッチング制御回路 6 0 から受けると駆動される。そして、カウンター一致検出回路 5 3 は、距離信号 D_{13} をマルチプレクサ 6 3 から受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、距離信号 D_{13} に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_3 をカウントし、クロック数 CN_3 をカウントしたタイミングを示す一致信号 MTH_3 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 3 は、動作を停止する。カウンター一致検出回路 5 3 は、この処理を 2 個の距離信号 D_{13} , D_{17} の全てについて実行する。

50

【 0 1 9 6 】

更に、カウンター一致検出回路 5 4 は、リセット信号 R S T をスイッチング制御回路 6 0 から受けると駆動される。そして、カウンター一致検出回路 5 4 は、距離信号 D_{14} をマルチプレクサ 6 4 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{14} に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 $C N_{4}$ をカウントし、クロック数 $C N_{4}$ をカウントしたタイミングを示す一致信号 M T H 4 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 4 は、動作を停止する。

【 0 1 9 7 】

そして、カウンター一致検出回路 5 4 は、2 回目のリセット信号 R S T をスイッチング制御回路 6 0 から受け、距離信号 D_{18} をマルチプレクサ 6 4 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{18} に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 $C N_{4}$ をカウントし、クロック数 $C N_{4}$ をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を W i n n e r 検出器 2 0 へ出力する。そして、カウンター一致検出回路 5 4 は、動作を停止する。

10

【 0 1 9 8 】

図 1 6 は、図 1 5 に示す距離 / クロック数変換回路 $D C_{1-1}$ の動作を説明するための図である。

【 0 1 9 9 】

距離 / クロック数変換回路 $D C_1 \sim D C_R$ (= 距離 / クロック数変換回路 $D C_{1-1}$) の各々において、検索データに類似する参照データの検索が開始されると、スイッチング制御回路 6 0 は、クロック信号 C L K に同期して、リセット信号 R S T をカウンター一致検出回路 5 1 へ出力するとともに出力信号 O U T 1 をマルチプレクサ 6 1 へ出力する。

20

【 0 2 0 0 】

そして、マルチプレクサ 6 1 は、スイッチング制御回路 6 0 からの 1 回目の出力信号 O U T 1 に応じて、距離信号 D_{11} (= " 3 ") をカウンター一致検出回路 5 1 へ出力する。

【 0 2 0 1 】

カウンター一致検出回路 5 1 は、スイッチング制御回路 6 0 からのリセット信号 R S T に応じて駆動される。そして、カウンター一致検出回路 5 1 は、距離信号 D_{11} (= " 3 ") をマルチプレクサ 6 1 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{11} (= " 3 ") に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 $C N_{1}$ (= " 3 ") をカウントし、クロック数 $C N_{1}$ (= " 3 ") をカウントしたタイミングを示す一致信号 M T H 1 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 1 は、動作を停止する。

30

【 0 2 0 2 】

その後、スイッチング制御回路 6 0 は、カウンター一致検出回路 5 1 から一致信号 M T H 1 を受けると、クロック信号 C L K に同期して、リセット信号 R S T をカウンター一致検出回路 5 2 へ出力するとともに出力信号 O U T 2 をマルチプレクサ 6 2 へ出力する。

【 0 2 0 3 】

マルチプレクサ 6 2 は、スイッチング制御回路 6 0 からの 1 回目の出力信号 O U T 2 に応じて、距離信号 D_{12} (= " 2 ") をカウンター一致検出回路 5 2 へ出力する。

40

【 0 2 0 4 】

カウンター一致検出回路 5 2 は、スイッチング制御回路 6 0 からのリセット信号 R S T に応じて駆動される。そして、カウンター一致検出回路 5 2 は、距離信号 D_{12} (= " 2 ") をマルチプレクサ 6 2 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{12} (= " 2 ") に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 $C N_{2}$ (= " 2 ") をカウントし、クロック数 $C N_{2}$ (= " 2 ") をカウントしたタイミングを示す一致信号 M T H 2 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

50

【0205】

その後、スイッチング制御回路60は、カウンター一致検出回路52から一致信号MTH2を受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路53へ出力するとともに出力信号OUT3をマルチプレクサ63へ出力する。

【0206】

マルチプレクサ63は、スイッチング制御回路60からの1回目の出力信号OUT3に応じて、距離信号D₁₃(="5")をカウンター一致検出回路53へ出力する。

【0207】

カウンター一致検出回路53は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路53は、距離信号D₁₃(="5")をマルチプレクサ63から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₃(="5")に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₃(="5")をカウントし、クロック数CN₃(="5")をカウントしたタイミングを示す一致信号MTH3をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路53は、動作を停止する。

10

【0208】

その後、スイッチング制御回路60は、カウンター一致検出回路53から一致信号MTH3を受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路54へ出力するとともに出力信号OUT4をマルチプレクサ64へ出力する。

【0209】

マルチプレクサ64は、スイッチング制御回路60からの1回目の出力信号OUT4に応じて、距離信号D₁₄(="1")をカウンター一致検出回路54へ出力する。

20

【0210】

カウンター一致検出回路54は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路54は、距離信号D₁₄(="1")をマルチプレクサ64から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₄(="1")に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₄(="1")をカウントし、クロック数CN₄(="1")をカウントしたタイミングを示す一致信号MTH4をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路54は、動作を停止する。

30

【0211】

その後、スイッチング制御回路60は、カウンター一致検出回路54から一致信号MTH4を受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路51へ出力するとともに出力信号OUT1をマルチプレクサ61へ出力する。

【0212】

マルチプレクサ61は、スイッチング制御回路60からの2回目の出力信号OUT1に応じて、距離信号D₁₅(="2")をカウンター一致検出回路51へ出力する。

【0213】

カウンター一致検出回路51は、スイッチング制御回路60からのリセット信号RSTに応じて駆動される。そして、カウンター一致検出回路51は、距離信号D₁₅(="2")をマルチプレクサ61から受けると、カウンタ値をクロック信号CLKに同期して昇順にカウントしたときに、距離信号D₁₅(="2")に一致するカウンタ値が得られるときのクロック信号CLKのクロック数CN₁(="2")をカウントし、クロック数CN₁(="2")をカウントしたタイミングを示す一致信号MTH1をスイッチング制御回路60へ出力する。そして、カウンター一致検出回路51は、動作を停止する。

40

【0214】

その後、スイッチング制御回路60は、カウンター一致検出回路51から一致信号MTH1を受けると、クロック信号CLKに同期して、リセット信号RSTをカウンター一致検出回路52へ出力するとともに出力信号OUT2をマルチプレクサ62へ出力する。

【0215】

50

マルチプレクサ 6 2 は、スイッチング制御回路 6 0 からの 2 回目の出力信号 O U T 2 に応じて、距離信号 D_{16} (= " 4 ") をカウンター一致検出回路 5 2 へ出力する。

【 0 2 1 6 】

カウンター一致検出回路 5 2 は、スイッチング制御回路 6 0 からのリセット信号 R S T に応じて駆動される。そして、カウンター一致検出回路 5 2 は、距離信号 D_{16} (= " 4 ") をマルチプレクサ 6 2 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{16} (= " 4 ") に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 C N _ 2 (= " 4 ") をカウントし、クロック数 C N _ 2 (= " 4 ") をカウントしたタイミングを示す一致信号 M T H 2 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

10

【 0 2 1 7 】

その後、スイッチング制御回路 6 0 は、カウンター一致検出回路 5 2 から一致信号 M T H 2 を受けると、クロック信号 C L K に同期して、リセット信号 R S T をカウンター一致検出回路 5 3 へ出力するとともに出力信号 O U T 3 をマルチプレクサ 6 3 へ出力する。

【 0 2 1 8 】

マルチプレクサ 6 3 は、スイッチング制御回路 6 0 からの 2 回目の出力信号 O U T 3 に応じて、距離信号 D_{17} (= " 2 ") をカウンター一致検出回路 5 3 へ出力する。

【 0 2 1 9 】

カウンター一致検出回路 5 3 は、スイッチング制御回路 6 0 からのリセット信号 R S T に応じて駆動される。そして、カウンター一致検出回路 5 3 は、距離信号 D_{17} (= " 2 ") をマルチプレクサ 6 3 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{17} (= " 2 ") に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 C N _ 3 (= " 2 ") をカウントし、クロック数 C N _ 3 (= " 2 ") をカウントしたタイミングを示す一致信号 M T H 3 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 3 は、動作を停止する。

20

【 0 2 2 0 】

その後、スイッチング制御回路 6 0 は、カウンター一致検出回路 5 3 から一致信号 M T H 3 を受けると、クロック信号 C L K に同期して、リセット信号 R S T をカウンター一致検出回路 5 4 へ出力するとともに出力信号 O U T 4 をマルチプレクサ 6 4 へ出力する。

【 0 2 2 1 】

マルチプレクサ 6 4 は、スイッチング制御回路 6 0 からの 2 回目の出力信号 O U T 4 に応じて、距離信号 D_{18} (= " 3 ") をカウンター一致検出回路 5 4 へ出力する。

30

【 0 2 2 2 】

カウンター一致検出回路 5 4 は、スイッチング制御回路 6 0 からのリセット信号 R S T に応じて駆動される。そして、カウンター一致検出回路 5 4 は、距離信号 D_{18} (= " 3 ") をマルチプレクサ 6 4 から受けると、カウンタ値をクロック信号 C L K に同期して昇順にカウントしたときに、距離信号 D_{18} (= " 3 ") に一致するカウンタ値が得られるときのクロック信号 C L K のクロック数 C N _ 4 (= " 3 ") をカウントし、クロック数 C N _ 4 (= " 3 ") をカウントしたタイミングを示す一致信号 M T H 4 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 4 は、動作を停止する。

40

【 0 2 2 3 】

そうすると、スイッチング制御回路 6 0 は、カウンター一致検出回路 5 4 からの 2 回目の一致信号 M T H 4 に応じて、2 回目の一致信号 M T H 4 によって示されるタイミングと同じタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を W i n n e r 検出器 2 0 へ出力する。

【 0 2 2 4 】

このように、カウンター一致検出回路 5 1 ~ 5 4 は、それぞれ、距離信号 $D_{11} \sim D_{14}$ に一致するカウンタ値が得られたときのクロック信号 C L K のクロック数 C N _ 1 ~ C N _ 4 をカウントし、クロック数 C N _ 1 ~ C N _ 4 をカウントしたタイミングを示す一致信号 M T H 1 ~ M T H 4 を出力した後に、それぞれ、距離信号 $D_{15} \sim D_{18}$ に一致する

50

カウンタ値が得られたときのクロック信号CLKのクロック数CN₁ ~ CN₄をカウントし、クロック数CN₁ ~ CN₄をカウントしたタイミングを示す一致信号MTH₁ ~ MTH₄を出力する。

【0225】

つまり、カウンタ一致検出回路51 ~ 54の各々は、距離信号に一致するカウンタ値が得られるときのクロック信号CLKのクロック数をカウントし、そのクロック数をカウントしたタイミングを示す一致信号を出力する処理を2回繰り返し実行する。

【0226】

距離/クロック数変換回路DC₁ ~ DC_Rの各々が距離/クロック数変換回路DC^{*}₁ - 1からなる場合も、距離/クロック数変換回路DC₁ ~ DC_Rの各々は、距離信号D₁₁ = "3", D₁₂ = "2", D₁₃ = "5", D₁₄ = "1", D₁₅ = "2", D₁₆ = "4", D₁₇ = "2", D₁₈ = "3"の和(="22")に一致するカウンタ値が得られるときのクロック信号CLKのクロック数(="22")をカウントし、クロック数(="22")をカウントしたタイミングを示すタイミング信号(=タイミング信号C₁ ~ C_Rのいずれか)をWinner検出器20へ出力する。

10

【0227】

図17は、図10に示す距離/クロック数変換回路DC^{*}₁の更に別の具体的な構成を示す概略図である。

【0228】

図17を参照して、 $W = 2^i = 2^3 = 8$ からなり、 $s = 2^x = 2^2 = 4$ からなる場合、 $L = W / s = 8 / 4 = 2$ であり、距離/クロック数変換回路DC^{*}₁ - 2は、増幅器41, 42と、カウンタ一致検出回路51, 52と、スイッチ制御回路60と、マルチプレクサ61, 62とを含む。

20

【0229】

マルチプレクサ61は、4個の距離演算回路DP₁₁, DP₁₃, DP₁₅, DP₁₇に対応して設けられ、マルチプレクサ62は、4個の距離演算回路DP₁₂, DP₁₄, DP₁₆, DP₁₈に対応して設けられる。

【0230】

カウンタ一致検出回路51は、マルチプレクサ61に対応して設けられ、カウンタ一致検出回路52は、マルチプレクサ62に対応して設けられる。

30

【0231】

スイッチング制御回路60は、連想メモリ100の制御回路から検索開始信号SBおよびリセット信号RSTを受ける。また、スイッチング制御回路60は、増幅器41, 42からクロック信号CLKを受ける。更に、スイッチング制御回路60は、カウンタ一致検出回路51から一致信号MTH₁を受け、カウンタ一致検出回路52から一致信号MTH₂を受ける。

【0232】

そして、スイッチング制御回路60は、検索開始信号SBおよびリセット信号RSTを受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに出力信号OUT₁をマルチプレクサ61へ出力する。

40

【0233】

また、スイッチング制御回路60は、一致信号MTH₂をカウンタ一致検出回路52から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに出力信号OUT₁をマルチプレクサ61へ出力する。

【0234】

更に、スイッチング制御回路60は、一致信号MTH₁をカウンタ一致検出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに出力信号OUT₂をマルチプレクサ62へ出力する。

【0235】

そして、スイッチング制御回路60は、s回目の一致信号MTH₂をカウンタ一致検出

50

回路 5 2 から受けると、s 回目の一致信号 M T H 2 によって示されるタイミングと同じタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を W i n n e r 検出器 2 0 へ出力する。

【 0 2 3 6 】

マルチプレクサ 6 1 は、距離演算回路 $D P_{11}$, $D P_{13}$, $D P_{15}$, $D P_{17}$ からそれぞれ距離信号 D_{11} , D_{13} , D_{15} , D_{17} を受け、出力信号 O U T 1 をスイッチング制御回路 6 0 から受ける。

【 0 2 3 7 】

そして、マルチプレクサ 6 1 は、1 回目の出力信号 O U T 1 を受けると、距離信号 D_{11} をカウンター一致検出回路 5 1 へ出力し、2 回目の出力信号 O U T 1 を受けると、距離信号 D_{13} をカウンター一致検出回路 5 1 へ出力し、3 回目の出力信号 O U T 1 を受けると、距離信号 D_{15} をカウンター一致検出回路 5 1 へ出力し、4 回目の出力信号 O U T 1 を受けると、距離信号 D_{17} をカウンター一致検出回路 5 1 へ出力する。

10

【 0 2 3 8 】

また、マルチプレクサ 6 2 は、距離演算回路 $D P_{12}$, $D P_{14}$, $D P_{16}$, $D P_{18}$ からそれぞれ距離信号 D_{12} , D_{14} , D_{16} , D_{18} を受け、出力信号 O U T 2 をスイッチング制御回路 6 0 から受ける。

【 0 2 3 9 】

そして、マルチプレクサ 6 2 は、1 回目の出力信号 O U T 2 を受けると、距離信号 D_{12} をカウンター一致検出回路 5 2 へ出力し、2 回目の出力信号 O U T 2 を受けると、距離信号 D_{14} をカウンター一致検出回路 5 2 へ出力し、3 回目の出力信号 O U T 2 を受けると、距離信号 D_{16} をカウンター一致検出回路 5 2 へ出力し、4 回目の出力信号 O U T 2 を受けると、距離信号 D_{18} をカウンター一致検出回路 5 2 へ出力する。

20

【 0 2 4 0 】

カウンター一致検出回路 5 1 は、マルチプレクサ 6 1 から距離信号 D_{11} を受け、リセット信号 R S T をスイッチング制御回路 6 0 から受けると、上述した方法によって、距離信号 D_{11} に一致するカウンタ値 $C V_{11}$ が得られるときのクロック信号 C L K のクロック数 $C N_{-1}$ をカウントし、クロック数 $C N_{-1}$ をカウントしたタイミングを示す一致信号 M T H 1 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 1 は、動作を停止する。

30

【 0 2 4 1 】

また、カウンター一致検出回路 5 1 は、マルチプレクサ 6 1 から距離信号 D_{13} を受け、リセット信号 R S T をスイッチング制御回路 6 0 から受けると、上述した方法によって、距離信号 D_{13} に一致するカウンタ値 $C V_{11}$ が得られるときのクロック信号 C L K のクロック数 $C N_{-1}$ をカウントし、クロック数 $C N_{-1}$ をカウントしたタイミングを示す一致信号 M T H 1 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 1 は、動作を停止する。

【 0 2 4 2 】

更に、カウンター一致検出回路 5 1 は、マルチプレクサ 6 1 から距離信号 D_{15} を受け、リセット信号 R S T をスイッチング制御回路 6 0 から受けると、上述した方法によって、距離信号 D_{15} に一致するカウンタ値 $C V_{11}$ が得られるときのクロック信号 C L K のクロック数 $C N_{-1}$ をカウントし、クロック数 $C N_{-1}$ をカウントしたタイミングを示す一致信号 M T H 1 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 1 は、動作を停止する。

40

【 0 2 4 3 】

更に、カウンター一致検出回路 5 1 は、マルチプレクサ 6 1 から距離信号 D_{17} を受け、リセット信号 R S T をスイッチング制御回路 6 0 から受けると、上述した方法によって、距離信号 D_{17} に一致するカウンタ値 $C V_{11}$ が得られるときのクロック信号 C L K のクロック数 $C N_{-1}$ をカウントし、クロック数 $C N_{-1}$ をカウントしたタイミングを示す一致信号 M T H 1 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路

50

5 1 は、動作を停止する。

【0244】

このように、カウンター一致検出回路 5 1 は、距離信号とリセット信号とを受けると、距離信号 (= 距離信号 D_{11} から奇数番目の距離信号 D_{11} , D_{13} , D_{15} , D_{17} のいずれか) に一致するカウンタ値 CV_{11} が得られるときのクロック信号 CLK のクロック数 CN_{11} をカウントし、クロック数 CN_{11} をカウントしたタイミングを示す一致信号 MTH 1 をスイッチング制御回路 6 0 へ出力し、その後、動作を停止する。

【0245】

カウンター一致検出回路 5 2 は、マルチプレクサ 6 2 から距離信号 D_{12} を受け、リセット信号 RST をスイッチング制御回路 6 0 から受けると、上述した方法によって、距離信号 D_{12} に一致するカウンタ値 CV_{12} が得られるときのクロック信号 CLK のクロック数 CN_{12} をカウントし、クロック数 CN_{12} をカウントしたタイミングを示す一致信号 MTH 2 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

10

【0246】

また、カウンター一致検出回路 5 2 は、マルチプレクサ 6 2 から距離信号 D_{14} を受け、リセット信号 RST をスイッチング制御回路 6 0 から受けると、上述した方法によって、距離信号 D_{14} に一致するカウンタ値 CV_{12} が得られるときのクロック信号 CLK のクロック数 CN_{12} をカウントし、クロック数 CN_{12} をカウントしたタイミングを示す一致信号 MTH 2 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

20

【0247】

更に、カウンター一致検出回路 5 2 は、マルチプレクサ 6 2 から距離信号 D_{16} を受け、リセット信号 RST をスイッチング制御回路 6 0 から受けると、上述した方法によって、距離信号 D_{16} に一致するカウンタ値 CV_{12} が得られるときのクロック信号 CLK のクロック数 CN_{12} をカウントし、クロック数 CN_{12} をカウントしたタイミングを示す一致信号 MTH 2 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

【0248】

更に、カウンター一致検出回路 5 2 は、マルチプレクサ 6 2 から距離信号 D_{18} を受け、リセット信号 RST をスイッチング制御回路 6 0 から受けると、上述した方法によって、距離信号 D_{18} に一致するカウンタ値 CV_{12} が得られるときのクロック信号 CLK のクロック数 CN_{12} をカウントし、クロック数 CN_{12} をカウントしたタイミングを示す一致信号 MTH 2 をスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

30

【0249】

このように、カウンター一致検出回路 5 2 は、距離信号とリセット信号とを受けると、距離信号 (= 距離信号 D_{11} から偶数番目の距離信号 D_{12} , D_{14} , D_{16} , D_{18} のいずれか) に一致するカウンタ値 CV_{12} が得られるときのクロック信号 CLK のクロック数 CN_{12} をカウントし、クロック数 CN_{12} をカウントしたタイミングを示す一致信号 MTH 2 をスイッチング制御回路 6 0 へ出力し、その後、動作を停止する。

40

【0250】

図 1 8 は、図 1 7 に示す距離 / クロック数変換回路 DC_{1-2} の動作を説明するための図である。

【0251】

図 1 8 を参照して、スイッチング制御回路 6 0 は、連想メモリ 1 0 0 の制御回路からの検索開始信号 SB およびリセット信号 RST に応じて、クロック信号 CLK に同期して、リセット信号 RST をカウンター一致検出回路 5 1 へ出力するとともに出力信号 OUT 1 をマルチプレクサ 6 1 へ出力する。

【0252】

50

マルチプレクサ61は、距離演算回路DP₁₁、DP₁₃、DP₁₅、DP₁₇からそれぞれ距離信号D₁₁、D₁₃、D₁₅、D₁₇を受ける。そして、マルチプレクサ61は、1回目の出力信号OUT1に応じて、距離信号D₁₁をカウンタ一致検出回路51へ出力する。

【0253】

そうすると、カウンタ一致検出回路51は、距離信号D₁₁(="3")に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数CN₁(="3")をカウントする。そして、カウンタ一致検出回路51は、クロック数CN₁(="3")をカウントしたタイミングを示す一致信号MTH1をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

10

【0254】

その後、スイッチング制御回路60は、一致信号MTH1をカウンタ一致検出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに、出力信号OUT2をマルチプレクサ62へ出力する。

【0255】

マルチプレクサ62は、距離演算回路DP₁₂、DP₁₄、DP₁₆、DP₁₈からそれぞれ距離信号D₁₂、D₁₄、D₁₆、D₁₈を受ける。そして、マルチプレクサ62は、1回目の出力信号OUT2に応じて、距離信号D₁₂(="2")をカウンタ一致検出回路52へ出力する。

20

【0256】

そうすると、カウンタ一致検出回路52は、距離信号D₁₂(="2")に一致するカウンタ値CV₁₂が得られるときのクロック信号CLKのクロック数CN₂(="2")をカウントする。そして、カウンタ一致検出回路52は、クロック数CN₂(="2")をカウントしたタイミングを示す一致信号MTH2をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。

【0257】

引き続き、スイッチング制御回路60は、一致信号MTH2をカウンタ一致検出回路52から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路51へ出力するとともに、出力信号OUT1をマルチプレクサ61へ出力する。

30

【0258】

マルチプレクサ61は、2回目の出力信号OUT1に応じて、距離信号D₁₃(="5")をカウンタ一致検出回路51へ出力する。

【0259】

そうすると、カウンタ一致検出回路51は、距離信号D₁₃(="5")に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数CN₁(="5")をカウントする。そして、カウンタ一致検出回路51は、クロック数CN₁(="5")をカウントしたタイミングを示す一致信号MTH1をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51は、動作を停止する。

40

【0260】

スイッチング制御回路60は、一致信号MTH1をカウンタ一致検出回路51から受けると、クロック信号CLKに同期して、リセット信号RSTをカウンタ一致検出回路52へ出力するとともに、出力信号OUT2をマルチプレクサ62へ出力する。

【0261】

マルチプレクサ62は、2回目の出力信号OUT2に応じて、距離信号D₁₄(="1")をカウンタ一致検出回路52へ出力する。

【0262】

そうすると、カウンタ一致検出回路52は、距離信号D₁₄(="1")に一致するカ

50

ウンタ値 CV_{12} が得られるときのクロック数 CN_2 (= " 1 ") をカウントする。そして、カウンター一致検出回路 5 2 は、クロック数 CN_2 (= " 1 ") をカウントしたタイミングを示す一致信号 MTH_2 をクロック信号 CLK に同期してスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

【 0 2 6 3 】

そして、スイッチング制御回路 6 0 は、一致信号 MTH_2 をカウンター一致検出回路 5 2 から受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンター一致検出回路 5 1 へ出力するとともに、出力信号 OUT_1 をマルチプレクサ 6 1 へ出力する。

【 0 2 6 4 】

マルチプレクサ 6 1 は、3 回目の出力信号 OUT_1 に応じて、距離信号 D_{15} (= " 2 ") をカウンター一致検出回路 5 1 へ出力する。

【 0 2 6 5 】

そうすると、カウンター一致検出回路 5 1 は、距離信号 D_{15} (= " 2 ") に一致するカウンタ値 CV_{11} が得られるときのクロック信号 CLK のクロック数 CN_1 (= " 2 ") をカウントする。そして、カウンター一致検出回路 5 1 は、クロック数 CN_1 (= " 2 ") をカウントしたタイミングを示す一致信号 MTH_1 をクロック信号 CLK に同期してスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 1 は、動作を停止する。

【 0 2 6 6 】

そして、スイッチング制御回路 6 0 は、一致信号 MTH_1 をカウンター一致検出回路 5 1 から受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンター一致検出回路 5 2 へ出力するとともに、出力信号 OUT_2 をマルチプレクサ 6 2 へ出力する。

【 0 2 6 7 】

マルチプレクサ 6 2 は、3 回目の出力信号 OUT_2 に応じて、距離信号 D_{16} (= " 4 ") をカウンター一致検出回路 5 2 へ出力する。

【 0 2 6 8 】

そうすると、カウンター一致検出回路 5 2 は、距離信号 D_{16} (= " 4 ") に一致するカウンタ値 CV_{12} が得られるときのクロック信号 CLK のクロック数 CN_2 (= " 4 ") をカウントする。そして、カウンター一致検出回路 5 2 は、クロック数 CN_2 (= " 4 ") をカウントしたタイミングを示す一致信号 MTH_2 をクロック信号 CLK に同期してスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 2 は、動作を停止する。

【 0 2 6 9 】

そして、スイッチング制御回路 6 0 は、一致信号 MTH_2 をカウンター一致検出回路 5 2 から受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンター一致検出回路 5 1 へ出力するとともに、出力信号 OUT_1 をマルチプレクサ 6 1 へ出力する。

【 0 2 7 0 】

マルチプレクサ 6 1 は、4 回目の出力信号 OUT_1 に応じて、距離信号 D_{17} (= " 2 ") をカウンター一致検出回路 5 1 へ出力する。

【 0 2 7 1 】

そうすると、カウンター一致検出回路 5 1 は、距離信号 D_{17} (= " 2 ") に一致するカウンタ値 CV_{11} が得られるときのクロック信号 CLK のクロック数 CN_1 (= " 2 ") をカウントする。そして、カウンター一致検出回路 5 1 は、クロック数 CN_1 (= " 2 ") をカウントしたタイミングを示す一致信号 MTH_1 をクロック信号 CLK に同期してスイッチング制御回路 6 0 へ出力する。そして、カウンター一致検出回路 5 1 は、動作を停止する。

【 0 2 7 2 】

その後、スイッチング制御回路 6 0 は、一致信号 MTH_1 をカウンター一致検出回路 5 1 から受けると、クロック信号 CLK に同期して、リセット信号 RST をカウンター一致検出回路 5 2 へ出力するとともに、出力信号 OUT_2 をマルチプレクサ 6 2 へ出力する。

10

20

30

40

50

【0273】

マルチプレクサ62は、4回目の出力信号OUT2に応じて、距離信号 D_{18} (= "3") をカウンタ一致検出回路52へ出力する。

【0274】

そうすると、カウンタ一致検出回路52は、距離信号 D_{18} (= "3") に一致するカウンタ値 CV_{12} が得られるときのクロック信号CLKのクロック数 CN_2 (= "3") をカウントする。そして、カウンタ一致検出回路52は、クロック数 CN_2 (= "3") をカウントしたタイミングを示す一致信号MTH2をクロック信号CLKに同期してスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路52は、動作を停止する。

10

【0275】

そうすると、スイッチング制御回路60は、カウンタ一致検出回路52からの4回目の一致信号MTH2に応じて、4回目の一致信号MTH2によって示されるタイミングと同じタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) をWinner検出器20へ出力する。

【0276】

このように、カウンタ一致検出回路51, 52は、交互に、それぞれ、距離信号 (= 距離信号 D_{11} から奇数番目の距離信号 $D_{11}, D_{13}, D_{15}, D_{17}$ のいずれか) および距離信号 (= 距離信号 D_{11} から偶数番目の距離信号 $D_{12}, D_{14}, D_{16}, D_{18}$ のいずれか) に一致するカウンタ値 CV_{11}, CV_{12} が得られるときのクロック信号CLKのクロック数 CN_1, CN_2 をカウントし、クロック数 CN_1, CN_2 をカウントしたタイミングを示す一致信号MTH1, MTH2をスイッチング制御回路60へ出力する。そして、カウンタ一致検出回路51, 52は、この処理を4 (= s) 回繰り返し実行する。

20

【0277】

距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々が距離/クロック数変換回路 $DC''_1 - 2$ からなる場合も、距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々は、距離信号 $D_{11} = "3", D_{12} = "2", D_{13} = "5", D_{14} = "1", D_{15} = "2", D_{16} = "4", D_{17} = "2", D_{18} = "3"$ の和 (= "22") に一致するカウンタ値が得られるときのクロック信号CLKのクロック数 (= "22") をカウントし、クロック数 (= "22") をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) をWinner検出器20へ出力する。

30

【0278】

上記においては、 $W = 8$ である場合について説明したが、 W は、 2^i を満たせば、8以外の値であってもよい。

【0279】

そして、 W が 2^i を満たす8以外の値であるときも、距離/クロック数変換回路 $DC_1 \sim DC_R$ は、それぞれ、上述した動作と同じ動作によってタイミング信号 $C_1 \sim C_R$ をWinner検出器20へ出力する。

【0280】

また、上記においては、 $s = 2, 4$ の場合について説明したが、 s は、 W 以下の 2^x を満たす整数であれば、2, 4以外の値からなってもよく、その場合も、距離/クロック数変換回路 $DC_1 \sim DC_R$ は、それぞれ、上述した動作と同じ動作によってタイミング信号 $C_1 \sim C_R$ をWinner検出器20へ出力する。

40

【0281】

上述したように、図13および図17においては、距離/クロック数変換回路 $DC_1 \sim DC_R$ (= 距離/クロック数変換回路 $DC'_1 - 2, DC''_1 - 2$)の各々が2つのカウンタ一致検出回路51, 52からなる場合について説明した。

【0282】

そして、距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々が図13に示す距離/クロッ

50

ク数変換回路 DC'_{1-2} または図 17 に示す距離 / クロック数変換回路 DC''_{1-2} からなる場合、カウンター一致検出回路 51 は、 W 個の距離信号 (= 距離信号 $D_{11} \sim D_{1W}$ 等) を一列に配列したときの一方端から p (p は $1 < p < W$ を満たす奇数) 番目の距離信号を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、 p 番目の距離信号に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_1 をカウントし、クロック数 CN_1 をカウントしたタイミングを示す一致信号 $MTH1$ を出力する一致処理を $W/2$ 回繰り返し実行する。

【0283】

また、カウンター一致検出回路 52 は、 W 個の距離信号 (= 距離信号 $D_{11} \sim D_{1W}$ 等) を一列に配列したときの一方端から q (q は $1 < q < W$ を満たす偶数) 番目の距離信号を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、 q 番目の距離信号に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_2 をカウントし、クロック数 CN_2 をカウントしたタイミングを示す一致信号 $MTH2$ を出力する一致処理を $(W/2) - 1$ 回繰り返し実行し、一致信号 $MTH1$ を $W/2$ 回受け、かつ、 W 番目の距離信号を受けると、カウンタ値をクロック信号 CLK に同期して昇順にカウントしたときに、 W 番目の距離信号に一致するカウンタ値が得られるときのクロック信号 CLK のクロック数 CN_2 をカウントし、クロック数 CN_2 をカウントしたタイミングを示すタイミング信号 (= タイミング信号 $C_1 \sim C_R$ のいずれか) を $Winner$ 検出器 20 へ出力する。

10

【0284】

この場合、カウンター一致検出回路 51 は、「第 1 のカウンター一致検出回路」を構成し、カウンター一致検出回路 52 は、「第 2 のカウンター一致検出回路」を構成する。

20

【0285】

また、カウンター一致検出回路 51 のカウンタ 311 (またはカウンタ 311A) は、「第 1 のカウンタ」を構成し、カウンター一致検出回路 51 の一致検出回路 312 は、「第 1 の一致検出回路」を構成する。

【0286】

更に、カウンター一致検出回路 52 のカウンタ 311 (またはカウンタ 311A) は、「第 2 のカウンタ」を構成し、カウンター一致検出回路 52 の一致検出回路 312 は、「第 2 の一致検出回路」を構成する。

30

【0287】

図 13 および図 17 に示すように、距離 / クロック数変換回路 $DC_1 \sim DC_R$ (= 距離 / クロック数変換回路 DC'_{1-2} , DC''_{1-2}) の各々を 2 個のカウンター一致検出回路 51, 52 によって構成することによって、距離 / クロック数変換回路 $DC_1 \sim DC_R$ の回路面積を削減でき、消費電力を低減できる。

【0288】

図 19 は、最短検索時間の比較を示す図である。図 19 における周波数マッピング型とは、検索データと参照データとの距離を周波数に変換して検索データに類似する参照データを検索する連想メモリを意味する。

【0289】

また、図 19 の (a) は、 $M \times W = 16$ ビット \times 8 ユニット = 128 ビットの参照データを 64 個用いた場合の最短検索時間の比較を示す。更に、図 19 の (b) は、 $M \times W = 16$ ビット \times 16 ユニット = 256 ビットの参照データを 64 個用いた場合の最短検索時間の比較を示す。

40

【0290】

図 19 の (a) を参照して、 $M \times W = 16$ ビット \times 8 ユニット = 128 ビットの参照データを 64 個用いた場合、周波数マッピング型の連想メモリにおいては、最短検索時間が 1280 (ns) であるのに対し、本発明の連想メモリ 100 においては、最短検索時間が 20 (ns) である。

【0291】

50

図19の(b)を参照して、 $M \times W = 16 \text{ ビット} \times 16 \text{ ユニット} = 256 \text{ ビット}$ の参照データを64個用いた場合、周波数マッピング型の連想メモリにおいては、最短検索時間が210000 (ns)であるのに対し、本発明の連想メモリ100においては、最短検索時間が40 (ns)である。

【0292】

このように、この発明の実施の形態による連想メモリ100は、従来の周波数マッピング型の連想メモリよりも2桁以上短い時間で検索データに類似する参照データを検索できることが実験的に実証された。

【0293】

また、この発明の実施の形態による連想メモリ100は、参照データのビット数が多くなるに従って、検索時間を飛躍的に短くできることが実験的に実証された。

10

【0294】

図20は、消費電力の比較を示す図である。図20において、従来例の連想メモリは、非特許文献3に記載された連想メモリである。

【0295】

図20を参照して、従来例の連想メモリにおいては、64個の参照データが用いられ、本発明の連想メモリ100においては、128個の参照データが用いられた。

【0296】

そして、従来例の連想メモリにおいては、消費電力は、321 (mW)であるのに対し、本発明の連想メモリ100においては、消費電力は、2.13 (mW)である。

20

【0297】

このように、この発明の実施の形態による連想メモリ100は、参照データ数が2倍多いにも拘わらず、従来例の連想メモリよりも2桁以上消費電力を低減できることが実験的に実証された。

【0298】

従って、この発明の実施の形態による連想メモリ100を用いれば、低消費電力で高速に検索データに類似する参照データを検索できることが明らかである。

【0299】

なお、上記においては、マンハッタン距離を用いて検索データに類似するk個の参照データを検索すると説明したが、この発明の実施の形態においては、これに限らず、ハミング距離を用いて検索データに類似するk個の参照データを検索してもよい。

30

【0300】

この場合、Mビットは、1ビットからなり、参照データ保存回路 $SC_{11} \sim SC_{1W}$ 、 $SC_{21} \sim SC_{2W}$ 、 \dots 、 $SC_{R1} \sim SC_{RW}$ の各々は、1ビットの参照データを保存する。また、距離演算回路 $DP_{11} \sim DP_{1W}$ 、 $DP_{21} \sim DP_{2W}$ 、 \dots 、 $DP_{R1} \sim DP_{RW}$ の各々は、検索データの1ビットと参照データの1ビットとの距離を式(1)に従って演算する。

【0301】

そして、連想メモリ100は、上述した動作に従って、ハミング距離を用いて検索データに類似するk個の参照データを検索する。

40

【0302】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0303】

この発明は、連想メモリに適用される。

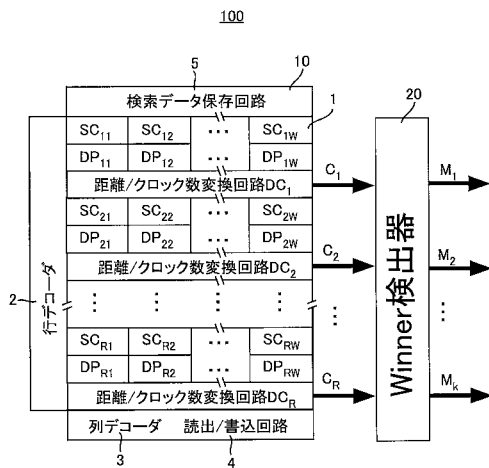
【符号の説明】

【0304】

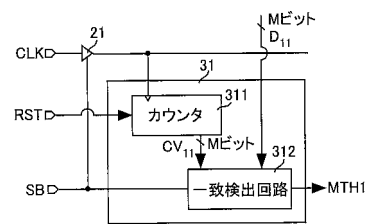
50

1 メモリ部、2 行デコーダ、3 列デコーダ、4 読出/書込回路、5 検索データ保存回路、10 メモリアレイ部、20 Winner 検出器、21 ~ 2W, 41 ~ 4L 増幅器、31 ~ 3W, 51 ~ 5L カウンタ一致検出回路、60 スイッチング制御回路、61 ~ 6L マルチプレクサ、100 連想メモリ、311, 311A カウンタ、312 一致検出回路、311-1 ~ 311-M 分周器、SC₁₁ ~ SC_{1W}, SC₂₁ ~ SC_{2W}, ..., SC_{R1} ~ SC_{RW} 参照データ保存回路、DP₁₁ ~ DP_{1W}, DP₂₁ ~ DP_{2W}, ..., DP_{R1} ~ DP_{RW} 距離演算回路、DC₁ ~ DC_R 距離/クロック数変換回路。

【 図 1 】



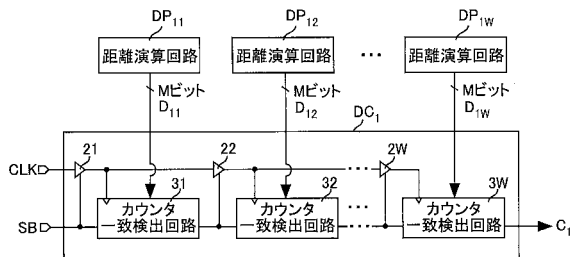
【 図 3 】



【 図 4 】

クロック数	カウンタ値	距離信号
0	000	011
1	001	011
2	010	011
3	011	011
4	011	011
5	011	011

【 図 2 】

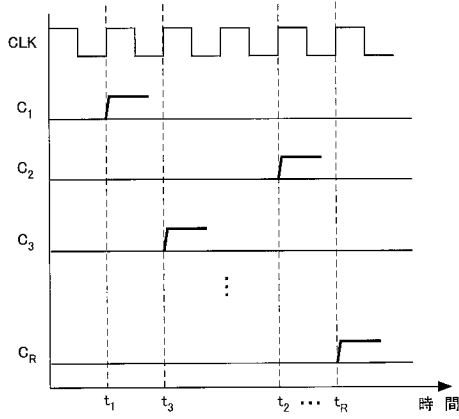


【 図 5 】

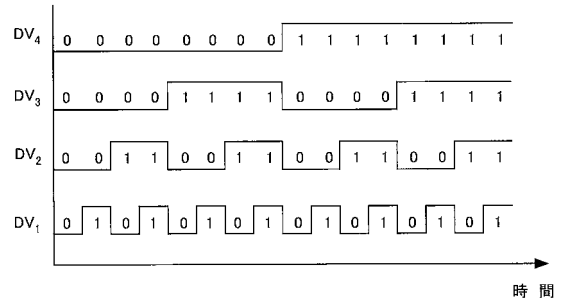
クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)
0	000	011	000	101
1	001	011	000	101
2	010	011	000	101
3	011	011	000	101
4	011	011	001	101
5	011	011	010	101
6	011	011	011	101
7	011	011	100	101
8	011	011	101	101
9	011	011	101	101

Distance 3 is indicated for clock 3, and Distance 5 is indicated for clock 8.

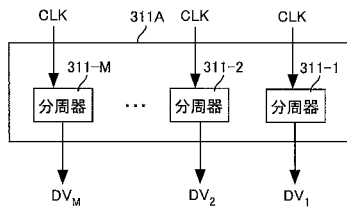
【図6】



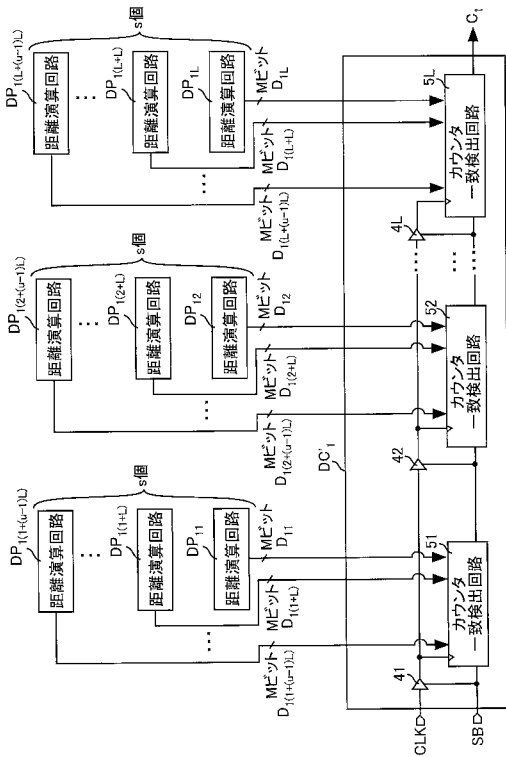
【図8】



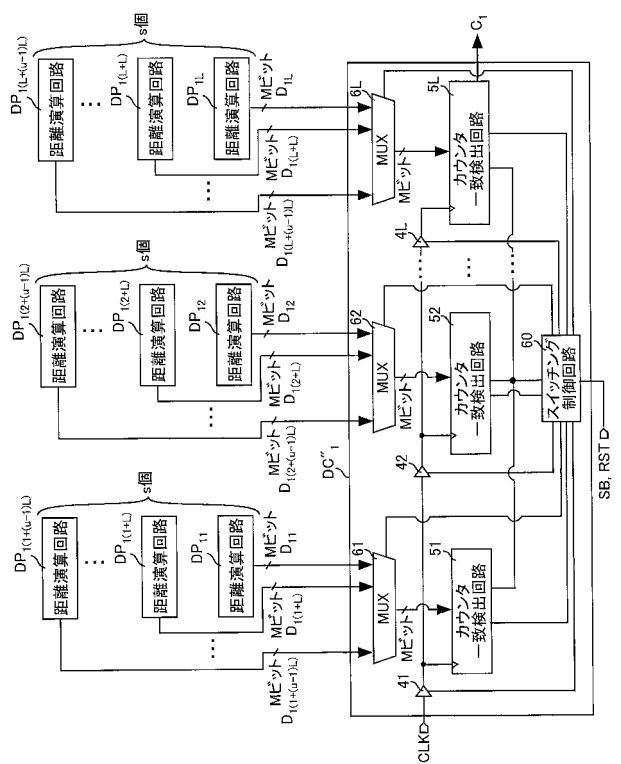
【図7】



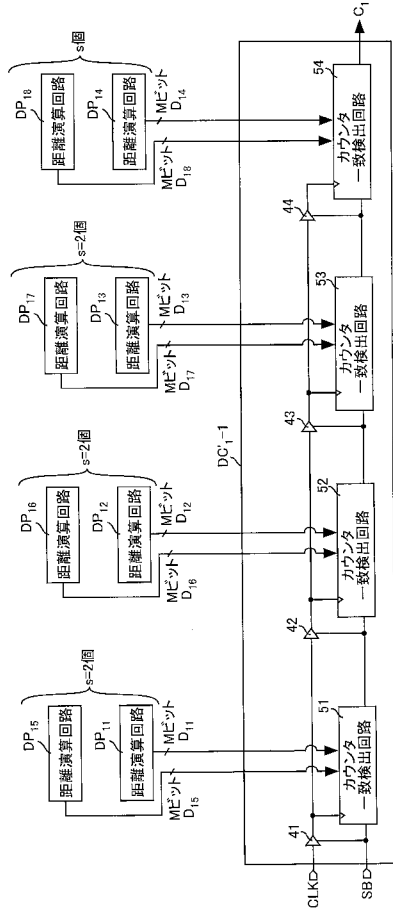
【図9】



【図10】



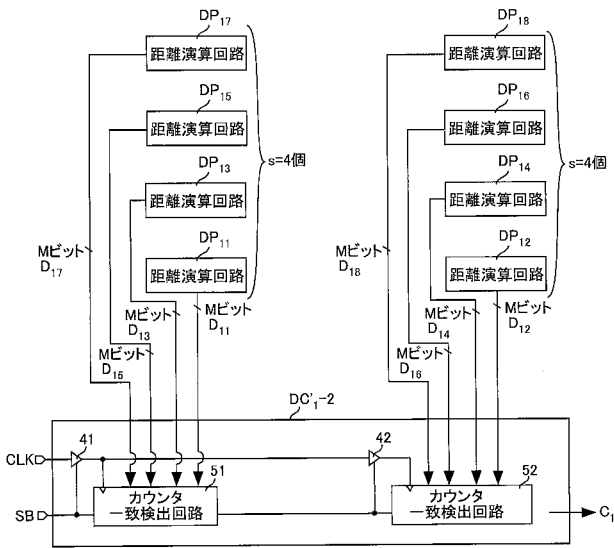
【図 1 1】



【図 1 2】

クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)	カウンタ値 (第3ユニット)	距離信号 (第3ユニット)	カウンタ値 (第4ユニット)	距離信号 (第4ユニット)
0	000	101	000	110	000	111	000	100
1	001	101	000	110	000	111	000	100
2	010	101	000	110	000	111	000	100
3	011	101	000	110	000	111	000	100
4	100	101	000	110	000	111	000	100
5	101	101	000	110	000	111	000	100
6	101	101	001	110	000	111	000	100
7	101	101	010	110	000	111	000	100
8	101	101	011	110	000	111	000	100
9	101	101	100	110	000	111	000	100
10	101	101	101	110	000	111	000	100
11	101	101	110	110	000	111	000	100
12	101	101	100	110	001	111	000	100
13	101	101	100	110	010	111	000	100
14	101	101	100	110	011	111	000	100
15	101	101	100	110	100	111	000	100
16	101	101	100	110	101	111	000	100
17	101	101	100	110	110	111	000	100
18	101	101	100	110	111	111	000	100
19	101	101	100	110	111	111	001	100
20	101	101	100	110	111	111	010	100
21	101	101	100	110	111	111	011	100
22	101	101	100	110	111	111	100	100

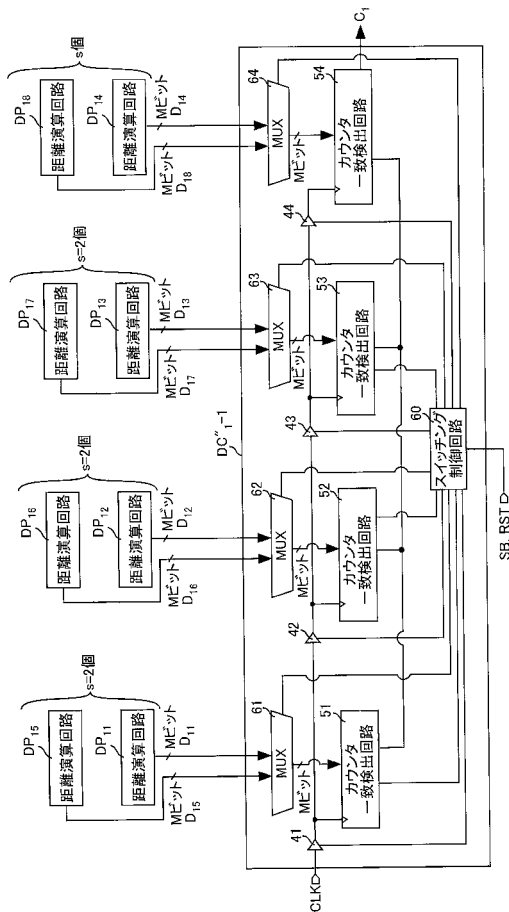
【図 1 3】



【図 1 4】

クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)
0	0000	1100	0000	1010
1	0001	1100	0000	1010
2	0010	1100	0000	1010
3	0011	1100	0000	1010
4	0100	1100	0000	1010
5	0101	1100	0000	1010
6	0110	1100	0000	1010
7	0111	1100	0000	1010
8	1000	1100	0000	1010
9	1001	1100	0000	1010
10	1010	1100	0000	1010
11	1011	1100	0000	1010
12	1100	1100	0000	1010
13	1100	1100	0001	1010
14	1100	1100	0010	1010
15	1100	1100	0011	1010
16	1100	1100	0100	1010
17	1100	1100	0101	1010
18	1100	1100	0110	1010
19	1100	1100	0111	1010
20	1100	1100	1000	1010
21	1100	1100	1001	1010
22	1100	1100	1010	1010

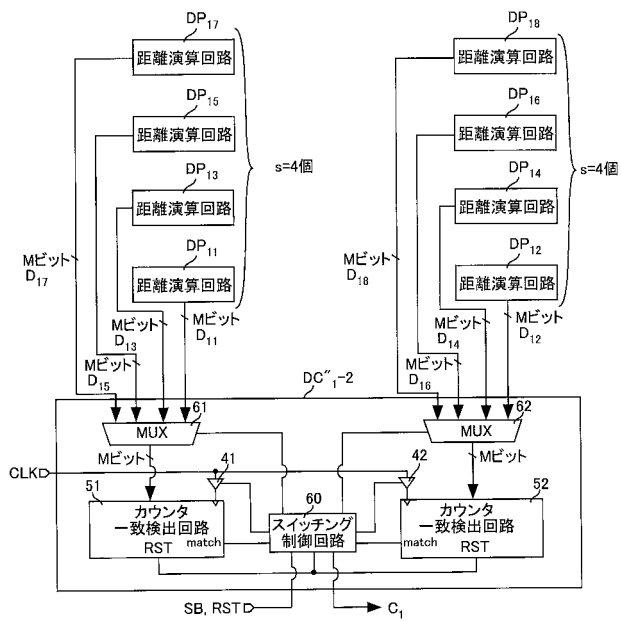
【図 15】



【図 16】

クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)	カウンタ値 (第3ユニット)	距離信号 (第3ユニット)	カウンタ値 (第4ユニット)	距離信号 (第4ユニット)
0	000	011	000	010	000	101	000	001
1	001	011	000	000	101	000	000	001
2	010	011	000	010	000	101	000	001
3	011	011	000	010	000	101	000	001
4	011	011	001	010	000	101	000	001
5	011	011	010	010	000	101	000	001
6	101	101	010	010	010	101	000	001
7	101	101	010	010	010	101	000	001
8	101	101	010	010	011	101	000	001
9	101	101	010	010	100	101	000	001
10	101	101	010	010	101	101	000	001
11	000	010	010	010	101	101	000	001
12	001	010	010	010	101	101	000	100
13	010	010	000	100	101	101	000	100
14	010	010	001	100	101	101	000	100
15	010	010	011	100	101	101	000	100
16	010	010	100	100	101	101	000	100
17	010	010	100	100	000	010	000	100
18	010	010	100	110	010	010	000	100
19	010	010	100	110	010	010	000	011
20	010	010	100	110	010	010	001	011
21	010	010	100	110	010	010	010	011
22	010	010	100	110	010	010	010	011

【図 17】



【図 18】

クロック数	カウンタ値 (第1ユニット)	距離信号 (第1ユニット)	カウンタ値 (第2ユニット)	距離信号 (第2ユニット)
0	000	011	000	010
1	001	011	000	010
2	010	011	000	010
3	011	011	000	010
4	011	011	001	010
5	000	101	010	010
6	001	101	010	010
7	010	101	010	010
8	011	101	010	010
9	100	101	010	010
10	101	101	000	001
11	000	010	001	001
12	001	010	001	001
13	010	010	000	100
14	010	010	001	100
15	010	010	010	100
16	010	010	011	100
17	000	010	100	100
18	001	010	100	100
19	010	010	000	011
20	010	010	001	011
21	010	010	010	011
22	010	010	011	011

【 図 19 】

M×W=16ビット×8ユニット=128ビット 64個の参照データ

	周波数マッピング型	本発明(クロック同期型)
最短検索時間(ns)	1280	20

(a)

M×W=16ビット×16ユニット=256ビット 64個の参照データ

	周波数マッピング型	本発明(クロック同期型)
最短検索時間(ns)	210000	40

(b)

【 図 20 】

	従来例(非特許文献3)	本発明(クロック同期型)
参照データ数(words)	64	128
消費電力(mW)	321	2.13

フロントページの続き

- (72)発明者 小出 哲士
広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内
- (72)発明者 佐々木 静龍
広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内
- (72)発明者 赤澤 智信
広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内