

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5881037号
(P5881037)

(45) 発行日 平成28年3月9日(2016.3.9)

(24) 登録日 平成28年2月12日(2016.2.12)

(51) Int.Cl. F I
 HO 1 L 21/66 (2006.01) HO 1 L 21/66 Q
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 3 O 1 T
 HO 1 L 29/78 (2006.01)

請求項の数 10 (全 14 頁)

(21) 出願番号	特願2011-175232 (P2011-175232)	(73) 特許権者	504132272 国立大学法人京都大学
(22) 出願日	平成23年8月10日 (2011. 8. 10)		京都府京都市左京区吉田本町 3 6 番地 1
(65) 公開番号	特開2013-38340 (P2013-38340A)	(74) 代理人	100091096 弁理士 平木 祐輔
(43) 公開日	平成25年2月21日 (2013. 2. 21)	(74) 代理人	100102576 弁理士 渡辺 敏章
審査請求日	平成26年8月8日 (2014. 8. 8)	(74) 代理人	100108394 弁理士 今村 健一
		(72) 発明者	木本 恒暢 京都府京都市西京区京都大学桂 国立大学 法人京都大学大学院工学研究科内
		(72) 発明者	吉岡 裕典 京都府京都市西京区京都大学桂 国立大学 法人京都大学大学院工学研究科内

最終頁に続く

(54) 【発明の名称】 絶縁物/半導体界面の評価方法及び評価装置

(57) 【特許請求の範囲】

【請求項 1】

100MHz程度の高周波におけるC-V特性を元に、酸化膜容量の影響を排除した半導体容量(C_D+C_{IT}~C_D)を計算する第1ステップと、

1/(C_D+C_{IT})²を、低周波(準静電的)C-V特性から計算される表面ポテンシャルsに対してプロットする第2ステップと、

s-1/(C_D+C_{IT})²プロットの外挿値が原点を通るように定数項を定めることにより、表面ポテンシャルsの絶対値を確定する第3ステップとを有することを特徴とする絶縁物/半導体界面の評価方法。

ここで、C_Dは、半導体の容量であり、C_{IT}は、界面順位に起因する容量であり、CはMOSキャパシタの容量である。

【請求項 2】

前記第1ステップにおいては、

$$1/(C_D+C_{IT}) \approx 1/C_D = 1/C - 1/C_{OX}$$

を用い、

前記第2ステップにおいては、

$$\psi_s(V_G) = \int (1 - C_{QS}/C_{OX}) dV_G + A$$

を用い、

前記第3ステップにおいては、

$$\frac{1}{(C_D + C_{IT})^2} \approx \frac{1}{(C_{depletion})^2} = \frac{2\psi_s}{S^2 \epsilon_{SiC} e N_D}$$

10

を用いることを特徴とする請求項1に記載の絶縁物/半導体界面の評価方法。

ここで、 C_{OX} は、酸化膜の容量であり、 V_G はゲート電圧であり、 C_{QS} は、準静電的な容量であり、 A は、積分定数であり、 $C_{depletion}$ は、空乏層の容量であり、 S はゲート電極の面積であり、 ϵ_{SiC} は、SiCの誘電率であり、 e は、素電荷であり、 N_D は、SiCのドーピング濃度である。

【請求項3】

確定した前記表面ポテンシャル ψ_s を用いて、酸化膜容量を差し引いた容量 ($C_D + C_{IT}$) と ψ_s との関係が絶縁物/半導体界面における界面欠陥に起因する容量 C_{IT} が無視できる程度の高周波および低周波で求める第4ステップと、

20

前記 $1/(C_D + C_{IT})^2 - \psi_s$ プロットから求めたドーピング密度 N_D を用いて半導体容量 C_D の理論特性とに基づいて、低周波 ($C_D + C_{IT}$) 特性と理論特性 C_D (理論) との差分が界面準位に起因する容量 C_{IT} となることを利用して、当該 C_{IT} 値から界面準位密度 D_{IT} を求める第5ステップと

を有することを特徴とする請求項1に記載の絶縁物/半導体界面の評価方法。

【請求項4】

前記第4ステップにおいては、

$$C_{D,theory}(\psi_s) = \frac{SeN_D \left| \exp\left(\frac{e\psi_s}{kT}\right) - 1 \right|}{\sqrt{\frac{2kTN_D}{\epsilon_{SiC}} \left\{ \exp\left(\frac{e\psi_s}{kT}\right) - \frac{e\psi_s}{kT} - 1 \right\}}}$$

30

を用い、

前記第5ステップにおいては、

$$D_{IT} = \frac{(C_D + C_{IT})_{QS} - C_D}{Se^2}$$

40

を用いることを特徴とする請求項3に記載の絶縁物/半導体界面の評価方法。

ここで、 $C_{D,theory}$ は C_D の理論値であり、 k はボルツマン定数であり、 T は温度、 $(C_D + C_{IT})_{QS}$ は、半導体の容量と界面準位に起因する容量との和 (準制電的な容量) である。

【請求項5】

前記理論特性 C_D (理論) の代わりに、十分周波数の高い $C_D + C_{IT}$ 特性を用いて求めることを特徴とする請求項3又は4に記載の絶縁物/半導体界面の評価方法。

【請求項6】

50

前記半導体は、SiCであり、

前記高周波は、100MHz程度の超高周波であることを特徴とする請求項5に記載の絶縁物/半導体界面の評価方法。

【請求項7】

請求項1又2に記載の絶縁物/半導体界面の評価方法で求めた表面ポテンシャル ϕ_s を、請求項3から5までのいずれか1項に記載の絶縁物/半導体界面の評価方法における前記第4のステップの表面ポテンシャル ϕ_s として用いることを特徴とする絶縁物/半導体界面の評価方法。

【請求項8】

請求項1から7までのいずれか1項に記載の絶縁物/半導体界面の評価方法を、コンピュータに実行させるためのプログラム。 10

【請求項9】

絶縁物/半導体界面における界面欠陥に起因する容量 C_{IT} が無視できる程度の高周波におけるC-V特性を元に、酸化膜容量の影響を排除した半導体容量($C_D + C_{IT}$)を計算する半導体容量($C_D + C_{IT}$)演算部と、

$1/(C_D + C_{IT})^2$ を低周波(準静電的)C-V特性から計算される表面ポテンシャル ϕ_s に対してプロットする $1/(C_D + C_{IT})^2 - \phi_s$ プロット部と、

$1/(C_D + C_{IT})^2 - \phi_s$ プロットの外挿値が原点を通るように定数項を定めることにより、表面ポテンシャル ϕ_s の絶対値を確定する積分定数A演算部と

を有することを特徴とする絶縁物/半導体界面の評価装置。 20

【請求項10】

確定した前記表面ポテンシャル ϕ_s を用いて、酸化膜容量を差し引いた容量($C_D + C_{IT}$)と ϕ_s との関係を絶縁物/半導体界面における界面欠陥に起因する容量 C_{IT} が無視できる程度の高周波および低周波で求めるMOSキャパシタの $V_G - \phi_s$ プロット部と、

前記 $1/(C_D + C_{IT})^2 - \phi_s$ プロットから求めたドーピング密度 N_D を用いて半導体容量 C_s の理論特性とに基づいて、低周波($C_D + C_{IT}$)特性と理論特性 C_D (理論)との差分が界面準位に起因する容量 C_{IT} となることを利用して、当該 C_{IT} 値から界面準位密度 D_{IT} を求める D_{IT} 演算部と

を有することを特徴とする請求項9に記載の絶縁物/半導体界面の評価装置。

【発明の詳細な説明】 30

【技術分野】

【0001】

本発明は、絶縁物/半導体界面の評価技術に関し、特に、絶縁膜/SiC半導体界面欠陥の評価技術に関する。

【背景技術】

【0002】

絶縁膜/半導体界面(MIS界面、MOS界面)の電子物性は、MOSFET、TFT、CCD、太陽電池など多くの主要な半導体デバイスの性能を左右する重要な特性である。特に、次世代パワー半導体として期待される炭化珪素(SiC)の分野では、パワーMOSFETの高性能化が最も重要な課題の一つであるが、酸化膜/SiC界面に多くの欠陥(界面準位)が存在し、MOS界面のチャネル移動度が極めて低いことが問題となっている。 40

【0003】

酸化膜/SiC界面の評価では、エネルギーバンド端に近づくにつれて界面準位密度が指数関数的に増大することが見出され、このエネルギー的に浅い界面準位が、チャネル移動度の低下をもたらしていることが分かっている。

【0004】

したがって、このエネルギー的に浅い界面準位を正確に評価する手法(エネルギー位置と界面準位密度との両方を正確に求める手法)の確立が急務となっている。

【0005】 50

絶縁膜/半導体界面の界面準位密度の評価法については、Siの分野で20～40年前に確立されて以来、ほとんど進展がないと言って過言ではない。これらの評価法には、以下のものがある。

【0006】

- 1) MISあるいはMOS構造(MISあるいはMOSキャパシタ)の高周波(0.1 - 1 MHz)特性と理論特性の差分から界面準位密度を求めるターマン法。
- 2) 高周波(0.1 - 1 MHz)および低周波(準静電的, QS)のC-V特性から求めるhigh-low法。
- 3) MOS構造のコンダクタンスの周波数依存性を元に解析するコンダクタンス法。

【0007】

上記1)から3)までの3種類の評価方法が一般的であり、これらは半導体に関する多くの教科書にも記載されている。例えば、当該分野の代表的な教科書である下記非特許文献1などに記載されている。

【先行技術文献】

【非特許文献】

【0008】

【非特許文献1】S.M. Sze and K.K. Ng, "Physics of Semiconductor Devices (3rd ed.)", Chapter 4, (2007, John Wiley & Sons, Inc., USA).

【発明の概要】

【発明が解決しようとする課題】

【0009】

上記従来技術である3種類の代表的な界面準位密度評価法の問題点について、以下に説明する。

【0010】

- 1) ターマン法: 測定は簡便である。
しかしながら、界面準位密度の絶対値に関する感度が低く、界面準位密度が $3 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下になると、ノイズと計算誤差の影響を受けて界面準位密度を正確に評価できない。

【0011】

また、各々の界面準位密度に相当するエネルギー位置の求め方が極めて曖昧であり、正確な界面準位密度の分布を求めることが不可能である。

【0012】

- 2) High-low法: QSと0.1 - 1 MHzの高周波とで、C-V測定を行う方法であり、測定は比較的簡便である。また、界面準位密度の定量評価も比較的良好的であるため、Siの分野では標準的な評価手法となっている。

【0013】

しかしながら、エネルギー位置の求め方に曖昧性があり、界面準位密度がバンド端近傍で急激な変化を示す場合(SiCの場合など)には、適用することが危険である。

【0014】

また、SiCの場合に適用すると、最も重要なバンド端近傍の界面準位密度を著しく過小評価することが知られており、問題となっていた。また、この過小評価の物理的理由も不明であった。

【0015】

- 3) コンダクタンス法: 界面準位密度の絶対評価という観点では、最も精度が良い。
しかしながら、測定とデータ解析とに極めて長時間を要することが最大の問題である(high-low法に比べて3倍以上の時間が必要である)。

【0016】

さらに、得られる界面準位密度は、特定のエネルギー位置に対応する不連続な点としてのみ求められ、デバイス特性解析に必要な界面準位密度のエネルギー分布を直接求めることが不可能である。

10

20

30

40

50

【0017】

加えて、high-low法の場合と同様に、エネルギー位置の曖昧性、バンド端近傍での界面準位密度の定量性に問題がある。

【0018】

本発明は、MISあるいはMOS界面の欠陥密度（界面準位密度）を簡便かつ高い精度で求めることを目的とする。

【課題を解決するための手段】

【0019】

本発明の一観点によれば、100MHz程度の高周波におけるC-V特性を元に、酸化膜容量の影響を排除した半導体容量（ $C_D + C_{IT} \sim C_D$ ）を計算する第1ステップと、 $1/(C_D + C_{IT})^2$ を、低周波（準静電的）C-V特性から計算される表面ポテンシャル ψ_s に対してプロットする第2ステップと、 $\psi_s - 1/(C_D + C_{IT})^2$ プロットの外挿値が原点を通るように定数項を定めることにより、表面ポテンシャル ψ_s の絶対値を確定する第3ステップとを有することを特徴とする絶縁物/半導体界面の評価方法が提供される。ここで、100MHz程度とは、絶縁物/半導体界面における界面欠陥に起因する容量 C_{IT} が無視できる程度の高周波を示すものである。

10

【0020】

前記第1ステップにおいては、

$$1/(C_D + C_{IT}) \approx 1/C_D = 1/C - 1/C_{OX}$$

20

を用い、

前記第2ステップにおいては、

$$\psi_s(V_G) = \int (1 - C_{QS}/C_{OX}) dV_G + A$$

を用い、

前記第3ステップにおいては、

$$\frac{1}{(C_D + C_{IT})^2} \approx \frac{1}{(C_{depletion})^2} = -\frac{2\psi_s}{S^2 \epsilon_{SiC} e N_D}$$

を用いることができる。

30

【0021】

また、本発明は、確定した前記表面ポテンシャル ψ_s を用いて、酸化膜容量を差し引いた容量（ $C_D + C_{IT}$ ）と ψ_s との関係性を絶縁物/半導体界面における界面欠陥に起因する容量 C_{IT} が無視できる程度の高周波および低周波で求める第4ステップと、前記 $1/(C_D + C_{IT})^2 - \psi_s$ プロットから求めたドーピング密度 N_D を用いて半導体容量 C_D の理論特性とに基づいて、低周波（ $C_D + C_{IT}$ ）特性と理論特性 C_D （理論）との差分が界面準位に起因する容量 C_{IT} となることを利用して、当該 C_{IT} 値から界面準位密度 D_{IT} を求める第5ステップとを有することを特徴とする絶縁物/半導体界面の評価方法である。

【0022】

ここで、前記第4ステップにおいては、

40

$$C_{D,theory}(\psi_s) = \frac{SeN_D \left| \exp\left(\frac{e\psi_s}{kT}\right) - 1 \right|}{\sqrt{\frac{2kTN_D}{\epsilon_{SiC}} \left\{ \exp\left(\frac{e\psi_s}{kT}\right) - \frac{e\psi_s}{kT} - 1 \right\}}}$$

を用い、

前記第5ステップにおいては、

$$D_{IT} = \frac{(C_D + C_{IT})_{QS} - C_D}{Se^2}$$

を用いることができる。

【0023】

前記理論特性 C_D (理論) の代わりに、十分周波数の高い $C_D + C_{IT}$ 特性を用いて求めることも可能である。

【0024】

前記半導体は、SiCであり、前記高周波は、100MHz程度の超高周波であることが好ましいが、Si, Ge, GaAs, GaNなど任意の半導体材料について適用可能である。禁制帯幅が比較的小さい半導体においては、室温で容易に反転層が形成されるために、広い電圧範囲で空乏層容量を求めることが困難であるが、そのような場合にはパルス電圧を用いたパルスC-V測定を行えば、深い空乏状態が得られ、広範囲で正確に空乏層容量を求めることができる。

10

【0025】

また、本発明は、上記第1から第3までのステップを含む絶縁物/半導体界面の評価方法で求めた表面ポテンシャル s を、前記第4、第5のステップを含む絶縁物/半導体界面の評価方法における前記第4のステップの表面ポテンシャル s として用いることを特徴とする絶縁物/半導体界面の評価方法である。

【0026】

本発明は、上記のいずれかに記載の絶縁物/半導体界面の評価方法を、コンピュータに実行させるためのプログラムである。

20

【0027】

本発明は、当該プログラムを記録するコンピュータ読み取り可能な記録媒体であっても良い。

【0028】

本発明の他の観点によれば、絶縁物/半導体界面における界面欠陥に起因する容量 C_{IT} が無視できる程度の高周波におけるC-V特性を元に、酸化膜容量の影響を排除した半導体容量 ($C_D + C_{IT}$) を計算する半導体容量 ($C_D + C_{IT}$) 演算部と、 $1/(C_D + C_{IT})^2$ を低周波(準静電的)C-V特性から計算される表面ポテンシャル s に対してプロットする $1/(C_D + C_{IT})^2 - s$ プロット部と、 $s - 1/(C_D + C_{IT})^2$ プロットの外挿値が原点を通るように定数項を定めることにより、表面ポテンシャル s の絶対値を確定する積分定数A演算部と、を有することを特徴とする絶縁物/半導体界面の評価装置が提供される。

30

【0029】

確定した前記表面ポテンシャル s を用いて、酸化膜容量を差し引いた容量 ($C_D + C_{IT}$) と s との関係性を絶縁物/半導体界面における界面欠陥に起因する容量 C_{IT} が無視できる程度の高周波および低周波で求めるMOSキャパシタの $V_G - s$ プロット部と、前記 $1/(C_D + C_{IT})^2 - s$ プロットから求めたドーピング密度 N_D を用いて半導体容量 C_s の理論特性とに基づいて、低周波 ($C_D + C_{IT}$) 特性と理論特性 C_D (理論) との差分が界面準位に起因する容量 C_{IT} となることを利用して、当該 C_{IT} 値から界面準位密度 D_{IT} を求める D_{IT} 演算部とを有することが好ましい。

40

【発明の効果】

【0030】

本発明によれば、MISあるいはMOS界面の欠陥密度(界面準位密度)を簡便(高速)かつ高い精度で得ることができる。

【0031】

また、不連続なデータになることなく、連続的なエネルギー分布を得ることができるため、精密な解析結果を得ることができる。

【図面の簡単な説明】

50

【0032】

【図1】本発明の一実施の形態による、MOSキャパシタのC-V測定結果を示す図であり、準静電的(QS: quasi-static)、10kHz、1MHz、100MHzでの測定結果を示す図である。

【図2】MOSキャパシタの等価回路図であり、図2(a)は、界面準位を含む一般的な界面構造の等価回路図であり、図2(b)は、界面に多数キャリアが強く蓄積された状態における等価回路図である。

【図3】高周波での、空乏状態における $1/(C_D + C_{IT})^2$ と s との関係をプロットした図である。ここでは、1MHzと100MHzとの値を示している。

【図4】 $C_D + C_{IT}$ と s との関係を、種々の周波数で求めた特性と、理論特性とを示す図である。

10

【図5】同じキャパシタにおいて、本願を含む種々の方法(本願の方法、従来のhigh-low法、コンダクタンス法)で求めた界面準位密度のエネルギー分布を示す図である。

【図6】本実施の形態で使用した絶縁膜/SiCキャパシタの構造の一例を示す図である。各種パラメータは、限定的なものではない。

【図7】 s と V_G との関係を示す図である。

【図8】本実施の形態による、絶縁物/半導体界面欠陥の評価方法の一例を示すフローチャート図である。

【図9】本実施の形態による、絶縁物/半導体界面欠陥の評価装置の一構成例を示す機能ブロック図である。

20

【図10】n型SiCMOSキャパシタについて、蓄積状態($s = 0.03V$)で測定した $C_D + C_{IT}$ の周波数依存性を示す図である。

【発明を実施するための形態】

【0033】

以下、本発明の一実施の形態による絶縁物/半導体界面欠陥の評価技術について、図面を参照しながら説明を行う。図6は、本実施の形態で使用した絶縁膜/SiCキャパシタの構造の一例を示す図である。尚、絶縁膜/SiCキャパシタの構造、パラメータなどは、単なる一例であり、以下のものに限定されるものではなく、多くの構造に対して有効に用いることができる。図6に示す例では、n型4H-SiC基板上に、n型のSiCパッファ層、n型のSiC層、 SiO_2 等の絶縁膜が形成され、絶縁膜上に第1電極が、n型基板に第2電極が形成されている。第1電極と第2電極との間に電圧 V_g を印加することで、C-V測定を行い、キャパシタの容量を求めることができる。

30

【0034】

図1は、本発明の一実施の形態による、MOSキャパシタ(図6参照)のC-V測定結果を示す図であり、準静電的(quasi-static: QS)の状態(DCに近い)、10kHz、1MHz、100MHzにおける測定結果を示す図である。図2は、本実施の形態によるMOSキャパシタの等価回路図であり、図2(a)は、界面準位を含む一般的な界面構造の等価回路図であり、図2(b)は、MOSキャパシタにおいて多数キャリアが強く蓄積された状態における等価回路図である。

40

【0035】

図2(a)に示す等価回路図において、MOSキャパシタは、酸化膜の容量 C_{ox} と、半導体の容量 $C_D(V_G)$ と、界面準位に起因する容量 C_{IT} と、界面におけるコンダクタンス G_{IT} と、直列インピーダンス Z と、で表すことができる。

【0036】

周波数を高くすることによる蓄積容量の減少は、直列の寄生インピーダンス Z に起因するものであり、 C_{ox} と Z とは、図2(b)に示すように、強い蓄積状態と想定される $V_G = 15V$ におけるインピーダンスより求めることができる。

【0037】

次に、本実施の形態による絶縁物/半導体界面欠陥の評価方法について、図1から図9

50

までを参照しながら説明する。

【0038】

まず、以下の説明において用いる計算式を示す。

【数1】

$$\psi_s(V_G) = \int (1 - C_{QS}/C_{OX}) dV_G + A \quad (1)$$

【0039】

(1)式は、 V_G に依存する表面ポテンシャルを求めるための式である。ここで、 $\psi_s(V_G)$ は、 V_G に依存する表面ポテンシャルである。 C_{QS} は、準静電的な容量であり、 C_{OX} は、酸化膜の容量であり、 A は、積分定数である。

10

【0040】

【数2】

$$1/(C_D + C_{IT}) \approx 1/C_D = 1/C - 1/C_{OX} \quad (2)$$

【0041】

(2)式は、測定された容量 C と、半導体の容量 C_D と、酸化膜の容量 C_{OX} との関係を示す図である。左側の近似は、十分高い周波数のときに成立する。

【0042】

【数3】

$$D_{IT} = \frac{(C_D + C_{IT})_{QS} - C_D}{Se^2} \quad (3)$$

20

【0043】

(3)式は、界面準位密度 D_{IT} を求める式であり、ここで、 $C_D + C_{IT}$ が、界面準位を含めた半導体の容量であり、 QS において測定した容量に対応する。 D_{IT} は、界面準位密度である。 S は、ゲート電極(図6の第1電極)の面積であり、 e は、素電荷である。

【0044】

【数4】

$$\frac{1}{(C_D + C_{IT})^2} \approx \frac{1}{(C_{depletion})^2} = -\frac{2\psi_s}{S^2 \epsilon_{SiC} e N_D} \quad (4)$$

30

【0045】

(4)式は、十分に高い周波数であり、かつ、強い空乏状態において、界面準位は応答しない状態における式である。

【0046】

ここで、 $C_{depletion}$ は、空乏層容量であり、 ϵ_{SiC} は、 SiC の誘電率であり、 N_D は、 SiC のドーピング濃度である。

【0047】

【数5】

$$C_{D,theory}(\psi_s) = \frac{SeN_D \left| \exp\left(\frac{e\psi_s}{kT}\right) - 1 \right|}{\sqrt{\frac{2kTN_D}{\epsilon_{SiC}} \left\{ \exp\left(\frac{e\psi_s}{kT}\right) - \frac{e\psi_s}{kT} - 1 \right\}}} \quad (5)$$

40

(5)式は、 C_D の理論値を求める式である。

【0048】

図8は、本実施の形態による半導体界面の評価方法の一例を示すフローチャート図である。図9は、絶縁物/半導体界面欠陥評価装置の一構成例を示す機能ブロック図である。

【0049】

50

図8のステップS1において、処理が開始される。次いで、ステップS2において、CV測定部（ユーザが測定する場合、自動的に測定がなされる場合を含む。以下、同様である。）100が、1) QS（準静電的）なCV測定、2) 高周波のうち100MHzでのCV測定、3) 1MHzでのCV測定を行う。尚、1MHzでの測定は任意であり、また、図1では、さらに、10kHzでの測定も行っているが、このステップS2において、QSと100MHzでの測定は必須である。ここで、高周波として100MHzを用いたのは、図2の等価回路で、 C_{IT} の成分を無視できる程度に高い高周波として選択したものである。図1に示すように、従来から用いられてきた、1MHzの高周波では、周波数に依存する界面欠陥に起因する容量成分 C_{IT} の影響を十分に排除していないことを、発明者が見出した。

10

【0050】

次いで、ステップS3において、半導体容量（ $C_D + C_{IT}$ ）演算部110が、ステップS2で求めた2)の100MHzの容量から、上記(2)式により求めた容量Cから酸化物容量 C_{OX} 成分を減算し、 $C_D + C_{IT}$ を得る。ここで100MHzでは、周波数に依存する界面欠陥に起因する容量成分 C_{IT} の影響を十分に排除することができ、すなわち $C_{IT} = 0$ であるため、 $C_D + C_{IT} = C_D$ とすることができる（図2参照）。

【0051】

次いで、ステップS4において、 s 演算部120が、上記(1)式から、ステップS2の1)の(QS)値を用いて（図3参照）、Aは不定のまま表面ポテンシャル s （Vg）を計算する。

20

【0052】

これにより、 s とVgとの関係を、横軸の位置が不定（A不定）のまま決定することができる。図7は、 s とVgとの関係の例を示す図である。ステップS4において、図7に示す s とVgとの関係のカーブの形状だけは確定するが、実際にはVgが不確定のため、横軸を含めた s とVgとの関係は決まっていない。

【0053】

次いで、ステップS5において、 $1 / (C_D + C_{IT})^2 - s$ プロット部130が、ステップS4で求めた s を用いて、高周波測定で得られた $1 / (C_D + C_{IT})^2$ を s に対してプロットする（図3）。

【0054】

30

図3は、高周波での、空乏状態における $1 / (C_D + C_{IT})^2$ と s との関係をプロットした図である。 s を決めるときにはQSで測定した容量を用い、図3の縦軸をプロットするときには高周波（100MHz）で測定した容量を用いる。図3においては、100MHzでの測定値と、参考として1MHzでの測定値を示すが、両者では原点への外挿値がほぼ同じであることがわかる。尚、十分な空乏状態では、界面準位は1MHzに追従しないため、この領域の値を用いた外挿値は周波数依存性が小さく、精度が高い。

【0055】

次いで、ステップS6において、積分定数A演算部140が、ステップS5でプロットした $1 / (C_D + C_{IT})^2 - s$ 特性（図3）において、上記(4)式を用いてプロットの外挿値が原点を通るように定数項を定めることにより表面ポテンシャル s の絶対値を決定する。ここまでの処理で、表面ポテンシャル s を求めることができる。

40

【0056】

半導体物理の考察に基づいている(4)式を参照すると、 s は $1 / (C_D + C_{IT})^2$ と原点を通る比例関係にあるため、 $1 / (C_D + C_{IT})^2 - s$ 特性の外挿値が原点を通るようにすることで、(1)式の積分定数const(A)を求めることができる。このようにすると、表面ポテンシャル s の絶対値を ± 0.02 eVの精度で決定することができる。尚、従来法の精度は ± 0.1 eV程度であり、本実施の形態による方法の方が高精度であることがわかる。

【0057】

図4は、 $C_D + C_{IT}$ と s との関係を種々の周波数で求めた特性と、理論特性とを示す

50

図である。ここで、反転を考慮しない理論的な半導体容量 C_D (理論) もプロットした。周波数の増加に伴って、 $C_D + C_{IT}$ の測定値は、半導体容量 C_D (理論) に近づくことがわかる。すなわち、従来から用いていた 1 MHz での測定値は理論値とは大きく異なるが、 100 MHz になると、かなり理論値に近くなることがわかった。

【0058】

このことより、高周波とは言っても、 1 MHz 程度では十分に追従する高速な応答速度を有する界面準位の存在を示している。そして、 100 MHz 程度の高周波では、応答する界面準位がほとんど存在しないことがわかる。すなわち、 100 MHz であれば、周波数に応答する界面準位に起因する容量成分 C_{IT} の影響を十分に取り除けること (応答しないので、 $C_{IT} \approx 0$)、すなわち、界面準位が応答できないほど十分高い周波数であることがわかる。

10

【0059】

次いで、ステップ S7 において、MOS キャパシタの $V_G - \psi_s$ プロット部 150 が、MOS キャパシタの V_G と ψ_s の関係を確定する。 V_G と ψ_s の関係は、定数項 (A) を除けばステップ S4 で既に求めている。そして、ステップ S6 において、積分定数 A が求まったため、同時に V_G と ψ_s の関係が確定したことになる。すなわち、図7の MOS キャパシタの V_G と ψ_s の関係を、横軸の位置を含めて全て確定することができる。

【0060】

次に、ステップ S8 において、 $\psi_s - (C_D + C_{IT})$ プロット部 160 が、 ψ_s と $C_D + C_{IT}$ の関係を QS と理論値 ((5) 式の理論特性) でプロットする。ここで、理論値の代わりに 100 MHz での測定値を用いてプロットしても良い。

20

【0061】

さらに、ステップ S9 において、 D_{IT} 演算部 170 が、ステップ S8 のプロットにおける差分を求め、(3) 式を用いて D_{IT} を求める。

【0062】

次いで、ステップ S10 において、エネルギー変換部 180 は、 ψ_s をエネルギー ($E_C - E$) に変換し、 $(E_C - E) - D_{IT}$ プロット部 190 が、エネルギー ($E_C - E$) (図5参照) と D_{IT} との関係をプロットする。

【0063】

この際、半導体 (不純物濃度既知) のフェルミ準位 E_F を計算し (図5参照、 $1 \times 10^{16}\text{ cm}^{-3}$ であれば、 $E_C - E_F = 0.19\text{ eV}$)、ここで、 ψ_s が 0 になる。図5の横軸 $E_C - E$ は、 $E_F - \psi_s$ で計算する。 $\psi_s = 0$ の時に、 $E_C - E$ は $0.1 \sim 0.2\text{ eV}$ 程度 (ドーピング密度に依存) である。

30

【0064】

このように、図5に示す $E_C - E$ と D_{IT} との関係を求めることができる。すなわち、伝導帯からのエネルギー準位と界面欠陥密度との関係を求めることができる。すなわち、絶縁膜 / 半導体界面欠陥の評価を行うことができる、ステップ S11 で当該処理を終了する。

【0065】

図5に示すように、 100 MHz で測定した界面欠陥密度 $D_{IT} - (E_C - E)$ カーブは、コンダクタンス法で精度良く求めたプロット値と非常に良い一致を示していることがわかる。 1 MHz におけるフラットバンド容量に基づいて計算した従来の high-low 法で求めた値は、 1 MHz 程度の高周波で測定しても応答する界面欠陥の影響を見落としており、 D_{IT} を低く見積もりすぎであることがわかる。

40

【0066】

これに比べて、本実施の形態による界面欠陥の評価技術によれば、従来から高精度であるとされていたが、測定に時間を要するコンダクタンス法と同等の精度の測定を、より高速に行うことが可能であることがわかる。さらに、 $E_C - E$ に対して連続した曲線を得ることができるため、コンダクタンス法よりも短い時間で、界面欠陥の評価がしやすいこと

50

がわかる。

【0067】

図10は、n型SiC MOSキャパシタについて、蓄積状態($\phi_s = 0.03V$)で測定した $C_D + C_{IT}$ の周波数依存性を示す図である。従来のhigh-low法でよく用いられる周波数である1MHzでは、 $C_D + C_{IT}$ 値が理論計算値より明らかに大きく、応答の速い界面準位が追隨していることが分かる。

【0068】

一方、100MHzの測定では、 $C_D + C_{IT}$ 値が、ほぼ理論値に一致しており、界面準位は追隨していないことが分かる。

【0069】

高周波の値としては、50MHz以上が理論値に近いという意味では好ましく、特に、100MHzであれば、ほぼ理論値と同じであるという意味で、より好ましい。

【0070】

以上に説明したように、本実施の形態によれば、従来のいかなる評価手法よりも高い精度でMISあるいはMOS界面の欠陥密度(界面準位密度)を求めることができる。その絶対値だけでなく、そのエネルギー位置の精度も格段に優れている。しかも従来の標準的手法であるhigh-low法と測定・解析時間はほぼ同じ(簡便)である。また、コンダクタンス法のように不連続なデータになることなく、連続的なエネルギー分布を得ることができる。バンド端近傍の界面準位密度の精密な評価にも対応しており、本手法の欠点はない。

【0071】

尚、上記の実施の形態において、添付図面に図示されている構成等については、これらに限定されるものではなく、本発明の効果を発揮する範囲内で適宜変更することが可能である。その他、本発明の目的の範囲を逸脱しない限りにおいて適宜変更して実施することが可能である。また、本実施の形態で説明した機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより各部の処理を行ってもよい。

【産業上の利用可能性】

【0072】

本発明は、絶縁物/半導体界面の欠陥評価装置に利用可能である。

【符号の説明】

【0073】

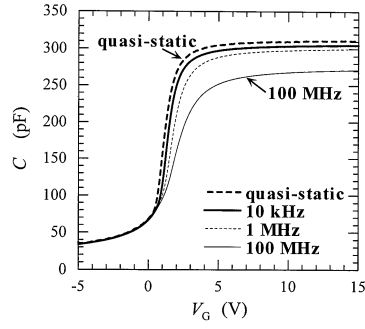
50...絶縁膜/半導体界面評価装置、100...CV測定部m、110...半導体容量($C_D + C_{IT}$)演算部、120... ϕ_s 演算部、130... $1 / (C_D + C_{IT})^2 - \phi_s$ プロット部、140...積分定数A演算部、150...MOSキャパシタの $V_G - \phi_s$ プロット部、160... $\phi_s - (C_D + C_{IT})$ プロット部、170... D_{IT} 演算部、180...エネルギー変換部、190... $(E_C - E) - D_{IT}$ プロット部。

10

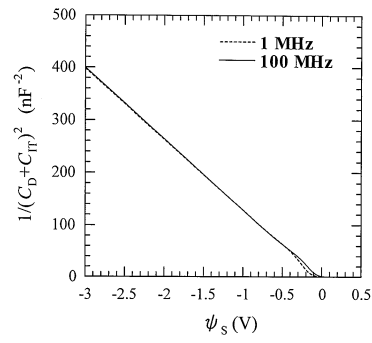
20

30

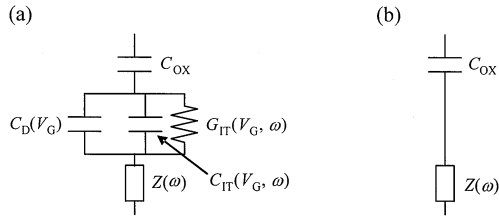
【 図 1 】



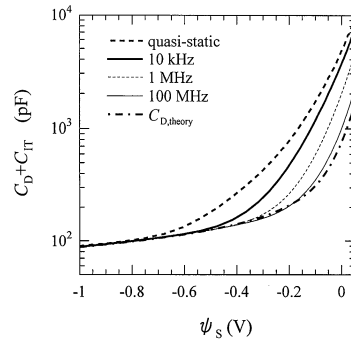
【 図 3 】



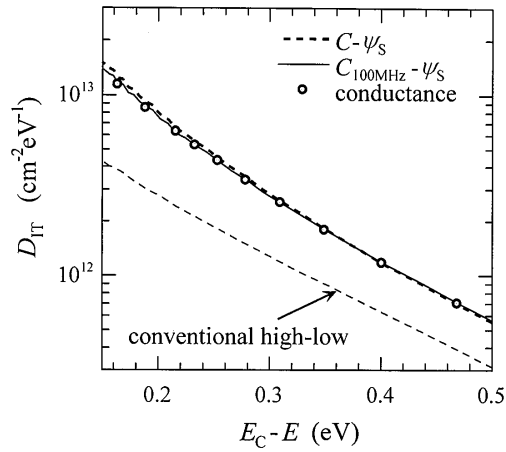
【 図 2 】



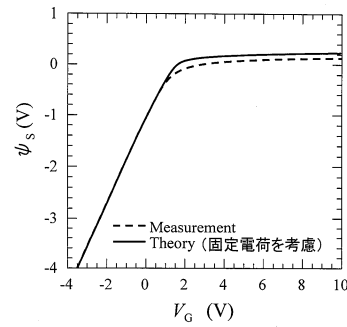
【 図 4 】



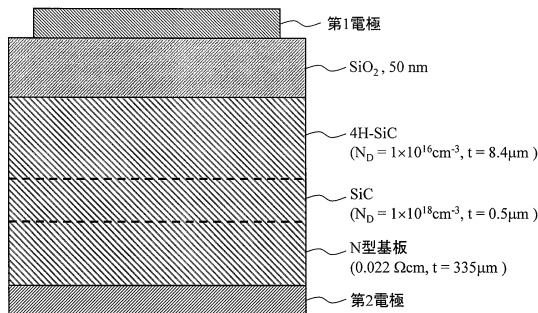
【 図 5 】



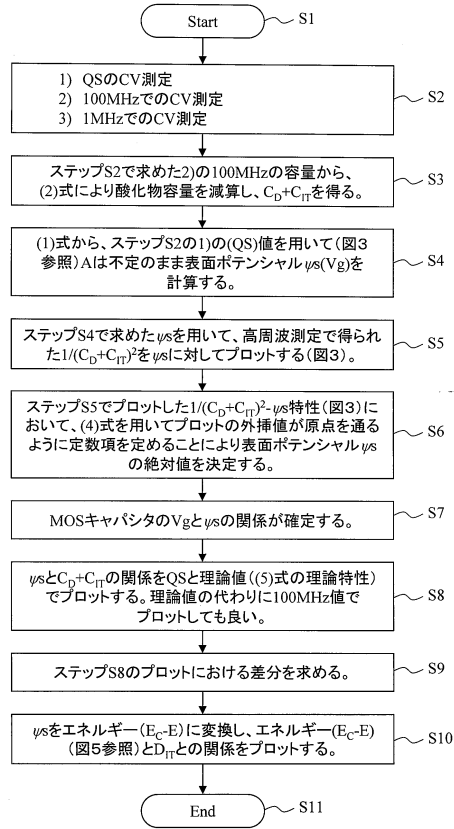
【 図 7 】



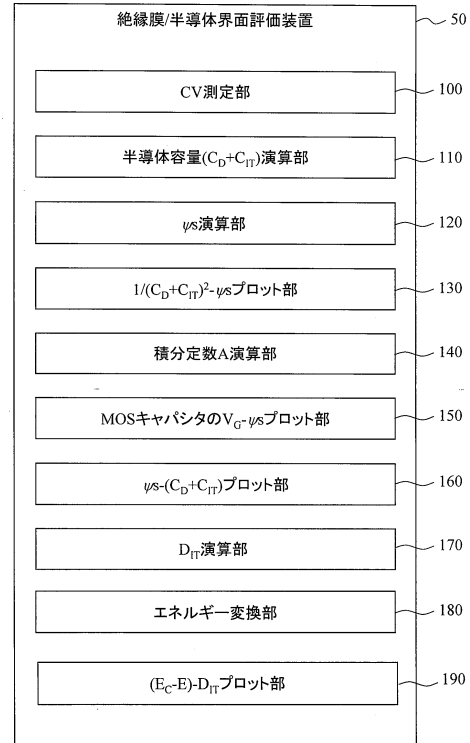
【 図 6 】



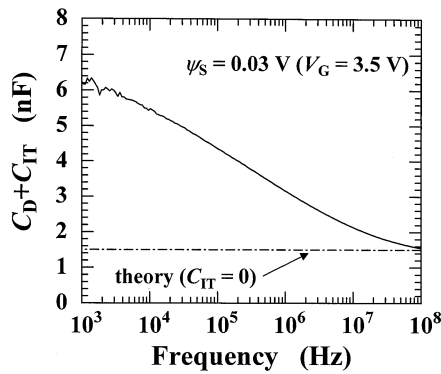
【図8】



【図9】



【図10】



フロントページの続き

審査官 高 須 甲斐

(56)参考文献 特開平04 - 315969 (JP, A)
特開2006 - 196713 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/66
H01L 21/336
H01L 29/78