

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-154196
(P2014-154196A)

(43) 公開日 平成26年8月25日(2014.8.25)

(51) Int.Cl.

G11C 15/04 (2006.01)

F1

G11C 15/04 631F

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 41 頁)

(21) 出願番号 特願2013-25465 (P2013-25465)
(22) 出願日 平成25年2月13日 (2013.2.13)
特許法第30条第2項適用申請有り 1. 研究集会名
VDECデザイナーズフォーラム2012 2. 開催日
(発明を発表した日) 平成24年 8月26日

(71) 出願人 504136568
国立大学法人広島大学
広島県東広島市鏡山1丁目3番2号
(74) 代理人 100104444
弁理士 上羽 秀敏
(74) 代理人 100112715
弁理士 松山 隆夫
(74) 代理人 100125704
弁理士 坂根 剛
(74) 代理人 100120662
弁理士 川上 桂子
(74) 代理人 100140327
弁理士 大塚 千秋

最終頁に続く

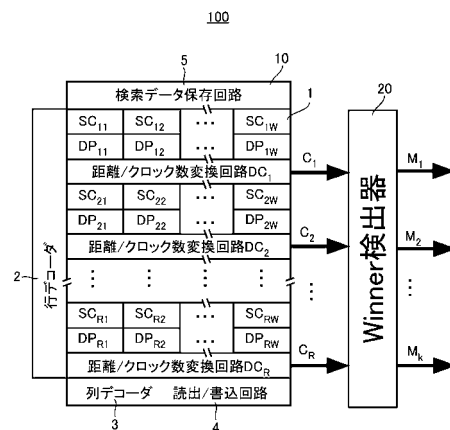
(54) 【発明の名称】 連想メモリ

(57) 【要約】

【課題】ユークリッド距離を用いた場合でも正確に類似検索を行うことが可能な連想メモリを提供すること。

【解決手段】連想メモリ100は、 $M \times W$ (M は1以上の整数、 W は2以上の整数)ビットのビット長を有する R (R は2以上の整数)個の参照データと、 $M \times W$ ビットのビット長を有する検索データとのマンハッタン距離を算出する距離演算回路 $DP_{11} \sim DP_{RW}$ と、距離/クロック数変換回路 $DC_1 \sim DC_R$ とを備える。距離/クロック数変換回路 $DC_1 \sim DC_R$ の各々は、対応する距離演算回路で算出されるマンハッタン距離を用い、参照データと検索データとのユークリッド距離に一致するクロック数を検出する。距離/クロック数変換回路は、参照データについて、検索データとのユークリッド距離と一致するクロック数を検出したタイミングを示すタイミング信号を出力する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

各々が $M \times W$ (M は 1 以上の整数、 W は 2 以上の整数) ビットのビット長を有する R (R は 2 以上の整数) 個の参照データを保存する参照データ保存手段と、

前記 R 個の参照データに対応して設けられ、 $M \times W$ ビットのビット長を有する検索対象の検索データと前記参照データとの差の絶対値を表す $R \times W$ 個の絶対値差を、前記検索データと前記参照データの距離として算出する第 1 距離算出手段と、

前記参照データごとに、前記第 1 距離算出手段で算出された前記距離を用い、前記参照データと前記検索データとのユークリッド距離に一致するクロック数を検出したタイミングを示すタイミング信号を出力するタイミング信号出力処理を、前記 R 個の参照データについて行うタイミング信号出力手段と、

前記タイミング信号出力手段から出力される R 個のタイミング信号に基づいて、前記タイミング信号の出力が早い順に、 k 個 (k は $1 \leq k < R$ を満たす整数) の前記タイミング信号を検出し、検出した前記 k 個のタイミング信号を、前記検索データと前記参照データとの類似度を示すマッチ信号として出力するマッチ信号出力手段と、

を備える連想メモリ。

【請求項 2】

前記タイミング信号出力手段は、前記タイミング信号出力処理として、前記各参照データにつき、前記 W 個の絶対値差の各々に一致する回数だけ、前記絶対値差と一致するクロック数を検出する処理を繰り返すことにより、前記参照データと前記検索データとのユークリッド距離に一致するクロック数を検出したタイミングを示す前記タイミング信号を出力する、請求項 1 に記載の連想メモリ。

【請求項 3】

前記各参照データにつき、前記第 1 距離算出手段で算出された前記 W 個の絶対値差の各々の二乗値を算出することにより、前記検索対象の検索データと前記参照データとの距離として、前記 W 個の絶対値差の二乗値を算出する第 2 距離算出手段を更に備え、

前記タイミング信号出力手段は、前記タイミング信号出力処理として、前記参照データごとに、前記第 2 距離算出手段で算出された前記 W 個の前記絶対値差の二乗値の和に一致するクロック数を検出することにより、前記参照データと前記検索データとのユークリッド距離に一致するクロック数を検出したタイミングを示す前記タイミング信号を出力する、請求項 1 に記載の連想メモリ。

【請求項 4】

マンハッタン距離とユークリッド距離のいずれかの距離を選択する選択手段を備え、

前記タイミング信号出力手段は、前記選択手段によって前記マンハッタン距離が選択された場合には、前記各参照データにつき、前記 W 個の絶対値差の和に一致するクロック数を検出したタイミングを示す前記タイミング信号を出力し、前記選択手段によって前記ユークリッド距離が選択された場合には、前記各参照データについて前記タイミング信号出力処理を行う、請求項 1 から請求項 3 のいずれか一項に記載の連想メモリ。

【請求項 5】

各々が $M \times W$ (M は 1 以上の整数、 W は 2 以上の整数) ビットのビット長を有する R (R は 2 以上の整数) 個の参照データを保存する参照データ保存手段と、

前記 R 個の参照データに対応して設けられ、 $M \times W$ ビットのビット長を有する検索対象の検索データと前記参照データとの $R \times W$ 個の距離を算出する距離算出手段と、

前記参照データごとに、前記距離算出手段で算出された距離を表すビットのうち、設定された対象ビットの値と一致するクロック数を検出したタイミングで一致検出信号を出力する一致検出手段と、

前記各参照データについて算出された前記距離を表す最上位ビットから順に、予め定められたビット単位に前記対象ビットを設定し、いずれかの前記参照データについて、前記対象ビットに対する前記一致検出信号が出力される毎に、前記対象ビットを拡張するビット設定手段と、

10

20

30

40

50

前記各参照データについて、前記距離を表す全てのビットに対する前記一致検出信号が出力されたタイミングを示すタイミング信号を出力する処理を、R個の前記参照データについて行うタイミング信号出力手段と、

前記タイミング信号出力手段から出力されるR個のタイミング信号に基づいて、前記タイミング信号の出力が早い順に、k個(kは1 <math>k < R</math>を満たす整数)の前記タイミング信号を検出し、検出した前記k個のタイミング信号を、前記検索データと前記参照データとの類似度を示すマッチ信号として出力するマッチ信号出力手段と、

を備える連想メモリ。

【発明の詳細な説明】

【技術分野】

10

【0001】

この発明は、連想メモリに関するものである。

【背景技術】

【0002】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングをLSI(Large Scale Integrated circuit)上で実現することにより、将来、人工知能およびモバイル機器等の高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

【0003】

20

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

【0004】

前者は、CAM(Content Addressable Memory)と呼ばれ、ネットワークルータのIPアドレステーブルのルーティングおよびプロセッサのキャッシュ等の実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ(Associative Memory)と呼ぶ。

30

【0005】

連想メモリを実現する手段として(1)デジタル方式による実現方法(非特許文献1)、(2)アナログ方式による実現方法および(3)デジタル・アナログ融合方式(非特許文献2)等が提案されている。

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】Y. Oike, et al., "A High-Speed and Low-Voltage Associative Co-Processor with Hamming Distance Ordering Using Word-Parallel and Hierarchical Search Architecture," CICC, 2004.

40

【非特許文献2】M. A. Abedin, et al., "Nearest-euclidean-distance search associative memory with fully parallel mixed digital-analog match circuitry," Proc. of SSDM2006, pp. 282-283, 2006.

【非特許文献3】Y. Oike et al., "A Word-Parallel Digital Associative Engine with Wide SearchRange Based on Manhattan Distance," CICC, 2004.

【発明の概要】

【発明が解決しようとする課題】

【0007】

非特許文献1に記載の連想メモリは、検索データと参照データとのハミング距離を用いて類似検索を行うものである。そのため、非特許文献1に記載の連想メモリにおいて、ユ

50

ユークリッド距離を用いて類似検索を行うことは困難である。非特許文献2に記載の連想メモリは、検索データと参照データとの類似度を表す距離を電圧に変換するため、誤検索が生じやすい。

【0008】

そこで、本発明は、かかる問題を解決するためになされたものであり、その目的は、ユークリッド距離を用いた場合でも正確に類似検索を行うことが可能な連想メモリを提供することである。

【課題を解決するための手段】

【0009】

この発明の実施の形態による連想メモリは、各々が $M \times W$ (M は1以上の整数、 W は2以上の整数)ビットのビット長を有する R (R は2以上の整数)個の参照データを保存する参照データ保存手段と、前記 R 個の参照データに対応して設けられ、 $M \times W$ ビットのビット長を有する検索対象の検索データと前記参照データとの差の絶対値を表す $R \times W$ 個の絶対値差を、前記検索データと前記参照データの距離として算出する第1距離算出手段と、前記参照データごとに、前記第1距離算出手段で算出された前記距離を用い、前記参照データと前記検索データとのユークリッド距離に一致するクロック数を検出したタイミングを示すタイミング信号を出力するタイミング信号出力処理を、前記 R 個の参照データについて行うタイミング信号出力手段と、前記タイミング信号出力手段から出力される R 個のタイミング信号に基づいて、前記タイミング信号の出力が早い順に、 k 個 (k は $1 < k < R$ を満たす整数)の前記タイミング信号を検出し、検出した前記 k 個のタイミング信号を、前記検索データと前記参照データとの類似度を表すマッチ信号として出力するマッチ信号出力手段と、を備える。

【発明の効果】

【0010】

この発明の実施の形態による連想メモリにおいては、タイミング信号出力手段は、第1距離算出手段で算出された、各参照データと検索データとの絶対値差を用いて、参照データごとに、検索データとのユークリッド距離に一致するクロック数を検出したタイミングでタイミング信号を出力する。すなわち、タイミング信号出力手段は、各参照データについて算出された絶対値差を、参照データと検索データとのユークリッド距離に相当するクロック数に変換し、変換したクロック数が得られるタイミングでタイミング信号を出力する。その結果、参照データと検索データとのユークリッド距離の大きさに応じて、その参照データのタイミング信号の出力タイミングが決まり、各参照データについて、ユークリッド距離を用いた検索を適切に行うことができる。

【0011】

従って、本発明の実施の形態によれば、ユークリッド距離を用いた場合でも正確に類似検索を行うことができる。

【図面の簡単な説明】

【0012】

【図1】第1実施形態に係る連想メモリの構成を示す概略ブロック図である。

【図2A】図2Aは、図1に示す距離/クロック数変換回路の構成を示す概略図である。

【図2B】図2Bは、図2Aに示すカウンタ一致検出回路の構成例を示す概略図である。

【図3】図3は、図1に示すWinner検出器の動作を説明するための図である。

【図4】図4は、第2実施形態における距離/クロック数変換回路の構成を示す概略図である。

【図5A】図5Aは、第1、第2実施形態の場合の検索時間を表す図である。

【図5B】図5Bは、第3実施形態の場合の検索時間を表す図である。

【図6】図6は、第3実施形態に係る連想メモリの構成を示す概略ブロック図である。

【図7】図7は、図6に示す距離/クロック数変換回路の構成例を示す概略図である。

【図8】図8は、図7に示すカウンタ一致検出回路の構成例を示す概略図である。

【図9A】図9Aは、図8に示すカウンタと一致検出回路の構成例を示す概略図である。

【図 9 B】図 9 B は、図 9 A に示すカウンタの動作例を示す図である。

【図 10 A】図 10 A は、第 3 実施形態における距離 / クロック数変換回路の動作例を説明する図である。

【図 10 B】図 10 B は、図 10 A に示す例におけるカウンタの動作例を示す図である。

【図 10 C】図 10 C は、図 10 A に示す例におけるカウンタの動作例を示す図である。

【図 10 D】図 10 D は、図 10 A に示す例におけるカウンタの動作例を示す図である。

【図 11】図 11 は、第 4 実施形態における距離演算回路の回路構成例を示す概略図である。

【図 12】図 12 は、図 11 に示す演算回路の回路構成例を示す概略図である。

【図 13】図 13 は、第 4 実施形態における二乗計算の処理過程を説明する図である。

10

【図 14】図 14 は、第 4 実施形態におけるカウンタ一致検出回路の構成例を示す概略図である。

【図 15】図 15 は、変形例 (1) における距離 / クロック数変換回路の構成例を示す概略図である。

【発明を実施するための形態】

【0013】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【0014】

< 第 1 実施形態 >

20

図 1 は、この発明の実施の形態による連想メモリの構成を示す概略ブロック図である。図 1 を参照して、この発明の第 1 実施形態による連想メモリ 100 は、メモリアレイ部 10 と、Winner 検出器 20 とを備える。

【0015】

メモリアレイ部 10 は、メモリ部 1、行デコーダ 2、列デコーダ 3、読出 / 書込回路 4、及び検索データ保存回路 5 を含む。

【0016】

メモリ部 1 は、参照データ保存回路 (Storage Cell : SC) $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ と、距離演算回路 (絶対値差演算回路) (Distance Processor : DP) $DP_{11} \sim DP_{1W}$, $DP_{21} \sim DP_{2W}$, \dots , $DP_{R1} \sim DP_{RW}$ と、距離 / クロック数変換回路 $DC_1 \sim DC_R$ とを含む。なお、W および R の各々は、2 以上の整数である。

30

【0017】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、それぞれ、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に対応して設けられる。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、それぞれ、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に対応して設けられる。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、それぞれ、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に対応して設けられる。

【0018】

距離 / クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。距離 / クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ に対応して設けられる。以下、同様にして、距離 / クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ に対応して設けられる。

40

【0019】

参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ は、行デコーダ 2、列デコーダ 3 および読出 / 書込回路 4 によって書き込まれた参照データを保存する。この場合、参照データ保存回路 $SC_{11} \sim SC_{1W}$ は、 $M \times W$ (M は 1 以上の整数) ビットの参照データ 1 を保存し、参照データ保存回路 $SC_{21} \sim SC_{2W}$ は、 $M \times W$ ビットの参照データ 2 を保存し、以下、同様にして、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ は、 $M \times W$ ビットの参照データ R を保存する。つまり、参照データ保存

50

回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ の各々は、参照データの M ビットを保存する。

【0020】

距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ保存回路 $SC_{11} \sim SC_{1W}$ に保存された $M \times W$ ビットの参照データ 1 と、検索データ保存回路 5 に保存された $M \times W$ ビットの実験データとの距離を後述する方法によって演算する。また、距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ保存回路 $SC_{21} \sim SC_{2W}$ に保存された $M \times W$ ビットの実験データ 2 と、検索データ保存回路 5 に保存された $M \times W$ ビットの実験データとの距離を後述する方法によって演算する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ保存回路 $SC_{R1} \sim SC_{RW}$ に保存された $M \times W$ ビットの実験データ R と、検索データ保存回路 5 に保存された $M \times W$ ビットの実験データとの距離を後述する方法によって演算する。そして、距離演算回路 $DP_{11} \sim DP_{1W}$ 、距離演算回路 $DP_{21} \sim DP_{2W}$ 、 \dots 、および距離演算回路 $DP_{R1} \sim DP_{RW}$ における参照データと検索データとの距離の演算は、並列に行なわれる。

10

【0021】

そして、距離演算回路 $DP_{11} \sim DP_{1W}$ は、参照データ 1 と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_1 へ出力する。距離演算回路 $DP_{21} \sim DP_{2W}$ は、参照データ 2 と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_2 へ出力する。以下、同様にして、距離演算回路 $DP_{R1} \sim DP_{RW}$ は、参照データ R と検索データとの距離を $M \times W$ ビットの距離信号として距離/クロック数変換回路 DC_R へ出力する。

20

【0022】

距離演算回路 $DP_{11} \sim DP_{1W}$ の各々は、参照データ 1 と検索データとの距離を次式を用いて演算する。

【0023】

【数 1】

$$n_{Mr} = \sum_{j=1}^W D_{rj} = \sum_{j=1}^W |I_{nj} - R_{erj}| \quad \dots (1)$$

30

【0024】

式 (1) において、 D_{rj} ($r = 1 \sim R$, $j = 1 \sim W$) は、参照データと検索データとの距離 (絶対値差) を表す。 n_{Mr} は参照データと検索データとのマンハッタン距離を示している。また、式 (1) において、 I_{nj} は、検索データであり、 R_{erj} は、参照データである。各データ I_{nj} , R_{erj} の各々は、 M ビットからなる。

【0025】

このように、距離演算回路 $DP_{11} \sim DP_{1W}$ は、 $M \times W$ ビットの実験データ 1 と、 $M \times W$ ビットの実験データとの距離を M ビットずつ演算し、各々が M ビットのビット長を有する W 個の距離信号 D_{1j} を距離/クロック数変換回路 DC_1 へ出力する。

【0026】

距離演算回路 $DP_{21} \sim DP_{2W}$ 、 \dots および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、同様にして、それぞれ、式 (1) を用いて参照データ 2 $\sim R$ と検索データとの距離を演算する。そして、距離演算回路 $DP_{21} \sim DP_{2W}$ 、 \dots および距離演算回路 $DP_{R1} \sim DP_{RW}$ も、各々が M ビットのビット長を有する W 個の距離信号 $D_{2j} \sim D_{Rj}$ をそれぞれ距離/クロック数変換回路 $DC_2 \sim DC_R$ へ出力する。

40

【0027】

距離/クロック数変換回路 DC_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ から W 個の距離信号 D_{1j} を受け、各距離信号 D_{1j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total1 を後述する方法によってカウントする。そして、そのクロック数 CN_total1 をカウントしたタイミングを示すタイミング信号 C_1 を $Winne$

50

r 検出器 20 へ出力する。

【0028】

距離 / クロック数変換回路 DC_2 は、距離演算回路 $DP_{21} \sim DP_{2W}$ から W 個の距離信号 D_{2j} を受け、各距離信号 D_{2j} の二乗値の和に相当するクロック信号 CLK のクロック数 CN_total2 を後述する方法によってカウントする。そして、そのクロック数 CN_total2 をカウントしたタイミングを示すタイミング信号 C_2 を $Winner$ 検出器 20 へ出力する。

【0029】

以下、同様にして、距離 / クロック数変換回路 DC_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ から W 個の距離信号 D_{Rj} を受け、各距離信号 D_{Rj} の二乗値の和に一致するクロック信号 CLK のクロック数 CN_totalR を後述する方法によってカウントする。そして、そのクロック数 CN_totalR をカウントしたタイミングを示すタイミング信号 C_R を $Winner$ 検出器 20 へ出力する。

10

【0030】

行デコーダ 2 は、メモリ部 1 の行方向のアドレスを指定する。列デコーダ 3 は、メモリ部 1 の列方向のアドレスを指定する。読出 / 書込回路 4 は、参照データを行デコーダ 2 および列デコーダ 3 によって指定された参照データ保存回路 $SC_{11} \sim SC_{1W}$, $SC_{21} \sim SC_{2W}$, \dots , $SC_{R1} \sim SC_{RW}$ に書き込むとともに、検索データを検索データ保存回路 5 に書き込む。

【0031】

検索データ保存回路 5 は、読出 / 書込回路 4 によって書き込まれた検索データ ($M \times W$ ビットのデータ) を保存する。

20

【0032】

$Winner$ 検出器 20 は、タイミング信号 $C_1 \sim C_R$ をそれぞれ距離 / クロック数変換回路 $DC_1 \sim DC_R$ から受ける。そして、その受けたタイミング信号 $C_1 \sim C_R$ のうち、一致タイミングが早い順に k (k は $1 \leq k < R$ を満たす整数) 個のタイミング信号を検出し、その検出した k 個のタイミング信号を検索データと参照データとの類似度を示すマッチ信号 $M_1 \sim M_k$ として出力する。

【0033】

図 2 A は、図 1 に示す距離 / クロック数変換回路 DC_1 の構成を表す概略構成図である。なお、図 1 に示す距離 / クロック数変換回路 $DC_2 \sim DC_R$ の各々も、図 2 A に示す距離 / クロック数変換回路 DC_1 と同様の構成を有する。図 2 A に示すように、距離 / クロック数変換回路 DC_1 は、バッファ 21 ~ 2W と、カウンター一致検出回路 31 ~ 3W とを含む。

30

【0034】

バッファ 21 は、連想メモリ 100 の制御回路 (図示せず) から検索開始信号 SB を受け、連想メモリ 100 に内蔵されたクロック発生回路 (図示せず) からクロック信号 CLK を受ける。そして、バッファ 21 は、検索開始信号 SB が L (Low) レベルから H ($High$) レベルに切り替わると、その受けたクロック信号 CLK をバッファ 22 およびカウンター一致検出回路 31 へ出力する。バッファ 22 は、クロック信号 CLK をバッファ 21 から受け、カウンター一致検出回路 31 から、後述する H レベルの一致信号 ($DETECT1$) を受けると、クロック信号 CLK をバッファ 23 (図示せず) 及びカウンター一致検出回路 32 へ出力する。以下、同様にして、バッファ 2W は、クロック信号 CLK をバッファ 2W - 1 (図示せず) から受け、カウンター一致検出回路 3W - 1 (図示せず) から、後述する H レベルの一致信号 ($DETECTW - 1$) を受けると、クロック信号 CLK をカウンター一致検出回路 3W へ出力する。

40

【0035】

カウンター一致検出回路 31 ~ 3W は、それぞれ、距離演算回路 $DP_{11} \sim DP_{1W}$ に対応して設けられる。そして、カウンター一致検出回路 31 ~ 3W は、直列に接続される。ここで、カウンター一致検出回路 31 ~ 3W の概略構成について説明する。

50

【 0 0 3 6 】

図 2 B は、距離 / クロック数変換回路 DC_1 におけるカウンタ一致検出回路 3 1 ~ 3 W の構成例を示す図である。図 2 B の例では、 $W = 2$ の場合を示している。カウンタ一致検出回路 3 1 は、クロック数変換回路 3 1 a と、カウンタ 3 1 b と、一致検出回路 3 1 c とを含む。カウンタ一致検出回路 3 2 は、クロック数変換回路 3 2 a と、カウンタ 3 2 b と、一致検出回路 3 2 c とを含む。以下、各構成の機能について説明する。

【 0 0 3 7 】

クロック数変換回路 3 1 a は、距離演算回路 DP_{11} から M ビットのビット長を有する距離信号 D_{11} と、バッファ 2 1 からのクロック信号 CLK とを受ける。クロック数変換回路 3 1 a は、クロック信号 CLK のクロック数をカウントし、距離信号 D_{11} が示す距離と一致するクロック数を検出したタイミングで、カウンタ 3 1 b に H レベルの一致検出信号をカウンタ 3 1 b へ出力する処理を行う。クロック数変換回路 3 1 a は、後述の一致検出回路 3 1 c から H レベルの一致信号 ($DETECT1$) が出力されるまで、この処理を繰り返し行い、H レベルの一致信号 ($DETECT1$) が出力されると動作を停止する。

10

【 0 0 3 8 】

カウンタ 3 1 b は、クロック数変換回路 3 1 a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウンタ値を一致検出回路 3 1 c へ出力する。

【 0 0 3 9 】

一致検出回路 3 1 c は、カウンタ 3 1 b からカウンタ値を受け、距離演算回路 DP_{11} から M ビットのビット長を有する距離信号 D_{11} を受ける。一致検出回路 3 1 c は、距離信号 D_{11} が示す距離とカウンタ値とを比較し、距離信号 D_{11} が示す距離とカウンタ値とが一致するときに、H レベルの一致信号 ($DETECT1$) をクロック数変換回路 3 1 a とバッファ 2 2 へ出力する。一致検出回路 3 1 c は、距離信号 D_{11} が示す距離とカウンタ値とが一致しないときは、L レベルの一致信号 ($DETECT1$) をクロック数変換回路 3 1 a とバッファ 2 2 へ出力する。

20

【 0 0 4 0 】

クロック数変換回路 3 2 a は、バッファ 2 2 からクロック信号 CLK を受けると駆動する。クロック数変換回路 3 2 a は、距離演算回路 DP_{12} から M ビットのビット長を有する距離信号 D_{12} を受ける。クロック数変換回路 3 2 a は、クロック信号 CLK のクロック数をカウントし、距離信号 D_{12} が示す距離と一致するクロック数を検出したタイミングで、カウンタ 3 2 b に H レベルの一致検出信号を出力する処理を行う。クロック数変換回路 3 2 a は、後述の一致検出回路 3 2 c から H レベルの一致信号 ($DETECT2$) が出力されるまで、この処理を繰り返し行う。クロック数変換回路 3 2 a は、H レベルの一致信号 ($DETECT2$) が出力されると動作を停止する。

30

【 0 0 4 1 】

カウンタ 3 2 b は、クロック数変換回路 3 2 a からの一致検出信号が立ち上がるごとにカウンタ値をカウントアップさせ、そのカウンタ値を一致検出回路 3 2 c へ出力する。

【 0 0 4 2 】

一致検出回路 3 2 c は、カウンタ 3 2 b からカウンタ値を受け、距離演算回路 DP_{12} から M ビットのビット長を有する距離信号 D_{12} を受ける。一致検出回路 3 2 c は、距離信号 D_{12} が示す距離とカウンタ値とを比較し、距離信号 D_{12} が示す距離とカウンタ値とが一致するときに、H レベルの一致信号 ($DETECT2$) をクロック数変換回路 3 2 a に出力するとともに、H レベルの一致信号 ($DETECT2$) をタイミング信号 C_1 として $Winner$ 検出器 2 0 へ出力する。また、一致検出回路 3 2 c は、距離信号 D_{12} が示す距離とカウンタ値とが一致するときに、L レベルの一致信号 ($DETECT2$) をクロック数変換回路 3 2 a に出力する。

40

【 0 0 4 3 】

ここで、例えば、距離演算回路 DP_{11} から距離「2」を示す M ビットの距離信号 D_1

50

D_1 が出力され、距離演算回路 DP_{12} から距離「3」を示す M ビットの距離信号 D_{12} が出力された場合の動作例について説明する。

【0044】

クロック数変換回路 31a は、距離「2」を示す M ビットの距離信号 D_{11} を受け、バッファ 21 からのクロック信号 CLK のクロックに同期して、距離「2」に一致するクロック数をカウントする。クロック数変換回路 31a は、カウントしたクロック数と距離とが一致すると、H レベルの一致検出信号を出力する。カウンタ 31b は、一致検出信号が立ち上がると、カウンタ値をカウントアップし、「1」を示すカウンタ値を一致検出回路 31c に出力する。このとき、距離信号 D_{11} が示す距離「2」とカウンタ値「1」とが一致しないため、一致検出回路 31c から L レベルの一致信号 (DETECT1) が出力される。

10

【0045】

クロック数変換回路 31a は、出力した一致検出信号が L レベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路 31a は、再びクロック信号 CLK のクロック数をカウントし、カウントしたクロック数が距離「2」と一致すると、カウンタ 31b に H レベルの一致検出信号を出力する。カウンタ 31b は、一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 31c に「2」を示すカウンタ値を出力する。一致検出回路 31c は、距離信号 D_{11} が示す距離「2」とカウンタ値「2」とが一致するため、一致信号 (DETECT1) をバッファ 22 とクロック数変換回路 31a に出力する。つまり、検索開始からのクロック数が「4」となるタイミングで、H レベルの一致信号 (DETECT1) が出力される。そして、クロック数変換回路 31a は、H レベルの一致信号 (DETECT1) に応じて動作を停止する。

20

【0046】

バッファ 22 は、一致検出回路 31c から H レベルの一致信号 (DETECT1) を受けて、クロック数変換回路 32a にクロック信号 CLK を出力する。クロック数変換回路 32a は、バッファ 22 からのクロック信号 CLK のクロックに同期して、クロック信号 CLK のクロック数をカウントする。クロック数変換回路 32a は、距離「3」を示す M ビットの距離信号 D_{12} を受け、カウントしたクロック数が距離「3」と一致するタイミングで、H レベルの一致検出信号をカウンタ 32b に出力する。カウンタ 32b は、クロック数変換回路 32a からの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 32c に「1」を示すカウンタ値を出力する。このとき、距離「3」とカウンタ値「1」とが一致しないため、一致検出回路 32c から L レベルの一致信号 (DETECT2) が出力される。

30

【0047】

クロック数変換回路 32a は、出力した一致検出信号が L レベルになると、カウントしたクロック数をリセットする。そして、クロック数変換回路 32a は、再びクロック信号 CLK のクロック数をカウントし、カウントしたクロック数が距離「3」と一致すると、カウンタ 32b に H レベルの一致検出信号を出力する。カウンタ 32b は、クロック数変換回路 32a からの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 32c に「2」を示すカウンタ値を出力する。このとき、距離「3」とカウンタ値「2」とが一致しないため、一致検出回路 32c から L レベルの一致信号 (DETECT2) が出力される。

40

【0048】

クロック数変換回路 32a は、一致検出信号が L レベルになると、再びカウントしたクロック数をリセットしてクロック信号 CLK をカウントし、カウントしたクロック数が距離「3」と一致すると、カウンタ 32b に H レベルの一致検出信号を出力する。そして、クロック数変換回路 32a は、H レベルの一致信号 (DETECT2) に応じて動作を停止する。カウンタ 32b は、クロック数変換回路 32a からの一致検出信号が立ち上がると、カウンタ値をカウントアップさせ、一致検出回路 32c に「3」を示すカウンタ値を出力する。一致検出回路 32c は、距離「3」とカウンタ値「3」とが一致するため、H

50

レベルの一致信号 (DETECT2) をクロック数変換回路32aに出力するとともに、タイミング信号C₁としてWinner検出器20に出力する。つまり、クロック数変換回路32aにおいてカウントされたクロック数は「9 (= 3 + 3 + 3)」であり、検索開始からクロック数「13 (= 4 + 9)」のタイミングでタイミング信号C₁が出力される。

【0049】

カウンター一致検出回路31, 32全体でカウントされるクロック数CN_{total1}「13」は、カウンター一致検出回路31においてカウントするクロック数「4 (= 2 + 2)」と、カウンター一致検出回路32においてカウントするクロック数「9 (= 3 + 3 + 3)」とを加算したものである。つまり、カウンター一致検出回路31, 32によって、距離「2」の二乗値と距離「3」の二乗値との和に一致するクロック数をカウントすることに相当する。

【0050】

距離/クロック数変換回路DC₁は、一般的に、W個の距離信号D₁₁ ~ D_{1W}を受け、そして、W個の距離信号D₁₁ ~ D_{1W}の各々は、Mビットのビット長を有する。従って、距離/クロック数変換回路DC₁は、M × Wビットのビット長を有する距離信号D₁₁ D₁₂ ··· D_{1W}を受け、カウンター一致検出回路31において、距離信号D₁₁が示す距離に一致する回数分だけ、その距離に一致するクロック数を繰り返しカウントする。また、カウンター一致検出回路32 ~ 3Wは、それぞれ、カウンター一致検出回路31 ~ 3W - 1から一致信号を受けた後に、距離信号D₁₂ ~ D_{1W}にそれぞれ一致するクロック数を、その距離に一致する回数だけ繰り返しカウントする。その結果、距離/クロック数変換回路DC₁においてカウントされる全体のクロック数CN_{total1}は、カウンター一致検出回路31 ~ 3Wの各々においてカウントされたクロック数の和に等しい。カウンター一致検出回路31 ~ 3Wの各々においてカウントされたクロック数は、それぞれ、距離信号D₁₁ ~ D_{1W}が示す各距離の二乗値に相当するため、距離/クロック数変換回路DC₁においてカウントされる全体のクロック数CN_{totalR}は、各距離信号D₁₁ ~ D_{1W}の二乗値の和を表している。

【0051】

ここで、ユークリッド距離n_Eは、次式によって表わされる。

【0052】

【数2】

$$n_{Er} = \sum_{j=1}^W |I_{nj} - R_{erj}|^2 \dots (2)$$

【0053】

式(2)の右辺の|I_{nj} - R_{erj}|²は、式(1)の右辺の|I_{nj} - R_{erj}|において、検索データと参照データとの距離の二乗値に一致する。従って、ユークリッド距離n_{E_r}の演算は、上述したように、式(1)によって演算したW個の各距離について、距離に一致するクロック数をカウントする処理を距離に一致する回数だけ繰り返し行うことで実現される。そうすると、図2Bの例において、カウンター一致検出回路32が、カウンター一致検出回路31, 32全体でカウントしたクロック数のタイミングを示すタイミング信号C₁を出力することは、ユークリッド距離n_{E_r}によって検索データに類似する参照データを検索し、検索データに類似する参照データを検出したことを示すWinner信号を出力することに相当する。なお、距離/クロック数変換回路DC₂ ~ DC_Rの各々も、距離/クロック数変換回路DC₁の動作と同じ動作によって、それぞれ、タイミング信号C₂ ~ C_Rを出力する。

【0054】

次に、Winner検出器20の動作について説明する。図3は、図1に示すWinner検出器20の動作を説明するための図である。距離/クロック数変換回路DC₁ ~ D

10

20

30

40

50

C_R は、図 3 に示すように、例えばタイミング信号 $C_1 \sim C_R$ をそれぞれクロック信号 CLK に同期して Winner 検出器 20 へ出力する。

【0055】

Winner 検出器 20 は、タイミング信号 $C_1 \sim C_R$ を受け、その受けたタイミング信号 $C_1 \sim C_R$ の立ち上がりタイミング $t_1 \sim t_R$ を検出する。そして、Winner 検出器 20 は、立ち上がりタイミング $t_1 \sim t_R$ が早い順に k 個のタイミング信号 $C'_1 \sim C'_k$ を検出する。Winner 検出器 20 は、タイミング信号 $C'_1 \sim C'_k$ をマッチ信号 $M_1 \sim M_k$ として出力する。

【0056】

例えば、2 個 ($k = 2$) のマッチ信号 M_1, M_2 を検出する場合、Winner 検出器 20 は、タイミング信号 $C_1 \sim C_R$ のうち、立ち上がりタイミングが早い順に 2 個のタイミング信号 C_1, C_3 を検出し、その検出したタイミング信号 C_1, C_3 をマッチ信号 M_1, M_2 として出力する。 $k = 2$ 以外の k 個のタイミング信号 $C'_1 \sim C'_k$ を検出する場合も、Winner 検出器 20 は、同様にして、 k 個のタイミング信号 $C'_1 \sim C'_k$ を検出し、その検出した k 個のタイミング信号 $C'_1 \sim C'_k$ をマッチ信号 $M_1 \sim M_k$ として出力する。

【0057】

$k = 1$ である場合、Winner 検出器 20 は、検索データに最も類似する参照データに対応するタイミング信号 (タイミング信号 $C_1 \sim C_R$ のいずれか) をマッチ信号 M_1 として出力する。また、 $k = 1$ である場合、Winner 検出器 20 は、検索データに類似する k 個の参照データに対応する k 個のタイミング信号 $C'_1 \sim C'_k$ をマッチ信号 $M_1 \sim M_k$ として出力する。この場合、 k 個のタイミング信号 $C'_1 \sim C'_k$ において、 k 個の立ち上がりタイミングは、相互に、少なくともクロック信号 CLK の 1 周期分だけ異なるので、立ち上がりタイミングの早い順に k 個のタイミング信号 $C'_1 \sim C'_k$ が正確に検出される。つまり、連想メモリ 100 は、検索データに類似する k 個の参照データを正確に検出することができる。

【0058】

距離 / クロック数変換回路 $DC_1 \sim DC_R$ の動作は、クロック信号 CLK に同期して実行される。そのため、クロック信号 CLK の周波数を高くすることで、連想メモリ 100 の動作を高速化してもよい。本実施形態では、クロック数変換回路 31a, 32a は、一致信号 (DETECT1, DETECT2) がそれぞれ出力されると動作を停止する。そのため、距離 / クロック数変換回路 DC_i において、全ての距離が一致するまでクロック数変換回路 $DC_{i1} \sim DC_{iR}$ を動作させる場合と比べて消費電力を小さくすることができる。

【0059】

< 第 2 実施形態 >

本実施形態では、第 1 実施形態で説明した距離 / クロック数変換回路とは異なる構成によって、ユークリッド距離を用いた検索を行う例について説明する。

【0060】

図 4 は、本実施形態における距離 / クロック数変換回路 DC_1 の構成例を示す概略構成図である。図 4 において、第 1 実施形態と同様の構成については、第 1 実施形態と同様の符号を付している。図 4 の例では、 $W = 2$ の場合の距離 / クロック数変換回路 DC_1 の構成例を示している。なお、距離 / クロック数変換回路 $DC_2 \sim DC_R$ についても同様の構成を有する。

【0061】

図 4 に示すように、距離 / クロック数変換回路 DC_1 は、バッファ 23、距離 / クロック数変換ユニット 310, 320、及び、カウンター一致検出ユニット 300 を含む。

【0062】

バッファ 23 は、連想メモリ 100 の制御回路 (図示せず) から検索開始信号 SB を受け、連想メモリ 100 に内蔵されたクロック発生回路 (図示せず) からクロック信号 CL

10

20

30

40

50

Kを受ける。そして、バッファ23は、検索開始信号SBがLレベルからHレベルに切り替わると、その受けたクロック信号CLKを距離/クロック数変換ユニット310, 320へ出力する。

【0063】

距離/クロック数変換ユニット310, 320は、距離演算回路 DP_{11} , DP_{12} にそれぞれ対応して設けられる。距離/クロック数変換ユニット310は、クロック数変換回路31a、デマルチプレクサ31d、OR回路31e、及び一致検出回路31c'を含む。距離/クロック数変換ユニット320は、クロック数変換回路32a、デマルチプレクサ32d、OR回路32e、及び一致検出回路32c'を含む。カウンタ一致検出ユニット300は、デマルチプレクサ300a、カウンタ300b、及び、AND回路300cを含む。

10

【0064】

デマルチプレクサ31dは、連想メモリ100の制御回路(図示せず)からイネーブル信号(EN)を受け、後述の一致検出回路31c'から一致信号(DETECT1)を受ける。デマルチプレクサ31dは、Lレベルの一致信号(DETECT1)を受けると、クロック数変換回路31aにHレベル(=1)のEN信号を出力し、OR回路31eにLレベル(=0)のEN信号を出力する。また、デマルチプレクサ31dは、Hレベルの一致信号(DETECT1)を受けると、クロック数変換回路31aにLレベルのEN信号を出力し、OR回路31eにHレベルのEN信号を出力する。

【0065】

20

クロック数変換回路31aは、距離演算回路 DP_{11} からMビットの距離信号 D_{11} を受け、バッファ23からクロック信号CLKを受ける。クロック数変換回路31aは、デマルチプレクサ31dからHレベルのEN信号を受けると、クロック信号CLKのクロック数をカウントし、カウントしたクロック数と距離信号 D_{11} が示す距離との一致を検出する。クロック数変換回路31aは、カウントしたクロック数と距離信号 D_{11} が示す距離とが一致するタイミングで、OR回路31eに「1」を示すHレベルの一致検出信号を出力する。また、クロック数変換回路31aは、後述のデマルチプレクサ300aから出力される信号を受け、その信号を受けたタイミングでカウントしたクロック数をリセットする。クロック数変換回路31aは、デマルチプレクサ31dからLレベルのEN信号を受けると、「0」を示すLレベルの一致検出信号をOR回路31eに出力する。

30

【0066】

OR回路31eは、クロック数変換回路31aからの一致検出信号(1又は0)と、デマルチプレクサ31dからのEN信号(1又は0)を受け、一致検出信号とEN信号の論理和を演算し、演算結果からなる駆動信号を距離/クロック数変換回路320におけるデマルチプレクサ32dに出力する。

【0067】

デマルチプレクサ32dは、OR回路31eからの駆動信号と、後述する一致検出回路32c'からの一致信号(DETECT2)を受けると、一致検出信号(DETECT2)がLレベルの場合、OR回路31eからの駆動信号をクロック数変換回路32aに出力し、OR回路31eからの駆動信号を反転させた反転信号をOR回路32eに出力する。また、一致信号(DETECT2)がHレベルの場合には、OR回路31eからの駆動信号を反転させた反転信号をクロック数変換回路32aに出力し、OR回路31eからの駆動信号をOR回路32eに出力する。

40

【0068】

クロック数変換回路32aは、距離演算回路 DP_{12} からMビットの距離信号 D_{12} を受け、バッファ23からクロック信号CLKを受ける。クロック数変換回路32aは、デマルチプレクサ32dから「1」を示す駆動信号を受けると、クロック信号CLKのクロック数をカウントし、カウントしたクロック数と距離信号 D_{12} が示す距離との一致を検出する。クロック数変換回路32aは、カウントしたクロック数と距離信号 D_{12} が示す距離とが一致するタイミングで、OR回路32eに「1」を示す一致検出信号を出力する

50

。また、クロック数変換回路32aは、後述のデマルチプレクサ300dから出力される信号を受け、その信号を受けたタイミングでカウントしたクロック数をリセットする。クロック数変換回路32aは、デマルチプレクサ32dから「0」を示す駆動信号を受けると、「0」を示す駆動信号をOR回路32eに出力する。

【0069】

OR回路32eは、クロック数変換回路32aからの一致検出信号(1又は0)と、デマルチプレクサ32dからの駆動信号(1又は0)を受け、受けた2つの信号の論理和を演算し、演算結果を示す信号をカウンタ一致検出ユニット300におけるデマルチプレクサ300aに出力する。

【0070】

デマルチプレクサ300aは、OR回路32eからの信号を受け、後述するAND回路300cから検索終了か否かを示すSearch-End信号を受ける。デマルチプレクサ300aは、Search-End信号がLレベルの場合には、OR回路32eからの信号をカウンタ300bとクロック数変換回路31a, 32aに出力し、Search-End信号がLレベルからHレベルに切り替わると、OR回路32eからの信号をタイミング信号C₁としてWinner検出器20へ出力する。

【0071】

カウンタ300bは、デマルチプレクサ300aから信号を受けるとともにカウンタ値を1つだけカウントアップさせ、カウントアップしたMビットのカウンタ値を一致検出回路31c', 32c'へ出力する。なお、カウンタ300bの初期値として、カウンタ値「0」が設定されている。

【0072】

一致検出回路31c'は、カウンタ300bからMビットのカウンタ値を受け、距離演算回路DP₁₁から距離信号D₁₁を受け、一致検出回路31c'は、カウンタ値と距離信号D₁₁が示す距離との一致を検出する。一致検出回路31c'は、カウンタ値と距離を満たす場合には、Hレベルの一致信号(DETECT1)をデマルチプレクサ31dとAND回路300cに出力する。また、カウンタ値と距離とが一致しない場合、つまり、カウンタ値<距離を満たす場合には、Lレベルの一致信号(DETECT1)をデマルチプレクサ31dとAND回路300cに出力する。

【0073】

一致検出回路32c'は、カウンタ300bからMビットのカウンタ値を受け、距離演算回路DP₁₂から距離信号D₁₂を受け、一致検出回路32c'は、カウンタ値と距離信号D₁₂が示す距離との一致を検出する。一致検出回路32c'は、カウンタ値と距離とが、カウンタ値と距離を満たす場合には、Hレベルの一致信号(DETECT2)をデマルチプレクサ32dとAND回路300cに出力する。また、カウンタ値と距離とが一致しない場合、つまり、カウンタ値<距離を満たす場合には、Lレベルの一致信号(DETECT2)をデマルチプレクサ32dとAND回路300cに出力する。

【0074】

AND回路300cは、一致検出回路31c'からの一致信号(DETECT1)と、一致検出回路32c'からの一致信号(DETECT2)との論理積を演算し、その演算結果を示すSearch-End信号をデマルチプレクサ300aに出力する。つまり、Hレベルの一致信号(DETECT1, DETECT2)の場合には、「1」を示すSearch-End信号がデマルチプレクサ300aに出力され、検索を終了する。また、少なくともいずれか一方の一致信号がLレベルである場合には、「0」を示すSearch-End信号がデマルチプレクサ300aに出力され、検索を継続する。

【0075】

ここで、例えば、距離演算回路DP₁₁から距離「2」を示すMビットの距離信号D₁₁が出力され、距離演算回路DP₁₂から距離「3」を示すMビットの距離信号D₁₂が出力された場合の動作例について説明する。

【0076】

10

20

30

40

50

EN信号が入力されると、デマルチプレクサ31dは、一致信号(DETECT1)が立ち上がっていないため、クロック数変換回路31aにHレベルのEN信号を出力し、OR回路31eにLレベルのEN信号を出力する。クロック数変換回路31aは、デマルチプレクサ31dからHレベルのEN信号を受けると、バッファ23からのクロック信号CLKのクロック数をカウントし、カウントしたクロック数と距離演算回路DP₁₁からの距離信号D₁₁が示す距離「2」と一致するタイミングで一致検出信号(=1)を出力する。

【0077】

OR回路31eは、クロック数変換回路31aからの一致検出信号(=1)とデマルチプレクサ31dからのEN信号(=0)との論理和の演算結果からなる駆動信号(=1)をデマルチプレクサ32dに出力する。デマルチプレクサ32dは、OR回路31eから駆動信号(=1)を受けると、一致信号(DETECT2)が立ち上がっていないため、その駆動信号(=1)をクロック数変換回路32aに出力し、その駆動信号の反転信号(=0)をOR回路32eに出力する。クロック数変換回路32aは、デマルチプレクサ32dから駆動信号(=1)を受けると、バッファ23からのクロック信号CLKのクロック数をカウントし、カウントしたクロック数と、距離演算回路DP₁₂からの距離信号D₁₂が示す距離「3」とが一致するタイミングで、一致検出信号(=1)を出力する。

10

【0078】

OR回路32eは、クロック数変換回路32aからの一致検出信号(=1)と、デマルチプレクサ32dからの反転信号(=0)との論理和の演算結果を表す信号(=1)をデマルチプレクサ300aに出力する。デマルチプレクサ300aは、カウンタ300bとクロック数変換回路31a、32aとにOR回路32eからの信号(=1)を出力する。クロック数変換回路31aとクロック数変換回路32aは、デマルチプレクサ300aからの信号(=1)を受けると、カウントしたクロック数をそれぞれリセットする。カウンタ300bは、デマルチプレクサ300aからの信号(=1)を受けると、カウンタ値をカウントアップし、カウンタ値「1」を一致検出回路31c'、32c'へ出力する。なお、検索開始からこのカウンタ値「1」が得られるときのクロック信号CLKの総クロック数は5(=2+3)である。

20

【0079】

一致検出回路31c'は、距離演算回路DP₁₁からの距離信号D₁₁が示す距離「2」と、カウンタ300bからのカウンタ値「1」とが一致しないため(距離>カウンタ値)、Lレベルの一致信号(DETECT1)を出力する。また、一致検出回路32c'は、距離演算回路DP₁₂からの距離信号D₁₂が示す距離「3」と、カウンタ300bからのカウンタ値「1」とが一致しないため(距離>カウンタ値)、Lレベルの一致信号(DETECT2)を出力する。

30

【0080】

デマルチプレクサ31dは、一致信号(DETECT1)が立ち上がっていないため、クロック数変換回路31aにHレベルのEN信号を入力し、OR回路31eにLレベルのEN信号を出力する。クロック数変換回路31aは、クロック信号CLKのクロック数を再びカウントし、カウントしたクロック信号CLKのクロック数と距離「2」とが一致するタイミングで、OR回路31eに「1」を示す一致検出信号を出力する。

40

【0081】

クロック数変換回路31aからの一致検出信号(=1)と、OR回路31eからのEN信号(=0)との論理和の演算結果を示す駆動信号(=1)がOR回路31eから出力される。デマルチプレクサ32dは、OR回路31eから駆動信号(=1)を受けると、一致信号(DETECT2)が立ち上がっていないため、クロック数変換回路32aに駆動信号(=1)を出力し、その駆動信号の反転信号(=0)をOR回路32eに出力する。クロック数変換回路32aは、クロック信号CLKのクロック数を再びカウントし、カウントしたクロック信号CLKのクロック数と距離「3」とが一致するタイミングで、OR回路31eに「1」を示す一致検出信号を出力する。

50

【 0 0 8 2 】

クロック数変換回路 3 2 a からの一致検出信号 (= 1) と、デマルチプレクサ 3 2 d からの反転信号 (= 0) との論理和の演算結果を示す信号 (= 1) が OR 回路 3 2 e から出力されると、デマルチプレクサ 3 0 0 a は、OR 回路 3 2 e からの信号 (= 1) をカウンタ 3 0 0 b とクロック数変換回路 3 1 a, 3 2 a に出力する。これにより、クロック数変換回路 3 1 a とクロック数変換回路 3 2 a は、カウントしたクロック数をそれぞれリセットする。カウンタ 3 0 0 b は、デマルチプレクサ 3 0 0 a からの信号 (= 1) を受けてカウンタ値をカウントアップさせ、カウンタ値「2」を一致検出回路 3 1 c', 3 2 c' へ出力する。なお、検索開始からこのカウンタ値「2」が得られるときの総クロック数は 10 (= 2 + 3 + 2 + 3) である。

10

【 0 0 8 3 】

一致検出回路 3 1 c' において、距離信号 $D_{1,1}$ が示す距離「2」と、カウンタ 3 0 0 b からのカウンタ値「2」とが一致するため (距離 = カウンタ値)、H レベルの一致信号 (DETECT 1) が出力される。一方、一致検出回路 3 2 c' において、距離信号 $D_{1,2}$ が示す距離「3」と、カウンタ 3 0 0 b からのカウンタ値「2」とが一致しないため (距離 > カウンタ値)、L レベルの一致信号 (DETECT 2) が出力される。

【 0 0 8 4 】

デマルチプレクサ 3 1 d は、一致信号 (DETECT 1) が L レベルから H レベルに切り替わると、OR 回路 3 1 e に H レベルの EN 信号を出力し、クロック数変換回路 3 1 a に L レベルの EN 信号を出力する。クロック数変換回路 3 1 a は、L レベルの EN 信号を受けると、「0」を示す一致検出信号を OR 回路 3 1 e に出力する。

20

【 0 0 8 5 】

クロック数変換回路 3 1 a からの一致検出信号 (= 0) と、デマルチプレクサ 3 1 d からの EN 信号 (= 1) との論理和の演算結果を示す駆動信号 (= 1) が OR 回路 3 1 e から出力されると、デマルチプレクサ 3 2 d は、OR 回路 3 1 e からの駆動信号 (= 1) をクロック数変換回路 3 2 a に出力し、その駆動信号の反転信号 (= 0) を OR 回路 3 2 e に出力する。

【 0 0 8 6 】

クロック数変換回路 3 2 a は、OR 回路 3 2 e から駆動信号 (= 1) を受けると、クロック信号 CLK をカウントし、カウントしたクロック数と距離「3」とが一致するタイミングで、「1」を示す一致検出信号を OR 回路 3 2 e に出力する。OR 回路 3 2 e は、クロック数変換回路 3 2 a からの一致検出信号 (= 1) とデマルチプレクサ 3 2 d からの駆動信号 (= 0) との論理和の演算結果を示す信号 (= 1) をデマルチプレクサ 3 0 0 a に出力する。

30

【 0 0 8 7 】

デマルチプレクサ 3 0 0 a は、OR 回路 3 2 e から出力される信号 (= 1) をカウンタ 3 0 0 b とクロック数変換回路 3 1 a, 3 2 a に出力する。これにより、クロック数変換回路 3 1 a とクロック数変換回路 3 2 a は、カウントしたクロック数をそれぞれリセットする。また、カウンタ 3 0 0 b は、デマルチプレクサ 3 0 0 a からの信号 (= 1) を受けてカウンタ値をカウントアップし、カウンタ値「3」を一致検出回路 3 1 c', 3 2 c' へ出力する。なお、検索開始からこのカウンタ値「3」が得られるときの総クロック数は 13 (= 2 + 3 + 2 + 3 + 3) である。

40

【 0 0 8 8 】

一致検出回路 3 1 c' において、距離演算回路 $DP_{1,1}$ からの距離信号 $D_{1,1}$ が示す距離「2」と、カウンタ 3 0 0 b からのカウンタ値「3」は、距離 = カウンタ値を満たすため、H レベルの一致信号 (DETECT 1) が出力される。また、一致検出回路 3 2 c' において、距離演算回路 $DP_{1,1}$ からの距離信号 $D_{1,1}$ が示す距離「3」と、カウンタ 3 0 0 b からのカウンタ値「3」とが一致するため (距離 = カウンタ値)、H レベルの一致信号 (DETECT 2) が出力される。

【 0 0 8 9 】

50

デマルチプレクサ 31d は、一致信号 (DETECT 1) が H レベルであるので、OR 回路 31e に H レベルの EN 信号を出力し、クロック数変換回路 31a に L レベルの EN 信号を出力する。クロック数変換回路 31a は、L レベルの EN 信号を受けると、「0」を示す一致検出信号を OR 回路 31e に出力する。クロック数変換回路 31a からの一致検出信号 (= 0) と、OR 回路 31e からの EN 信号 (= 1) との論理和の演算結果を示す駆動信号 (= 1) 信号が OR 回路 31e から出力される。

【0090】

デマルチプレクサ 32d は、一致信号 (DETECT 2) が L レベルから H レベルに切り替わると、OR 回路 31e からの駆動信号 (= 1) の反転信号 (= 0) をクロック数変換回路 32a に出力し、その駆動信号 (= 1) を OR 回路 32e に出力する。クロック数変換回路 32a は、デマルチプレクサ 32d から駆動信号 (= 0) を受けると、「0」を示す一致検出信号を OR 回路 32e に出力する。OR 回路 32e は、クロック数変換回路 32a からの一致検出信号 (= 0) と、デマルチプレクサ 32d からの駆動信号 (= 1) との論理和の演算結果を示す信号 (= 1) をデマルチプレクサ 300a に出力する。

10

【0091】

AND 回路 300c は、一致検出回路 31c', 32c' からの H レベルの一致信号 (DETECT 1) と一致信号 (DETECT 2) との論理積を演算し、Search-End 信号 (= 1) をデマルチプレクサ 300a に出力する。デマルチプレクサ 300a は、Search-End 信号 (= 1) を受けると検索を終了し、OR 回路 32e からの信号を、タイミング信号 C_1 として Winner 検出器 20へを出力する。つまり、検索開始からクロック数が「13」となるタイミングでタイミング信号 C_1 が出力される。

20

【0092】

クロック数「13」は、距離信号 D_{11} と距離信号 D_{12} の各距離 ($D_{11} = 2$, $D_{12} = 3$) の二乗値の和 ($= 4 + 9$) と等しい。参照データと検索データとのユークリッド距離 n_{er} の演算は、上述したように、式 (1) によって演算した W 個の各距離について、距離に一致するクロック数をカウントする処理を、距離に一致する回数だけ繰り返し行うことで実現される。そうすると、図 4 の例において、カウンター一致検出ユニット 300 が、距離 / クロック数変換ユニット 310, 320 全体でクロック数「13」をカウントしたタイミングを示すタイミング信号 C_1 を出力することは、ユークリッド距離 n_{er} によって検索データに類似する参照データを検索し、検索データに類似する参照データを検出したことを示す Winner 信号を出力することに相当する。なお、距離 / クロック数変換回路 $DC_2 \sim DC_R$ の各々も、距離 / クロック数変換回路 DC_1 の動作と同じ動作によって、それぞれ、タイミング信号 $C_2 \sim C_R$ を出力する。

30

【0093】

第 1 実施形態では、距離演算回路 $DP_{11} \sim DP_{RW}$ の各々に対してカウンタを設ける例であったが、本実施形態では、距離 / クロック数変換回路 DC_i ごとに 1 つのカウンタを設ける構成であるため、第 1 実施形態と比べて回路面積を小さくすることができる。

【0094】

なお、上述した第 2 実施形態において、連想メモリ 100 の制御回路 (図示せず) から、各距離 / クロック数変換回路 DC_i のデマルチプレクサ 300a に、マンハッタン距離又はユークリッド距離を示す制御信号を入力し、マンハッタン距離を示す制御信号が入力された場合には、各距離 / クロック数変換回路 DC_i において 1 回目の処理が終了するタイミングでタイミング信号 C_1 を出力するようにしてもよい。つまり、図 4 の例において、クロック数変換回路 31a がクロック数「2」をカウントした後、クロック数変換回路 32a においてクロック数「3」をカウントしたタイミングで、デマルチプレクサ 300a からタイミング信号 C_1 を出力する。その結果、タイミング信号 C_1 は、検索開始からクロック数「5」($= 2 + 3$) のタイミングで出力される。これは、1 つの行における参照データと検索データとの各マンハッタン距離の和と一致する。従って、このような構成にすることで、マンハッタン距離とユークリッド距離とを選択的に用いて検索を行うことが可能となる。

40

50

【 0 0 9 5 】

< 第 3 実施形態 >

上述した第 1 実施形態及び第 2 実施形態では、各距離 / クロック数変換回路において、距離ごとに、距離をクロック数に変換する処理を距離と一致する回数だけ繰り返し行うことによって、ユークリッド距離を用いた検索を行う例について説明した。

【 0 0 9 6 】

例えば、第 1 実施形態における各距離 / クロック数変換回路において、距離をクロック数に変換する処理を各カウンタ一致検出回路において 1 回だけ行ったタイミングでタイミング信号を出力すると、マンハッタン距離 (式 (1)) の和に一致するクロック数のタイミングでタイミング信号が出力される。また、上述したように、第 2 実施形態における距離 / クロック数変換回路 $DC_1 \sim DC_R$ の距離 / クロック数変換ユニット 310, 320 において、距離をクロック数に変換する処理を 1 回だけ行ってタイミング信号を出力する場合もマンハッタン距離の和に一致するクロック数のタイミングでタイミング信号を出力することができる。

10

【 0 0 9 7 】

第 1 実施形態や第 2 実施形態において、ユークリッド距離とマンハッタン距離のいずれを用いて検索する場合であっても、各距離 / クロック数変換回路において、全ての距離についてクロック数が一致しなければタイミング信号は出力されない。つまり、第 1 実施形態や第 2 実施形態の場合、最も早くタイミング信号が出力されるタイミング t_1 (以下、類似パターン p_1) と、2 番目にタイミング信号が出力されるタイミング t_2 (以下、類似パターン p_2) は、図 5 A に示す関係となる。類似パターン p_1 は、距離が n_{M_1} の場合であり、類似パターン p_2 は、距離が n_{M_2} ($> n_{M_1}$) の場合を示している。また、 CLK は、クロックサイクルを表している。従って、類似パターン p_1 のタイミング信号は、 $t_1 = n_{M_1} \cdot CLK$ のタイミングで出力され、類似パターン p_2 のタイミング信号は、 $t_2 = n_{M_2} \cdot CLK$ のタイミングで出力される。

20

【 0 0 9 8 】

第 1 実施形態や第 2 実施形態のように、距離ごとに、カウントしたクロック数との一致を厳密に検出すると、検索データやビット長が増加するほど多大な検索時間を要することになる。本実施形態では、図 5 B に示すように、類似パターン p_1, p_2 から同じ値 ($n_x \cdot CLK$) だけ検索時間を削減することにより、第 1 実施形態や第 2 実施形態と比べて検索時間を短縮する検索アルゴリズムについて説明する。なお、以下の説明においては、マンハッタン距離を用いる場合を例に説明する。

30

【 0 0 9 9 】

図 6 は、本実施形態に係る連想メモリの構成例を示す概略ブロック図である。図 6 において、第 1 実施形態と同様の構成には、第 1 実施形態と同じ符号を付している。以下、第 1 実施形態と異なる構成について説明する。図 6 に示すように、連想メモリ 110 は、距離 / クロック数変換回路 $DC_1 \sim DC_R$ に替えて距離 / クロック数変換回路 $DE_1 \sim DE_R$ を備え、AND 回路 6 と有効ビット設定部 40 とを更に備える。

【 0 1 0 0 】

距離演算回路 $DP_{1_1} \sim DP_{1_W}$ の各々は、参照データ 1 と検索データとの距離を上述した式 (1) を用いて演算する。また、距離演算回路 $DP_{2_1} \sim DP_{2_W}$ の各々は、参照データ 2 と検索データとの距離を上述した式 (1) を用いて演算する。以下同様にして、距離演算回路 $DP_{R_1} \sim DP_{R_W}$ の各々は、参照データ R と検索データとの距離を上述した式 (1) を用いて演算する。

40

【 0 1 0 1 】

距離 / クロック数変換回路 DE_1 は、距離演算回路 $DP_{1_1} \sim DP_{1_W}$ から W 個の N ビット長を有する距離信号 D_{1_j} を受け、後述する方法で距離信号 D_{1_j} が示す距離に一致するクロック数を検出したタイミングで、一致検出信号 $m_{1_W_n}$ を有効ビット設定部 40 へ出力する。距離 / クロック数変換回路 DE_2 は、距離演算回路 $DP_{2_1} \sim DP_{2_W}$ から W 個の N ビット長を有する距離信号 D_{2_j} を受け、後述する方法で距離信号 D_{2_j} が示

50

す距離に一致するクロック数を検出したタイミングで、一致検出信号 m_{2W-n} を有効ビット設定部 40 へ出力する。以下、同様にして、距離/クロック数変換回路 DE_R は、距離演算回路 $DP_{R1} \sim DP_{RW}$ から W 個の N ビット長を有する距離信号 D_{Rj} を受け、後述する方法で距離信号 D_{Rj} が示す距離に一致するクロック数を検出したタイミングで、一致検出信号 m_{RW-n} を有効ビット設定部 40 へ出力する。

【0102】

図7は、距離/クロック数変換回路 DE_1 の構成例を示す概略構成図である。図7に示すように、距離/クロック数変換回路 DE_1 は、距離演算回路 $DP_{11} \sim DP_{1W}$ にそれぞれ対応するように設けられたカウンタ一致検出回路 $DE_{11} \sim DE_{1W}$ と、バッファ21~2Wとを有する。なお、距離/クロック数変換回路 $DE_2 \dots DE_R$ についても距離/クロック数変換回路 DE_1 と同様の構成を有する。

10

【0103】

カウンタ一致検出回路 $DE_{11} \sim DE_{1W}$ は、それぞれ距離演算回路 $DP_{11} \sim DP_{1W}$ から N ビット長を有する距離信号 $D_{11} \sim D_{1W}$ を受ける。カウンタ一致検出回路 DE_{11} は、バッファ21からクロック信号 CLK が入力される。カウンタ一致検出回路 $DE_{12} \sim DE_{1W}$ は、それぞれカウンタ一致検出回路 $DE_{11} \sim DE_{1W-1}$ から後述するカウンタ一致信号 $m_{11-n} \sim m_{1W-1-n}$ がバッファ22~2Wに入力されると、バッファ22~2Wからクロック信号 CLK が入力される。

【0104】

カウンタ一致検出回路 $DE_{11} \sim DE_{1W}$ は、後述する有効ビット設定部40から、検索対象のビットを示す信号(以下、BAS信号)を受ける。カウンタ一致検出回路 DE_{11} は、BAS信号が示すビット(n)に対応するカウンタ値と距離信号 D_{11} が示す距離との一致を検出し、一致を検出したタイミングでバッファ22とカウンタ一致検出回路 DE_{12} にHレベルの一致検出信号 m_{11-n} を出力する。カウンタ一致検出回路 DE_{12} は、Hレベルの一致検出信号 m_{11-n} を受けると、BAS信号が示すビットに対応するカウンタ値と距離信号 D_2 が示す距離との一致を検出し、一致を検出したタイミングで、バッファ23とカウンタ一致検出回路 DE_{13} (図示せず)にHレベルの一致検出信号 m_{12-n} を出力する。以下同様にして、カウンタ一致検出回路 DE_{1W} は、Hレベルの一致検出信号 m_{1W-1-n} を受けると、BAS信号が示すビットに対応するカウンタ値と距離信号 D_{1W} が示す距離との一致を検出し、一致を検出したタイミングで、Hレベルの一致検出信号 m_{1W-n} を出力する。

20

30

【0105】

ここで、カウンタ一致検出回路 DE_{11} の構成例を示す概略構成図を図8に示す。図8に示すように、カウンタ一致検出回路 DE_{11} は、 N ビットのカウンタ312、一致検出回路313、及びマルチプレクサ314を有する。なお、カウンタ一致検出回路 $DE_{12} \dots DE_{1W}$ についてもカウンタ一致検出回路 DE_{11} と同様の構成を有する。

【0106】

カウンタ312は、バッファ21からクロック信号 CLK を受け、有効ビット設定部40からBAS信号を受け、連想メモリ110の制御回路(図示せず)からリセット信号(RST)を受ける。カウンタ312は、クロック信号 CLK のクロックに同期して、BAS信号が示すビットについてカウントアップを行い、カウンタ値を一致検出回路313に出力する。

40

【0107】

一致検出回路313は、BAS信号が示すビットに対応するカウンタ値と距離信号 D_{11} の値との一致を検出する。一致検出回路313は、BAS信号が示すビットに対応するカウンタ値と距離信号 D_{11} の値との一致を検出すると、「1」を示す一致検出信号 m_{11-n} をマルチプレクサ314に出力する。

【0108】

図9Aは、本実施形態におけるカウンタ312と一致検出回路313の回路構成例を示している。図9Aの例では、カウンタ312は3ビットカウンタで構成される。カウンタ

50

3 1 2 は、3つのセクタ3 1 2 a , 3 1 2 b , 3 1 2 c と、各セクタと接続された分周器3 1 2 d , 3 1 2 e , 3 1 2 f とを有する。セクタ3 1 2 a , 3 1 2 b , 3 1 2 c は、有効ビット設定部4 0 からBAS信号を受け、バッファ2 1 からクロック信号CLKを受け。セクタ3 1 2 a は、最上位ビットに対応し、最上位ビットを示すBAS信号 (BAS < 1 >) を受ける。セクタ3 1 2 b は、最上位から2番目のビットに対応し、2番目のビットを示すBAS信号 (BAS < 2 >) を受ける。セクタ3 1 2 c は、最下位ビットに対応し、最下位ビットを示すBAS信号 (BAS < 3 >) を受ける。BAS信号は、1又は0を示す信号である。

【0 1 0 9】

一致検出回路3 1 3 は、EXNOR回路3 1 3 a , 3 1 3 b , 3 1 3 c と、AND回路3 1 3 d , 3 1 3 e とを有する。EXNOR回路3 1 3 a , 3 1 3 b , 3 1 3 c は、分周器3 1 2 d , 3 1 2 e , 3 1 2 f とそれぞれ接続されている。

10

【0 1 1 0】

セクタ3 1 2 a , 3 1 2 b , 3 1 2 c のいずれかにBAS信号 (= 1) が入力されると、BAS信号 (= 1) が入力されたセクタは、クロック信号CLKに対応する分周器に入力する。クロック信号CLKが入力された分周器は、クロック信号CLKを分周して一致検出回路3 1 3 へ出力する。なお、分周器3 1 2 d , 3 1 2 e は、下位のビットを示すBAS信号が入力されている場合であっても、下位のビットに対応する分周器のカウントアップによる桁上げ値が入力されるとカウントアップを行う。

【0 1 1 1】

20

図9 B は、BAS信号によって最上位から最下位ビットが指定された場合のカウンタ3 1 2 の動作を示す。BAS信号により最上位ビットが指定されている場合 (BAS < 1 > = 1 , BAS < 2 > = 0 , BAS < 3 > = 0)、セクタ3 1 2 c はグラウンドに接地されているため、分周器3 1 2 f、3 1 2 e からEXNOR回路3 1 3 b , 3 1 3 c に信号値「0」が出力される。分周器3 1 2 a には、クロック信号CLKが入力され、図9 B の i) に示すように、クロック信号CLKを 2^0 回分周した信号で示されるカウンタ値をEXNOR回路3 1 3 a に出力する。つまり、この場合には、カウンタ3 1 2 は、1ビットカウンタとして機能する。

【0 1 1 2】

また、BAS信号により最上位から2ビット目が指定されている場合 (BAS < 1 > = 0 , BAS < 2 > = 1 , BAS < 3 > = 0)、分周器3 1 2 f からEXNOR回路3 1 3 c に信号値「0」が出力される。分周器3 1 2 e には、クロック信号CLKが入力され、図9 B の i i) に示すように、クロック信号CLKを 2^0 回分周した信号で示されるカウンタ値をEXNOR回路3 1 3 b に出力する。分周器3 1 2 d には、分周器3 1 2 e からの桁上げ信号が入力され、図9 B の i i) に示すように、クロック信号CLKを 2^1 分周した信号で示されるカウンタ値をEXNOR回路3 1 3 a に出力する。つまり、この場合には、カウンタ3 1 2 は、2ビットカウンタとして機能する。

30

【0 1 1 3】

また、BAS信号により最下位ビットが指定されている場合 (BAS < 1 > = 0 , BAS < 2 > = 0 , BAS < 3 > = 1)、分周器3 1 2 f には、クロック信号CLKが入力され、図9 B の i i i) に示すように、クロック信号CLKを 2^0 回分周した信号で示されるカウンタ値をEXNOR回路3 1 3 c に出力する。分周器3 1 2 e には、分周器3 1 2 f からの桁上げ信号が入力され、図9 B の i i i) に示すように、クロック信号CLKを 2^1 回分周した信号で示されるカウンタ値をEXNOR回路3 1 3 b に出力する。また、分周器3 1 2 d には、分周器3 1 2 e からの桁上げ信号が入力され、図9 B の i i i) に示すように、クロック信号CLKを 2^2 回分周した信号で示されるカウンタ値をEXNOR回路3 1 3 a に出力する。つまり、この場合には、カウンタ3 1 2 は、3ビットカウンタとして機能する。

40

【0 1 1 4】

図9 A に戻り、説明を続ける。EXNOR回路3 1 3 a , 3 1 3 b , 3 1 3 c は、距離

50

信号 D_{ij} の各ビットの値 $D < 1 >$, $D < 2 >$, $D < 3 >$ を受け、分周器 3 1 2 d , 3 1 2 e , 3 1 2 f からそれぞれカウンタ値を受ける。

【 0 1 1 5 】

EXNOR回路 3 1 3 a は、距離信号 D_{ij} の最上位ビットの値 $D < 1 >$ と、分周器 3 1 2 d から出力されるカウンタ値とが一致する場合に、AND回路 3 1 3 d に「 1 」を示す検出信号を出力し、その検出信号 (= 1) を最上位ビットに対応する一致検出信号 m_{ij_1} としてマルチプレクサ 3 1 4 に出力する。また、距離信号 D_{ij} の最上位ビットの値 $D < 1 >$ とカウンタ値とが一致しない場合、AND回路 3 1 3 d に「 0 」を示す検出信号を出力し、その検出信号 (= 0) を一致検出信号 m_{ij_1} としてマルチプレクサ 3 1 4 に出力する。

10

【 0 1 1 6 】

EXNOR回路 3 1 3 b は、距離信号 D_{ij} の最上位から 2 番目のビットの値 $D < 2 >$ と、分周器 3 1 2 e から出力されるカウンタ値とが一致する場合に、AND回路 3 1 3 d に「 1 」を示す検出信号を出力し、一致しない場合には「 0 」を示す検出信号を出力する。

【 0 1 1 7 】

EXNOR回路 3 1 3 c は、距離信号 D_{ij} の最下位ビットの値 $D < 3 >$ と、分周器 3 1 2 f から出力されるカウンタ値とが一致する場合に、AND回路 3 1 3 e に「 1 」を示す検出信号を出力し、一致しない場合には「 0 」を示す検出信号を出力する。

【 0 1 1 8 】

AND回路 3 1 3 d は、EXNOR回路 3 1 3 a と EXNOR回路 3 1 3 b とから入力される検出信号の論理積の値を示す検出信号をAND回路 3 1 3 e に出力し、その検出信号を最上位から 2 番目のビットに対応する一致検出信号 m_{ij_2} としてマルチプレクサ 3 1 4 に出力する。例えば、EXNOR回路 3 1 3 a と EXNOR回路 3 1 3 b とから検出信号 (= 1) が出力された場合、つまり、上位 2 ビットの距離とカウンタ値とが一致している場合には、「 1 」を示す検出信号がAND回路 3 1 3 e に出力され、「 1 」を示す一致検出信号 m_{ij_2} がマルチプレクサ 3 1 4 に出力される。また、EXNOR回路 3 1 3 a と EXNOR回路 3 1 3 b の少なくとも一方から検出信号 (= 0) が出力された場合、つまり、上位 2 ビットの距離とカウンタ値とが一致していない場合には、「 0 」を示す検出信号がAND回路 3 1 3 e に出力され、「 0 」を示す一致検出信号 m_{ij_2} がマルチプレクサ 3 1 4 に出力される。

20

30

【 0 1 1 9 】

AND回路 3 1 3 e は、EXNOR回路 3 1 3 c と AND回路 3 1 3 d とから入力される検出信号の論理積の値を示す検出信号を最下位ビットに対応する一致検出信号 m_{ij_3} としてマルチプレクサ 3 1 4 に出力する。例えば、EXNOR回路 3 1 3 c と AND回路 3 1 3 d とから検出信号 (= 1) が出力された場合、つまり、全ビットで表される距離とカウンタ値とが一致している場合には、一致検出信号 m_{ij_3} (= 1) が出力される。また、EXNOR回路 3 1 3 c と AND回路 3 1 3 d の少なくとも一方から検出信号 (= 0) が出力された場合、つまり、全ビットで表される距離とカウンタ値とが一致していない場合には、一致検出信号 m_{ij_3} (= 0) がマルチプレクサ 3 1 4 に出力される。そして、一致検出回路 3 1 3 においては、EXNOR回路 3 1 3 a が「 1 」を示す検出信号を出力しない限り、AND回路 3 1 3 d , 3 1 3 e とはそれぞれ「 1 」を示す一致検出信号 m_{ij_2} , m_{ij_3} を出力することはない。

40

【 0 1 2 0 】

図 8 に戻り、カウンタ一致検出回路 DE_{11} におけるマルチプレクサ 3 1 4 は、BAS信号で示されるビットに対応する、一致検出回路 3 1 3 から出力される一致検出信号 m_{11_n} を、バッファ 2 2 及びカウンタ一致検出回路 DE_{12} に出力する。なお、カウンタ一致検出回路 DE_{1w} におけるマルチプレクサ 3 1 4 から出力される一致検出信号 m_{1w_n} は、有効ビット設定部 4 0 に出力される。

【 0 1 2 1 】

50

次に、図 6、7 を参照して、有効ビット設定部 40 について説明する。有効ビット設定部 40 は、クロック信号 CLK と、距離 / クロック数変換回路 $DE_1 \sim DE_R$ から出力される一致検出信号 m_{iW_n} (1 又は 0) を受ける。有効ビット設定部 40 は、いずれかの距離 / クロック数変換回路 $DE_1 \sim DE_R$ から一致検出信号 m_{iW_n} (= 1) を受けると、クロック信号 CLK に同期して、カウンタ一致検出回路 $DE_{i1} \sim DE_{iW}$ における各カウンタ 312 及びマルチプレクサ 314 に対して BAS 信号を出力する。

【0122】

有効ビット設定部 40 からカウンタ一致検出回路 $DE_{i1} \sim DE_{iW}$ に BAS 信号を入力するために、1 クロックサイクルが必要となる。有効ビット設定部 40 は、BAS 信号を入力する間、CLK__ACT 信号を AND 回路 6 に入力し、クロック信号 CLK が距離 / クロック数変換回路 $DE_1 \sim DE_R$ に入力されないようにする。CLK__ACT 信号は、一致検出信号 m_{iW_n} を反転させた信号である。

10

【0123】

つまり、一致検出信号 m_{iW_n} が立ち上がると (一致検出信号 $m_{iW_n} = 1$)、 「0」 を示す CLK__ACT 信号が AND 回路 6 に入力され、一致検出信号 m_{iW_n} が立ち上がっていないならば (一致検出信号 $m_{iW_n} = 0$)、 「1」 を示す CLK__ACT 信号が AND 回路 6 に入力される。有効ビット設定部 40 は、距離 / クロック数変換回路 $DE_1 \sim DE_R$ から最下位ビットに対応する一致検出信号が立ち上がったタイミングでタイミング信号 $C_1 \sim C_R$ を Winner 検出器 20 へ出力する。

【0124】

AND 回路 6 は、クロック信号 CLK と有効ビット設定部 40 からの CLK__ACT 信号 (1 又は 0) とを受ける。AND 回路 6 は、有効ビット設定部 40 からの CLK__ACT 信号とクロック信号 CLK との論理積を演算した結果を距離 / クロック数変換回路 $DE_1 \sim DE_R$ に入力する。つまり、有効ビット設定部 40 から CLK__ACT 信号 (= 0) が入力された場合には、クロック信号 CLK が距離 / クロック数変換回路 $DE_1 \sim DE_R$ に入力されず、CLK__ACT 信号 (= 1) が入力された場合には、クロック信号 CLK が距離 / クロック数変換回路 $DE_1 \sim DE_R$ に入力される。

20

【0125】

ここで、図 6 に示す構成において、参照データが参照データ 1、2 であり、 $R = 2$ 、 $W = 3$ である場合の動作例について説明する。図 10A は、参照データ 1 に対する距離 / クロック数変換回路 DE_1 と、参照データ 2 に対する距離 / クロック数変換回路 DE_2 とにおいて、参照データ 1 と検索データとの距離と、参照データ 2 と検索データとの距離とをそれぞれクロック数に変換する処理過程を示す図である。

30

【0126】

図 10A の例において、距離 / クロック数変換回路 DE_1 は、カウンタ一致検出回路 $DE_{11} \sim DE_{13}$ を有し、距離 / クロック数変換回路 DE_2 は、カウンタ一致検出回路 $DE_{21} \sim DE_{23}$ を有する。なお、図 10A におけるカウンタ値と距離の各値の下線は、有効ビット設定部 40 によって設定されたビット、つまり、距離とカウンタ値の一致検出対象となるビットであることを示している。

【0127】

カウンタ一致検出回路 DE_{11} 、 DE_{12} 、 DE_{13} には、距離演算回路 DP_{11} 、 DP_{12} 、 DP_{13} から距離信号 D_{11} 、 D_{12} 、 D_{13} がそれぞれ入力される。この例において、距離信号 D_{11} が示す距離は「 $\underline{5}_{10}$ (= 101_2)」であり、距離信号 D_{12} が示す距離は「 $\underline{4}_{10}$ (= 100_2)」であり、距離信号 D_{13} が示す距離は「 $\underline{3}_{10}$ (= 010_2)」である。また、カウンタ一致検出回路 DE_{21} 、 DE_{22} 、 DE_{23} には、距離演算回路 DP_{21} 、 DP_{22} 、 DP_{23} から距離信号 D_{21} 、 D_{22} 、 D_{23} がそれぞれ入力される。この例において、距離信号 D_{21} が示す距離は「 $\underline{7}_{10}$ (= 111_2)」であり、距離信号 D_{22} が示す距離は「 $\underline{0}_{10}$ (= 000_2)」であり、距離信号 D_{23} が示す距離は「 $\underline{2}_{10}$ (= 010_2)」である。なお、距離 / クロック数変換回路 DE_1 と DE_2 における各カウンタ一致検出回路には、初期値として、最上位ビットを示す

40

50

BAS 信号 ($BAS < 1 > = 1$, $BAS < 2 > = 0$, $BAS < 3 > = 0$) が予め設定されている。

【0128】

連想メモリ 110 の制御回路 (図示せず) から検索開始を示す信号 SB が入力されると、0 クロック目において、カウンタ一致検出回路 DE_{11} 、 DE_{12} は、それぞれ、最上位ビットに対応する分周器 312 d のカウンタ値「0」を一致検出回路 313 の EXNOR 回路 313 a に出力する。図 10 A の例において、BAS「1」、クロック「0」のとき、カウンタ一致検出回路 DE_{11} における、下線で示す最上位ビットのカウンタ値「000」と距離「101」とは一致しない。同様に、カウンタ一致検出回路 DE_{21} における、下線で示す最上位ビットのカウンタ値「000」と距離「111」とは一致しない。そのため、カウンタ一致検出回路 DE_{11} とカウンタ一致検出回路 DE_{21} において、それぞれ、EXNOR 回路 313 a から「0」を示す検出信号が AND 回路 313 d に出力される。そして、カウンタ一致検出回路 DE_{11} からカウンタ一致検出回路 DE_{12} に一致検出信号 m_{11_1} (= 0) が出力され、カウンタ一致検出回路 DE_{21} からカウンタ一致検出回路 DE_{22} に一致検出信号 m_{21_1} (= 0) が出力される。

10

【0129】

有効ビット設定部 40 は、0 クロック目において、距離 / クロック数変換回路 DE_1 、 DE_2 の最上位ビットに対応する一致検出信号がいずれも立ち上がっていないため、CLK__ACT 信号 (= 1) を AND 回路 6 に出力する。これにより、カウンタ一致検出回路 DE_{11} 、 DE_{21} にクロック信号 CLK が入力される。

20

【0130】

カウンタ一致検出回路 DE_{11} 、 DE_{21} は、それぞれのセクタ 312 a にクロック信号 CLK を入力する。カウンタ一致検出回路 DE_{11} における分周器 312 d はクロック信号 CLK を 2^0 回分周し、図 10 B に示す t1 におけるカウンタ値「1」を EXNOR 回路 313 a に出力し、EXNOR 回路 313 a から「1」を示す検出信号が AND 回路 313 d に出力される。そして、カウンタ一致検出回路 DE_{12} とバッファ 22 とに、一致検出信号 m_{11_1} (= 1) が出力される。

【0131】

カウンタ一致検出回路 DE_{12} は、一致検出信号 m_{11_1} (= 1) が入力されると、一致検出回路 313 において、最上位ビットに対応する分周器 312 d のカウンタ値と距離 D_{12} との一致の検出を開始する。カウンタ一致検出回路 DE_{12} における分周器 312 d はクロック信号 CLK を 2^0 回分周し、図 10 B に示す t1 におけるカウンタ値「0」を EXNOR 回路 313 a に出力する。最上位ビットに対応するカウンタ値「0」と距離 D_{12} 「100」とは一致しないため、EXNOR 回路 313 a から「0」を示す検出信号が AND 回路 313 d に出力され、一致検出信号 m_{12_1} (= 0) が出力される。従って、検索開始から 1 クロック目に、参照データ 1 について一致検出信号 m_{13_1} (= 1) は出力されない。

30

【0132】

一方、図 10 B に示すように、カウンタ一致検出回路 DE_{21} における分周器 312 d はクロック信号 CLK を 2^0 回分周し、図 10 B に示す t1 におけるカウンタ値「1」を EXNOR 回路 313 a に出力し、EXNOR 回路 313 a から「1」を示す検出信号が AND 回路 313 d に出力される。そして、カウンタ一致検出回路 DE_{12} とバッファ 22 とに、一致検出信号 m_{21_1} (= 1) が出力される。

40

【0133】

カウンタ一致検出回路 DE_{22} は、一致検出信号 m_{21_1} (= 1) が入力されると、一致検出回路 313 において、最上位ビットに対応する分周器 312 d のカウンタ値と距離 D_{22} との一致の検出を開始する。図 10 B に示すように、カウンタ一致検出回路 DE_{22} における分周器 312 d はクロック信号 CLK を 2^0 回分周し、図 10 B に示す t1 におけるカウンタ値「0」を EXNOR 回路 313 a に出力する。最上位ビットに対応するカウンタ値「0」と距離「000」とは一致するため、EXNOR 回路 313 a から「

50

「1」を示す検出信号がAND回路313dに出力され、カウンタ一致検出回路DE₂₃とバッファ23とに、一致検出信号m₂₂_{—1}(=1)が出力される。

【0134】

カウンタ一致検出回路DE₂₃は、一致検出信号m₂₂_{—1}(=1)が入力されると、一致検出回路313において、最上位ビットに対応する分周器312dのカウント値と距離D₂₃との一致の検出を開始する。図10Bに示すように、カウンタ一致検出回路DE₂₃における分周器312dはクロック信号CLKを2⁰回分周し、一致検出信号m₂₂_{—1}(=1)が入力されたタイミングでカウント値「0」をEXNOR回路313aに出力する。最上位ビットに対応するカウント値「0」と距離D₂₃「010」とは一致するため、EXNOR回路313aから「1」を示す検出信号がAND回路313dに出力され、マルチプレクサ314から有効ビット設定部40に一致検出信号m₂₃_{—1}(=1)が出力される。従って、検索開始から1クロック目で、参照データ2について一致検出信号m₂₃_{—1}(=1)が出力される。

10

【0135】

有効ビット設定部40は、距離/クロック数変換回路DE₂から最上位ビットに対する一致検出信号m₂₃_{—1}(=1)が入力されると、検索開始から2クロック目に、最上位から2番目のビットを示すBAS信号(BAS<1>=0, BAS<2>=1, BAS<3>=0)を、距離/クロック数変換回路DE₁とDE₂における各カウンタ一致検出回路に入力する。これにより、検出対象のビットが上位2ビットまで拡張される。また、有効ビット設定部40は、CLK__ACT信号(=0)をAND回路6に出力し、距離/クロック数変換回路DE₁とDE₂にクロック信号CLKが入力されないようにする。

20

【0136】

カウンタ一致検出回路DE₁₁とDE₂₁は、それぞれのカウンタ312において、最上位から2番目のビットに対応するセクタ312bにBAS信号(BAS<2>=1)が入力されると、一致検出回路313において、上位2ビットのカウント値と距離との一致を検出する。

【0137】

BAS信号(BAS<2>=1)が入力されると、図10Cに示すように、カウンタ一致検出回路DE₁₁における分周器312e, 312dは、クロック信号CLKを2⁰, 2¹回それぞれ分周して2ビットのカウント値を出力する。検索開始から1クロック目に、カウンタ一致検出回路DE₁₁における分周器312dのカウント値「1」と距離D₁₁「101」とが一致している。そのため、カウンタ一致検出回路DE₁₁の分周器312d, 312eは、図10Cに示すt1におけるカウント値「10」のビット値「1」, 「0」をEXNOR回路313a, 313bにそれぞれ出力する。つまり、距離「4」の検索が打ち消されたことになる。上位2ビットに対応するカウント値「10」と距離D₁₁「101」とは一致するため、EXNOR回路313a, 313bからAND回路313d, 313eに「1」を示す検出信号がそれぞれ出力され、EXNOR回路313aとAND回路313dからマルチプレクサ314に、一致検出信号m₁₁_{—1}(=1), m₁₁_{—2}(=1)がそれぞれ出力される。そして、マルチプレクサ314からカウンタ一致検出回路DE₁₂とバッファ22に、一致検出信号m₁₁_{—2}(=1)が出力される。

30

40

【0138】

カウンタ一致検出回路DE₁₂は、一致検出信号m₁₁_{—2}(=1)が入力されると、一致検出回路313において、上位2ビットのカウント値と距離D₁₂との一致の検出を開始する。BAS信号(BAS<2>=1)が入力されると、図10Cに示すように、カウンタ一致検出回路DE₁₂における分周器312e, 312dは、クロック信号CLKを2⁰, 2¹回それぞれ分周して2ビットのカウント値を出力する。図10Cに示すように、t1におけるカウンタ一致検出回路DE₁₂の分周器312d, 312eのカウント値「00」のビット値「0」, 「0」がEXNOR回路313a, 313bにそれぞれ出力される。上位2ビットに対応するカウント値「00」と距離D₁₂「100」とは一致しないため、EXNOR回路313a, 313bからAND回路313dにそれぞれ「0

50

」, 「1」を示す検出信号が出力され、一致検出信号 $m_{12} _2 (= 0)$ がマルチプレクサ 314 からカウンタ一致検出回路 DE_{13} とバッファ 23 に出力される。

【0139】

カウンタ一致検出回路 DE_{21} における分周器 312 e, 312 d は、BAS 信号 (BAS < 2 > = 1) が入力されると、図 10C に示すように、クロック信号 CLK をそれぞれ 2^0 , 2^1 回分周して 2 ビットのカウンタ値を出力する。検索開始から 1 クロック目に、カウンタ一致検出回路 DE_{21} における分周器 312 d のカウンタ値「1」と距離「11」とが一致している。そのため、カウンタ一致検出回路 DE_{21} の分周器 312 d, 312 e は、図 10C に示す t1 におけるカウンタ値「10」のビット値「1」, 「0」を EXNOR 回路 313 a, 313 b にそれぞれ出力する。つまり、距離「2」の検索が打ち消されたことになる。上位 2 ビットに対応するカウンタ値「10」と距離 D_{21} 「11」とは一致しないため、EXNOR 回路 313 a, 313 b から AND 回路 313 d に「1」, 「0」を示す検出信号がそれぞれ出力され、マルチプレクサ 314 からカウンタ一致検出回路 DE_{22} とバッファ 22 に、一致検出信号 $m_{21} _2 (= 0)$ が出力される。

10

【0140】

有効ビット設定部 40 は、2 クロック目において、カウンタ一致検出回路 DE_1 、 DE_2 の最上位から 2 番目のビットに対応する一致検出信号 ($m_{13} _2$, $m_{23} _2$) はいずれも立ち上がっていないため、AND 回路 6 に CLK__ACT 信号 (= 1) を入力して、距離/クロック数変換回路 DE_1 と DE_2 にクロック信号 CLK が入力されるようにする。

20

【0141】

カウンタ一致検出回路 DE_{11} において、上位 2 ビットについて一致検出信号 $m_{11} _2 (= 1)$ が検索開始から 2 クロック目に出力されている。そのため、検索開始から 3 クロック目では、カウンタ一致検出回路 DE_{11} において一致検出の動作を停止する。

【0142】

カウンタ一致検出回路 DE_{12} は、検索開始から 3 クロック目に、セレクタ 312 b を介してクロック信号 CLK が入力されると、分周器 312 d, 312 e は、図 10C に示す t2 におけるカウンタ値「01」のビット値「0」, 「1」を EXNOR 回路 313 a, 313 b にそれぞれ出力する。上位 2 ビットのカウンタ値「01」と距離 D_{12} 「100」とは一致しない。そのため、カウンタ一致検出回路 DE_{12} において、カウンタ一致検出回路 DE_{13} とバッファ 23 に一致検出信号 $m_{12} _2 (= 0)$ が出力される。

30

【0143】

カウンタ一致検出回路 DE_{21} も同様に、検索開始から 3 クロック目に、セレクタ 312 b を介してクロック信号 CLK が入力されると、分周器 312 d, 312 e は、図 10C に示す t2 におけるカウンタ値「11」のビット値「1」, 「1」を EXNOR 回路 313 a, 313 b にそれぞれ出力する。上位 2 ビットのカウンタ値「11」と距離 D_{21} 「111」とは一致する。そのため、カウンタ一致検出回路 DE_{21} において、マルチプレクサ 314 からカウンタ一致検出回路 DE_{22} とバッファ 22 に一致検出信号 $m_{21} _2 (= 1)$ が出力される。

40

【0144】

カウンタ一致検出回路 DE_{22} は、一致検出信号 $m_{21} _2 (= 1)$ が入力されると、一致検出回路 313 において、上位 2 ビットのカウンタ値と距離 D_{22} との一致の検出を開始する。図 10C に示すように、カウンタ一致検出回路 DE_{22} における分周器 312 e, 312 d は、t2 におけるカウンタ値「00」のビット値「0」, 「0」を EXNOR 回路 313 a, 313 b にそれぞれ出力する。上位 2 ビットに対応するカウンタ値「00」と距離 D_{22} 「000」とは一致する。そのため、カウンタ一致検出回路 DE_{22} において、マルチプレクサ 314 からカウンタ一致検出回路 DE_{23} とバッファ 23 に一致検出信号 $m_{22} _2 (= 1)$ が出力される。

【0145】

50

カウンタ一致検出回路 DE_{23} は、一致検出信号 $m_{22_2} (= 1)$ が入力されると、上位2ビットのカウタ値と距離 D_{23} との一致の検出を開始する。図10Cに示すように、カウンタ一致検出回路 DE_{23} における分周器 $312e$, $312d$ は、 t_2 におけるカウタ値「00」のビット値「0」, 「0」をEXNOR回路 $313a$, $313b$ にそれぞれ出力する。上位2ビットに対応するカウタ値「00」と距離 D_{23} 「010」とは一致しない。そのため、カウンタ一致検出回路 DE_{23} において、マルチプレクサ 314 から有効ビット設定部 40 に一致検出信号 $m_{23_2} (= 0)$ が出力される。

【0146】

3クロック目において、距離/クロック数変換回路 DE_1 と DE_2 のいずれも最上位から2番目のビットに対応する一致検出信号 (m_{13_2} , m_{23_2}) が立ち上がっていない。そのため、4クロック目においても有効ビット設定部 40 からAND回路 6 にCLK_ACT信号 ($= 1$) が入力される。

10

【0147】

カウンタ一致検出回路 DE_{11} において、上位2ビットについて一致検出信号 $m_{11_2} (= 1)$ が検索開始から2クロック目に出力されているため、4クロック目においても一致検出の動作を停止する。

【0148】

カウンタ一致検出回路 DE_{12} は、検索開始から4クロック目に、セレクタ $312b$ を介してクロック信号CLKが入力されると、分周器 $312d$, $312e$ は、図10Cに示す t_3 におけるカウタ値「10」のビット値「1」, 「0」をEXNOR回路 $313a$, $313b$ にそれぞれ出力する。上位2ビットのカウタ値「10」と距離 D_{12} 「100」とは一致する。そのため、カウンタ一致検出回路 DE_{12} において、カウンタ一致検出回路 DE_{13} とバッファ 23 に一致検出信号 $m_{12_2} (= 1)$ が出力される。

20

【0149】

カウンタ一致検出回路 DE_{13} は、一致検出信号 $m_{12_2} (= 1)$ が入力されると、一致検出回路 313 において、上位2ビットのカウタ値と距離 D_{13} との一致の検出を開始する。図10Cに示すように、カウンタ一致検出回路 DE_{13} における分周器 $312e$, $312d$ は、 t_3 におけるカウタ値「00」のビット値「0」, 「0」をEXNOR回路 $313a$, $313b$ にそれぞれ出力する。上位2ビットに対応するカウタ値「00」と距離 D_{13} 「011」とは一致しない。そのため、カウンタ一致検出回路 DE_{13} において、マルチプレクサ 314 から有効ビット設定部 40 に一致検出信号 $m_{13_2} (= 0)$ が出力される。

30

【0150】

一方、カウンタ一致検出回路 DE_{21} , DE_{22} において、上位2ビットについての一致検出信号 m_{21_2} , $m_{22_2} (= 1)$ が検索開始から2クロック, 3クロック目にそれぞれ出力されているため、4クロック目ではカウンタ一致検出回路 DE_{21} , DE_{22} は一致検出の動作を停止する。

【0151】

カウンタ一致検出回路 DE_{23} は、検索開始から4クロック目に、セレクタ $312b$ を介してクロック信号CLKが入力されると、分周器 $312d$, $312e$ は、図10Cに示す t_3 におけるカウタ値「01」のビット値「0」, 「1」をEXNOR回路 $313a$, $313b$ にそれぞれ出力する。上位2ビットのカウタ値「01」と距離 D_{23} 「010」とが一致するため、マルチプレクサ 314 から有効ビット設定部 40 に一致検出信号 $m_{23_2} (= 1)$ が出力される。

40

【0152】

有効ビット設定部 40 は、4クロック目において、最上位から2番目のビットに対する一致検出信号 $m_{23_2} (= 1)$ が距離/クロック数変換回路 DE_2 から入力されると、検索開始から5クロック目に、最下位ビットを示すBAS信号 ($BAS < 1 > = 0$, $BAS < 2 > = 0$, $BAS < 3 > = 1$) を、距離/クロック数変換回路 DE_1 と DE_2 における各カウンタ一致検出回路に入力する。これにより、一致検出の対象ビットは、最上位ビ

50

ットから最下位ビットまで拡張される。また、有効ビット設定部40は、CLK__ACT信号(=0)をAND回路6に入力し、距離/クロック数変換回路DE₁とDE₂にクロック信号CLKが入力されないようにする。

【0153】

カウンタ一致検出回路DE_{1,1}とDE_{2,1}は、検索開始から5クロック目に、それぞれのカウンタ312において、最下位のビットに対応するセレクタ312cにBAS信号(BAS<3>=1)が入力されると、一致検出回路313において、全てのビットのカウンタ値と距離との一致を検出する。

【0154】

カウンタ一致検出回路DE_{1,1}における分周器312f, 312e, 313dは、BAS信号(BAS<3>=1)が入力されると、図10Dに示すように、クロック信号CLKを2⁰, 2¹, 2²回それぞれ分周して3ビットのカウンタ値を出力する。検索開始から2クロック目に、カウンタ一致検出回路DE_{1,1}における分周器312d, 312eのカウンタ値「10」と距離D_{1,1}「101」とが一致している。そのため、カウンタ一致検出回路DE_{1,1}の分周器312d, 312e, 312fは、図10Dに示すt3におけるカウンタ値「100」のビット値「1」, 「0」, 「0」をEXNOR回路313a, 313b, 313cにそれぞれ出力する。つまり、距離「4」の検索が打ち消されたことになる。全ビットに対応するカウンタ値「100」と距離D_{1,1}「101」とは一致しないため、EXNOR回路313a, 313bからAND回路313dに「1」, 「1」を示す検出信号がそれぞれ出力され、EXNOR回路313cからAND回路313eに「0」を示す検出信号が出力される。そして、マルチプレクサ314からカウンタ一致検出回路DE_{1,2}とバッファ22に、一致検出信号m_{1,1}_3(=0)が出力される。

【0155】

カウンタ一致検出回路DE_{2,1}における分周器312f, 312e, 313dは、BAS信号(BAS<3>=1)が入力されると、図10Dに示すように、クロック信号CLKを2⁰, 2¹, 2²回それぞれ分周して3ビットのカウンタ値を出力する。検索開始から3クロック目に、カウンタ一致検出回路DE_{2,1}における分周器312d, 312eのカウンタ値「11」と距離D_{2,1}「111」とが一致している。そのため、カウンタ一致検出回路DE_{1,1}の分周器312d, 312e, 312fは、図10Dに示すt5におけるカウンタ値「110」のビット値「1」, 「1」, 「0」をEXNOR回路313a, 313b, 313cにそれぞれ出力する。つまり、距離「6」の検索が打ち消されたことになる。全ビットに対応するカウンタ値「110」と距離D_{2,1}「111」とは一致しないため、EXNOR回路313a, 313bからAND回路313dに「1」, 「1」を示す検出信号がそれぞれ出力され、EXNOR回路313cからAND回路313eに「0」を示す検出信号が出力される。そして、マルチプレクサ314からカウンタ一致検出回路DE_{2,2}とバッファ22に、一致検出信号m_{2,1}_3(=0)が出力される。

【0156】

検索開始から5クロック目において、カウンタ一致検出回路DE_{1,1}とDE_{2,1}のいずれも最下位ビットのカウンタ値と距離とが一致しないため、カウンタ一致検出回路DE_{1,1}とDE_{2,1}においてクロック信号CLKが入力される。

【0157】

カウンタ一致検出回路DE_{1,1}は、検索開始から6クロック目に、セレクタ312bを介してクロック信号CLKが入力されると、分周器312d, 312e, 312fは、図10Dに示すt4におけるカウンタ値「101」のビット値「1」, 「0」, 「1」をEXNOR回路313a, 313b, 313cにそれぞれ出力する。全ビットのカウンタ値「101」と距離D_{1,1}「101」とが一致するため、カウンタ一致検出回路DE_{1,1}において、カウンタ一致検出回路DE_{1,2}とバッファ22に一致検出信号m_{1,1}_3(=1)が出力される。

【0158】

カウンタ一致検出回路DE_{1,2}は、一致検出信号m_{1,1}_3(=1)が入力されると、

10

20

30

40

50

一致検出回路 3 1 3 において、全てのビットのカウント値と距離との一致を検出する。検索開始から 4 クロック目に、カウンタ一致検出回路 DE_{12} における分周器 3 1 2 d, 3 1 2 e, 3 1 2 f のカウント値「1 0」と距離 D_{11} 「1 0 0」とが一致している。そのため、カウンタ一致検出回路 DE_{12} の分周器 3 1 2 d, 3 1 2 e, 3 1 2 f は、図 1 0 D に示す t 4 におけるカウント値「1 0 0」のビット値「1」,「0」,「0」を EXNOR 回路 3 1 3 a, 3 1 3 b, 3 1 3 c にそれぞれ出力する。全ビットのカウント値「1 0 0」と距離 D_{12} 「1 0 0」とが一致するため、カウンタ一致検出回路 DE_{12} において、カウンタ一致検出回路 DE_{13} とバッファ 2 3 に一致検出信号 m_{12_3} (= 1) が出力される。

【0 1 5 9】

カウンタ一致検出回路 DE_{13} は、一致検出信号 m_{12_3} (= 1) が入力されると、一致検出回路 3 1 3 において、全てのビットのカウント値と距離との一致の検出を開始する。カウンタ一致検出回路 DE_{13} の分周器 3 1 2 d, 3 1 2 e, 3 1 2 f は、図 1 0 D に示す t 4 におけるカウント値「0 0 0」のビット値「0」,「0」,「0」を EXNOR 回路 3 1 3 a, 3 1 3 b, 3 1 3 c にそれぞれ出力する。全ビットのカウント値「0 0 0」と距離 D_{13} 「0 1 1」とは一致しないため、カウンタ一致検出回路 DE_{13} において、有効ビット設定部 4 0 に一致検出信号 m_{13_3} (= 0) が出力される。

【0 1 6 0】

一方、カウンタ一致検出回路 DE_{21} は、検索開始から 6 クロック目に、セレクタ 3 1 2 c を介してクロック信号 CLK が入力されると、分周器 3 1 2 d, 3 1 2 e, 3 1 2 f は、図 1 0 D に示す t 6 におけるカウント値「1 1 1」のビット値「1」,「1」,「1」を EXNOR 回路 3 1 3 a, 3 1 3 b, 3 1 3 c にそれぞれ出力する。全ビットのカウント値「1 1 1」と距離 D_{21} 「1 1 1」とは一致するため、カウンタ一致検出回路 DE_{21} において、カウンタ一致検出回路 DE_{22} とバッファ 2 2 に一致検出信号 m_{21_3} (= 1) が出力される。

【0 1 6 1】

カウンタ一致検出回路 DE_{22} は、一致検出信号 m_{21_3} (= 1) が入力されると、一致検出回路 3 1 3 において、全てのビットのカウント値と距離との一致の検出を開始する。検索開始から 3 クロック目に、カウンタ一致検出回路 DE_{22} における分周器 3 1 2 d, 3 1 2 e のカウント値「0 0」と距離 D_{22} 「0 0 0」とが一致している。そのため、カウンタ一致検出回路 DE_{22} の分周器 3 1 2 d, 3 1 2 e, 3 1 2 f は、図 1 0 D に示す t 6 におけるカウント値「0 0 0」のビット値「0」,「0」,「0」を EXNOR 回路 3 1 3 a, 3 1 3 b, 3 1 3 c にそれぞれ出力する。全ビットのカウント値「0 0 0」と距離 D_{22} 「0 0 0」とが一致するため、カウンタ一致検出回路 DE_{22} において、カウンタ一致検出回路 DE_{23} とバッファ 2 3 に一致検出信号 m_{22_3} (= 1) が出力される。

【0 1 6 2】

カウンタ一致検出回路 DE_{23} は、一致検出信号 m_{22_3} (= 1) が入力されると、一致検出回路 3 1 3 において、全てのビットのカウント値と距離との一致の検出を開始する。検索開始から 4 クロック目に、カウンタ一致検出回路 DE_{23} における分周器 3 1 2 d, 3 1 2 e のカウント値「0 1」と距離 D_{23} 「0 1 0」とが一致している。そのため、カウンタ一致検出回路 DE_{23} の分周器 3 1 2 d, 3 1 2 e, 3 1 2 f は、図 1 0 D に示す t 6 におけるカウント値「0 1 0」のビット値「0」,「1」,「0」を EXNOR 回路 3 1 3 a, 3 1 3 b, 3 1 3 c にそれぞれ出力する。全ビットのカウント値「0 1 0」と距離 D_{23} 「0 1 0」とが一致するため、カウンタ一致検出回路 DE_{23} において、有効ビット設定部 4 0 に一致検出信号 m_{23_3} (= 1) が出力される。

【0 1 6 3】

有効ビット設定部 4 0 は、距離 / クロック数変換回路 DE_2 から最下位ビットに対する一致検出信号 m_{23_3} (= 1) を受けると、その一致検出信号を受けたタイミングで、距離 / クロック数変換回路 DE_2 に対するタイミング信号 C_2 を Winner 検出器 2 0

10

20

30

40

50

に出力する。

【0164】

このように、図10Aの例では、参照データ2について6クロックサイクルでタイミング信号 C_2 が出力される。第1実施形態の方法を用いた場合には、参照データ2の場合、9クロックサイクル(=7+0+2)必要であったが、本実施形態の方法を用いると3クロックサイクル削減されている。

【0165】

一致検出回路313は、上位 J ビット(1 J N)について距離とカウンタ値との一致を検出した一致検出信号を出力する。下位から k ビット目が一致検出の対象ビットとして設定されているとき、下位 $k-1$ ビットを無視した上位($N-(k-1)$)ビットの一致を示す一致検出信号を出力する。そのため、 k ビット目が対象ビットのときに全ての参照データについて一致検出信号が「0」であれば、全ての参照データは、距離 2^{k-1} 以上の距離を持つことを意味する。この場合には、下位から k ビット目のカウンタにクロック信号が入力されてカウントアップされる。これは、下位から k ビット目が「1」になることを意味しており、1クロックサイクルで、距離 2^{k-1} が打ち消されたことに相当する。

10

【0166】

一方、いずれかの参照データについて出力された一致検出信号が「1」であれば、その参照データは、 2^{k-1} の距離がないことを意味する。この場合には、対象ビットを下位から $k-1$ 番目のビットに設定し、全ての参照データについて距離 2^{k-2} を順次打ち消す。

20

【0167】

つまり、最上位ビットから任意のビット単位に一致の検出対象となるビットを拡張して、カウンタ値と距離との一致を検出することで、大きい距離を順次打ち消している。これにより、第1、第2実施形態における一つの参照データの最長検索時間が" $M \times 2^{N-1} \times C_{LK}$ "であるのに対し、本実施形態では、" $(M \times N + N - 1) \times C_{LK}$ "に削減することが可能になる。

【0168】

<第4実施形態>

第1実施形態及び第2実施形態では、式(1)を用いて算出された検索データと参照データとの各距離をクロック数に変換する処理を、その距離に一致する回数だけ繰り返すことで、各距離の二乗値の和、つまり、ユークリッド距離の和に相当するクロック数に変換する例について説明した。本実施形態では、各距離演算回路($DP_{11}, DP_{12}, \dots, DP_{RW}$)において、各距離の二乗値の演算を行い、演算された各距離の二乗値を、距離/クロック数変換回路(DC_1, DC_2, \dots, DC_R)においてクロック数に変換する例について説明する。

30

【0169】

図11は、本実施形態における距離演算回路の構成例を示す概略構成図である。距離演算回路 DP_{ij} (1 i R , 1 j W)は、例えば、距離が4ビットで表される場合、つまり、 $M=4$ の場合に、演算回路61~64を含む演算回路群60と、シフトレジスタ65と、乗数ビットシフト回路66とを有する。シフトレジスタ65は、3ビットのシフトレジスタであり、3つのフリップフロップ回路65a~65cを直列に接続して構成されている。

40

【0170】

図11の例において、演算回路61~64とフリップフロップ回路65a~65cは、この順に、最上位ビットから最下位ビット(全7ビット)に対応して並んでいる。演算回路61~64には、それぞれ、参照データ(Re_s)を反転させた反転参照データ(Re_{sq})と、検索データ(In_s)の各ビットの値が入力される。なお、 S は1 S 4を満たす整数である。

【0171】

50

演算回路 6 1 ~ 6 4 は、制御回路(図示せず)から入力される二乗計算制御信号 S Q の信号値が「0」である場合、入力される反転参照データと検索データの絶対値差 ($A D_1$, $A D_2$, $A D_3$, $A D_4$) を算出する。つまり、この場合には、演算回路 6 1 ~ 6 4 は減算器として機能する。

【0172】

また、制御回路(図示せず)から入力される二乗計算制御信号 S Q の信号値が「1」である場合、演算回路 6 1 ~ 6 4 は、加算器として機能する。つまり、演算回路 6 1 は、入力される後述の被加算値 M 1 と、シフト演算値 T E ₀ とを加算し、加算結果を、シフト演算値 T E ₁ として演算回路 6 2 に出力する。演算回路 6 2 は、入力される被加算値 M 2 と、演算回路 6 1 から入力されるシフト演算値 T E ₁ とを加算し、加算結果を、シフト演算値 T E ₂ として演算回路 6 3 に出力する。演算回路 6 3 は、入力される被加算値 M 3 と、演算回路 6 2 から入力されるシフト演算値 T E ₂ とを加算し、加算結果を、シフト演算値 T E ₃ として演算回路 6 4 に出力する。演算回路 6 4 は、入力される被加算値 M 4 と、演算回路 6 3 から入力されるシフト演算値 T E ₃ とを加算し、加算結果を、シフト演算値 T E ₄ としてシフトレジスタ 6 5 のフリップフロップ回路 6 5 a に出力する。

10

【0173】

また、演算回路 6 1 ~ 6 4 は、制御回路(図示せず)からマンハッタン距離 (M D) 又はユークリッド距離 (E D) を示す制御信号を受ける。本実施形態において、マンハッタン距離 (M D) の場合の信号値を「1」とし、ユークリッド距離 (E D) の場合の信号値を「0」とする。演算回路 6 1 ~ 6 4 は、制御信号に応じて上記絶対値差 $A D_5$ 又は加算結果を示す D O U T _k (0 ≤ k ≤ 4) を距離/クロック数変換回路 D C _i に出力する。

20

【0174】

フリップフロップ回路 6 5 a は、演算回路 6 4 から入力されるシフト演算値 T E ₄ を、クロック信号 C L K に同期して、シフト演算値 T E ₅ としてフリップフロップ回路 6 5 b に出力するとともに、シフト演算値 T E ₅ を示す出力値 D O U T ₅ を距離/クロック数変換回路 D C _i に出力する。

【0175】

フリップフロップ回路 6 5 b は、フリップフロップ回路 6 5 a から入力されるシフト演算値 T E ₅ を、クロック信号 C L K に同期して、シフト演算値 T E ₆ としてフリップフロップ回路 6 5 c に出力するとともに、そのシフト演算値 T E ₆ を示す出力値 D O U T ₆ を距離/クロック数変換回路 D C _i に出力する。

30

【0176】

フリップフロップ回路 6 5 c は、フリップフロップ回路 6 5 b から入力されるシフト演算値 T E ₆ を、クロック信号 C L K に同期して、シフト演算値 T E ₇ を出力値 D O U T ₇ として距離/クロック数変換回路 D C _i に出力する。

【0177】

つまり、二乗計算制御信号 S Q (= 1) が入力されると、演算回路 6 1 ~ 6 4 においてシフト演算値 T E ₅ を算出し、演算回路 6 1 ~ 6 4 及びシフトレジスタ 6 5 において、1 クロックごとに、各シフト演算値を下位方向に 1 ビットシフトさせる処理を行う。この処理は、二乗計算の終了を示す信号が制御回路(図示せず)から入力されるまで行われる。

40

【0178】

ここで、演算回路 6 1 ~ 6 4 の回路構成について説明する。図 1 2 は、演算回路 6 1 ~ 6 4 の回路構成例を示す図である。図 1 2 の例において、演算回路 6 1 ~ 6 4 は、マルチプレクサ 7 1, 7 2, 7 8 と、全加算器 7 3 と、D フリップフロップ回路 7 4 と、反転制御回路 7 5 と、ラッチ回路 7 6 と、AND 回路 7 7 とを有する。

【0179】

マルチプレクサ 7 1 は、検索データ I n _s (S は 1 ≤ S ≤ 4 を満たす整数) と、シフト演算値 T E _{s-1} とを受ける。マルチプレクサ 7 2 は、参照データ R E _s を反転させた反転参照データ R e _s q と、AND 回路 7 7 から入力される被加算値 M _s とを受ける。

【0180】

50

マルチプレクサ 7 1, 7 2 は、制御回路 (図示せず) から二乗計算制御信号 S Q が入力される。本実施形態において、二乗計算制御信号 S Q の信号値が「 1 」の場合には、距離演算回路 D P_{i j} において、距離の二乗計算を行い、信号値が「 0 」である場合には距離演算回路 D P_{i j} において、参照データと検索データとの差の絶対値 (絶対値差) を算出する。

【 0 1 8 1 】

マルチプレクサ 7 1 は、二乗計算制御信号 S Q の信号値が「 0 」の場合、検索データ I n_s を全加算器 7 3 に出力し、信号値が「 1 」の場合には、シフト演算値 T E_{s - 1} を全加算器 7 3 に出力する。マルチプレクサ 7 2 は、二乗計算制御信号 S Q の信号値が「 0 」の場合、反転参照データ R e_{s Q} を全加算器 7 3 に出力し、信号値が「 1 」の場合には、被加算値 M_s を全加算器 7 3 に出力する。

10

【 0 1 8 2 】

全加算器 7 3 は、下位ビットからの桁上げ値を受ける端子 C B と、上位ビットへ桁上げ値を出力する端子 C N 又は C A₁ を有する。なお、演算回路 6 4 における端子 C B は、下位ビットからの桁上げ値ではなく、演算回路 6 1 における桁上げ値が入力される。演算回路 6 1 は最上位ビットに対応するため、演算回路 6 1 における桁上げ値を端子 C A₁ から演算回路 6 4 へ出力する。

【 0 1 8 3 】

また、演算回路 6 4 における端子 C B は、A N D 回路 6 4 a (図 1 1 参照) と接続されている。A N D 回路 6 4 a には、制御回路 (図示せず) からの制御信号 (M D 又は E D) と、演算回路 6 1 の端子 C A₁ から出力される桁上げ値とが入力され、制御信号の信号値と桁上げ値の論理積を演算した結果を出力する。

20

【 0 1 8 4 】

つまり、演算回路 6 1 ~ 6 4 における全加算器 7 3 は、マルチプレクサ 7 1 から出力される検索データ I n_s 又はシフト演算値 T E_{s - 1} と、マルチプレクサ 7 2 から出力される反転参照データ R e_{s Q} 又は被加算値 M_s と、入力される桁上げ値とを加算する。以下、演算回路 6 1 ~ 6 4 における全加算器 7 3 のより具体的な処理について説明する。

【 0 1 8 5 】

演算回路 6 1 は、最上位ビットに対応するため、上位ビットにおけるシフト演算値がマルチプレクサ 7 1 に入力されない。そのため、演算回路 6 1 では、信号値「 1 」を示す二乗計算制御信号 S Q が制御回路 (図示せず) から出力されると、シフト演算値 T E₀ として「 0 」を入力する。従って、演算回路 6 1 における全加算器 7 3 は、マルチプレクサ 7 2 から出力される被加算値 M₁ と、端子 C B から入力される演算回路 6 2 の桁上げ値と、シフト演算値 T E₀ (= 0) を加算し、加算結果を D フリップフロップ回路 7 4 に出力する。

30

【 0 1 8 6 】

演算回路 6 2, 6 3 における各全加算器 7 3 は、信号値「 1 」を示す二乗計算制御信号 S Q が制御回路から出力されると、それぞれ、マルチプレクサ 7 2 から出力される被加算値 M₂, M₃ と、端子 C B から入力される演算回路 6 3, 6 4 の桁上げ値と、演算回路 6 1, 6 2 から入力されるシフト演算値 T E₁, T E₂ を加算して、加算結果を D フリップフロップ回路 7 4 に出力する。

40

【 0 1 8 7 】

演算回路 6 4 における全加算器 7 3 は、信号値「 1 」を示す二乗計算制御信号 S Q が制御回路から出力されると、マルチプレクサ 7 2 から出力される被加算値 M₄ と、端子 C B を介して A N D 回路 6 4 a から入力される値と、演算回路 6 3 から入力されるシフト演算値 T E₃ とを加算して、加算結果を D フリップフロップ回路 7 4 に出力する。つまり、マンハッタン距離 (M D) を示す制御信号 (= 1) が A N D 回路 (図示せず) に入力され、演算回路 6 1 の端子 C A₁ からの桁上げ値「 1 」が A N D 回路 (図示せず) に入力されると、演算回路 6 4 の端子 C B に「 1 」が入力されて加算される。

【 0 1 8 8 】

50

次に、演算回路 6 1 ~ 6 4 における反転制御回路 7 5 は、演算回路 6 1 からの最上位ビットの桁上げ値を示す信号を受ける端子 CA_2 を有し、端子 CA_2 を介して入力される演算回路 6 1 の桁上げ値 = 「0」である場合には、全加算器 7 3 から出力された算出結果を反転し、反転した値（絶対値差 AD_5 ）をラッチ回路 7 6 へ出力する。また、演算回路 6 1 の桁上げ値 = 「1」である場合には、全加算器 7 3 から出力された算出結果を反転せずにラッチ回路 7 6 へ出力する。

【0189】

演算回路 6 1 ~ 6 4 におけるラッチ回路 7 6 は、二乗計算制御信号 SQ を受ける。ラッチ回路 7 6 は、二乗計算制御信号 SQ の信号値が「0」から「1」になるタイミングで、反転制御回路 7 5 から出力された絶対値差（ AD_5 ）を保存する。そして、AND 回路 7 7 と乗数ビットシフト回路 6 6 とマルチプレクサ 7 8 にその絶対値差（ AD_5 ）を出力する。

10

【0190】

演算回路 6 1 ~ 6 4 における AND 回路 7 7 は、乗数ビットシフト回路 6 6 から入力される乗数ビット MB と、ラッチ回路 7 6 から入力される絶対値差（ AD_5 ）との論理積の値をマルチプレクサ 7 2 に出力する。

【0191】

絶対値差 AD_5 が算出された後、制御回路（図示せず）により、演算回路 6 1 ~ 6 4 における D フリップフロップ回路 7 4 にクロック信号 CLK が入力される。演算回路 6 1 ~ 6 4 における D フリップフロップ回路 7 4 は、クロック信号 CLK のクロックが立ち上がるタイミングで、全加算器 7 3 から出力される加算結果を入力する。そして、クロックが立ち下がるタイミングで、その加算結果が、シフト演算値（ TE_5 ）として、下位ビットの演算回路におけるマルチプレクサ 7 1 又はシフトレジスタ 6 5 に出力される。

20

【0192】

演算回路 6 1 ~ 6 4 におけるマルチプレクサ 7 8 は、制御回路（図示せず）からマンハッタン距離（ MD ）又はユークリッド距離（ ED ）を示す制御信号を受ける。例えば、この例において、マンハッタン距離（ MD ）の場合の信号値を「1」とし、ユークリッド距離（ ED ）の場合の信号値を「0」とする。マルチプレクサ 7 8 は、マンハッタン距離（ MD ）を示す制御信号（= 1）が入力されると、演算回路 6 1 ~ 6 4 における各ラッチ回路 7 6 から出力される算出結果（絶対値差 AD_5 ）を出力する。また、マルチプレクサ 7 8 は、ユークリッド距離（ ED ）を示す制御信号（= 0）が入力されると、演算回路 6 1 ~ 6 4 における各 D フリップフロップ回路 7 4 から出力される算出結果（ TE_5 ）を出力する。

30

【0193】

乗数ビットシフト回路 6 6 は、クロック信号 CLK に同期して、演算回路 6 1 ~ 6 4 におけるラッチ回路 7 6 から出力される絶対値差 AD_5 の値を受ける。乗数ビットシフト回路 6 6 は、下位ビットから順に、つまり、絶対値差 AD_4 AD_3 AD_2 AD_1 の順に、その絶対値差を乗数ビット MB として AND 回路 7 7 に出力する。乗数ビットシフト回路 6 6 は、最上位ビットの絶対値差（ AD_1 ）の値を出力すると、制御回路（図示せず）に二乗計算の終了を示す信号を出力する。

40

【0194】

AND 回路 7 7 は、乗数ビットシフト回路 6 6 から入力される乗数ビット MB と、ラッチ回路 7 6 から入力される絶対値差 AD_5 との論理積の値を、被加算値 M_5 としてマルチプレクサ 7 2 に出力する。

【0195】

図 1 3 は、距離演算回路 DP_{ij} における二乗計算の処理過程を示す図である。この例では、検索データと参照データとの絶対値差 $AD_5 = 7_{10} = 0111_2$ である場合を示している。図 1 3 の例では、演算回路 6 1 ~ 6 4 の各 AND 回路 7 7 には、クロック信号 CLK に同期して、絶対値差の下位ビットから「1 1 1 0」の順に、乗数ビット MB が乗数ビットシフト回路 6 6 によって入力される。また、演算回路 6 1 ~ 6 4 のマルチ

50

プレクサ 7 1 には、シフト演算値 TE_{S-1} として初期値「0」が設定されている。

【0196】

距離演算回路 DP_{ij} は、二乗計算制御信号 $SQ (= 1)$ が制御回路から入力されると二乗計算を開始する。演算回路 6 1 ~ 6 4 において、各マルチプレクサ 7 1 に設定されているシフト演算値 TE_{S-1} 「0000」が、全加算器 7 3 に入力される（ステップ S 1）。また、演算回路 6 1 ~ 6 4 の AND 回路 7 7 から、乗数ビット「1」と絶対値差 AD_S 「0111」との論理積を示す被加算値 M_S 「0111」が各マルチプレクサ 7 2 に入力され、各マルチプレクサ 7 2 から全加算器 7 3 に被加算値 M_S 「0111」が入力される（ステップ S 2）。演算回路 6 1 ~ 6 4 の全加算器 7 3 において、シフト演算値 TE_{S-1} 「0000」と被加算値 M_S 「0111」が加算されて出力される。加算結果「0111」は、1クロック目が立ち上がるタイミングで演算回路 6 1 ~ 6 4 の D フリップフロップ回路 7 4 にそれぞれ入力され、1クロック目が立ち下がるまで保持される（ステップ S 3）。

【0197】

1クロック目が立ち下ると、演算回路 6 1 ~ 6 4 の AND 回路 7 7 から、乗数ビット「1」と絶対値差 AD_S 「0111」の論理積を示す被加算値 M_S 「0111」が各マルチプレクサ 7 2 に入力され、各マルチプレクサ 7 2 から全加算器 7 3 に被加算値 M_S 「0111」が入力される（ステップ S 4）。また、ステップ S 3 において、演算回路 6 1 ~ 6 4 の D フリップフロップ回路 7 4 に保持されている加算結果「0111」は、シフト演算値 TE_S として、演算回路 6 2 ~ 6 4 のマルチプレクサ 7 1 と、シフトレジスタ 6 5 のフリップフロップ回路 6 5 a とに出力される（ステップ S 5）。

【0198】

1クロック目の立ち下がりから2クロック目が立ち上がるまで、演算回路 6 1 ~ 6 4 の全加算器 7 3 において、被加算値 M_S 「0111」とシフト演算値 TE_{S-1} 「0111」とが加算されて出力される。加算結果「1010」は、2クロック目が立ち上がるタイミングで、演算回路 6 1 ~ 6 4 の D フリップフロップ回路 7 4 に入力され、2クロック目が立ち下がるまで保持される。また、シフトレジスタ 6 5 のフリップフロップ回路 6 5 a に入力されたシフト演算値 TE_4 「1」は、2クロック目が立ち下がるまで保持される（ステップ S 6）。

【0199】

2クロック目が立ち下ると、演算回路 6 1 ~ 6 4 の AND 回路 7 7 から、乗数ビット「1」と絶対値差「0111」の論理積を示す被加算値 M_S 「0111」が各マルチプレクサ 7 2 に入力され、各マルチプレクサ 7 2 から各全加算器 7 3 に被加算値 M_S 「0111」が入力される（ステップ S 7）。

【0200】

また、2クロック目が立ち下ると、ステップ S 6 において、演算回路 6 1 ~ 6 4 の D フリップフロップ回路 7 4 に保持されている加算結果「1010」は、シフト演算値 TE_S として、演算回路 6 2 ~ 6 4 のマルチプレクサ 7 1 とフリップフロップ回路 6 5 a に出力される。演算回路 6 1 ~ 6 4 のマルチプレクサ 7 1 は、シフト演算値 TE_0 , TE_1 , TE_2 , TE_3 として「0, 1, 0, 1」を全加算器 7 3 に入力する。フリップフロップ回路 6 5 a は、保持しているシフト演算値 TE_4 「1」をシフト演算値 $TE_5 (= DOU T_5)$ としてフリップフロップ回路 6 5 b に出力し、演算回路 6 4 から出力されたシフト演算値 TE_4 「0」を入力する（ステップ S 8）。

【0201】

2クロック目の立ち下がりから3クロック目が立ち上がるまで、演算回路 6 1 ~ 6 4 の全加算器 7 3 において、被加算値 M_S 「0111」とシフト演算値 TE_{S-1} 「0101」とが加算されて出力される。加算結果「1100」は、3クロック目が立ち上がるタイミングで演算回路 6 1 ~ 6 4 の D フリップフロップ回路 7 4 に入力され、3クロック目が立ち下がるまで保持される。また、フリップフロップ回路 6 5 a において、演算回路 6 4 からのシフト演算値 TE_4 「0」は、3クロック目が立ち下がるまで保持される。フリッ

フリップフロップ回路 65b において、フリップフロップ回路 65a からのシフト演算値 TE_5 「1」は 3クロック目が立ち下がるまで保持される（ステップ S9）。

【0202】

3クロック目が立ち下がると、演算回路 61～64 の AND 回路 77 から、乗数ビット "0" と絶対値差「0111」の論理積を示す被加算値 M_5 「0000」が各マルチプレクサ 72 に入力され、各マルチプレクサ 72 から全加算器 73 に被加算値 M_5 「0000」が入力される（ステップ S10）。

【0203】

また、ステップ S9 において、演算回路 61～64 の D フリップフロップ回路 74 に保持されている加算結果「1100」は、3クロック目が立ち下がると、シフト演算値 TE_5 として、演算回路 62～64 のマルチプレクサ 71 とフリップフロップ回路 65a に出力される。演算回路 61～64 のマルチプレクサ 71 は、シフト演算値 TE_0 , TE_1 , TE_2 , TE_3 として「0, 1, 1, 0」を全加算器 73 に入力する。フリップフロップ回路 65a は、保持しているシフト演算値 TE_4 「0」をシフト演算値 TE_5 として出力し、演算回路 64 から出力されたシフト演算値 TE_4 「0」を入力する。フリップフロップ回路 65b は、保持しているシフト演算値 TE_5 「1」をシフト演算値 TE_6 (= DOU_6) として出力し、フリップフロップ回路 65a から出力されたシフト演算値 TE_5 「0」を入力する。フリップフロップ回路 65c は、フリップフロップ回路 65b から出力されたシフト演算値 TE_6 「1」を入力する（ステップ S11）。

【0204】

3クロック目が立ち下がっている間、乗数ビットシフト回路 66 から乗数ビット MB "0" が各演算回路 61～64 に出力されると、二乗計算の終了を示す信号が制御回路（図示せず）に出力される。3クロック目の立ち下がりから 4クロック目が立ち上がるまで、演算回路 61～64 の全加算器 73 において、被加算値 M_5 「0000」とシフト演算値 TE_{5-1} 「0110」とが加算されて出力される。4クロック目が立ち上がると、加算結果「0110」は、それぞれシフト演算値 TE_1 , TE_2 , TE_3 , TE_4 として、D フリップフロップ回路 74 に出力される（ステップ S12）。シフトレジスタ 65 には、ステップ S11 において入力されたシフト演算値 TE_4 , TE_5 , TE_6 の各値（0, 0, 1）が、シフト演算値 TE_5 , TE_6 , TE_7 として保持される。

【0205】

4クロック目が立ち下がると、演算回路 61～64 において、それぞれの D フリップフロップ回路 74 に保持されているシフト演算値 TE_1 , TE_2 , TE_3 , TE_4 は、それぞれのマルチプレクサ 78 に出力され、 $DOU_0 = 0$, $DOU_1 = 0$, $DOU_2 = 1$, $DOU_3 = 1$, $DOU_4 = 0$ として距離/クロック数変換回路 DC_i に出力される。また、シフトレジスタ 65 において、フリップフロップ回路 65a～65c に保持されているシフト演算値 TE_5 「0」, TE_6 「0」, TE_7 「1」についても、4クロック目が立ち下がると、それぞれ、 $DOU_5 = 0$, $DOU_6 = 0$, $DOU_7 = 1$ として、距離/クロック数変換回路 DC_i に出力される。つまり、 $DOU_0 \sim DOU_7$ は、絶対値差 (= 7_{10}) の二乗値 (= 49_{10}) を示す距離信号 D_{ij} として距離/クロック数変換回路 DC_i に出力される。

【0206】

距離/クロック数変換回路 DC_i は、距離演算回路 DP_{ij} から出力される絶対値差の二乗値をクロック数に変換する。図 14 は、図 2A に示す距離/クロック数変換回路 DC_1 におけるカウンター一致検出回路 31 の概略構成を示す図である。図 14 に示すように、カウンター一致検出回路 31 は、カウンタ 311 と一致検出回路 3121 とを含む。

【0207】

カウンタ 311 は、バッファ 21 からクロック信号 CLK を受け、連想メモリ 100 の制御回路（図示せず）からリセット信号 RST を受ける。カウンタ 311 は、リセット信号 RST を受けると、カウンタ値をリセットし、 M ビットのビット値をクロック信号 CLK に同期して昇順にカウントアップする。カウンタ 311 は、そのカウンタ値 CV_{11} を

10

20

30

40

50

クロック信号CLKに同期して一致検出回路3121へ順次出力する。

【0208】

一致検出回路3121は、バッファ21からクロック信号CLKを受け、制御回路(図示せず)から検索開始信号SBを受ける。また、一致検出回路3121は、カウンタ311からカウンタ値CV₁₁を受け、距離演算回路DP₁₁から距離信号D₁₁を受ける。一致検出回路3121は、検索開始信号SBが立ち上がると、距離信号D₁₁に一致するカウンタ値CV₁₁が得られるときのクロック信号CLKのクロック数をカウントする。そして、一致検出回路3121は、そのクロック数をカウントしたタイミングを示す一致信号MTH1をカウンタ一致検出回路32へ出力する。一致検出回路3121は、一致信号MTH1を出力すると動作を停止する。

10

【0209】

なお、図2Aに示すカウンタ一致検出回路32~3Wの各々についても、図14に示すカウンタ一致検出回路31と同様の構成を有する。カウンタ一致検出回路32~3Wは、それぞれ、カウンタ一致検出回路31~3W-1の一致検出回路3121から一致信号MTH1~MTHW-1を受けるまで動作を停止し、一致信号MTH1~MTHW-1を受けると駆動して動作を開始する。

【0210】

カウンタ一致検出回路3Wから一致信号MTHWが出力されるタイミングで、距離/クロック数変換回路DC_iに対するタイミング信号C_iがWinner検出器20へ出力される。つまり、タイミング信号C_iは、距離/クロック数変換回路DC_iに入力される距離信号D_{i1}~D_{iW}が示す各絶対値差の二乗値の和、すなわち、ユークリッド距離値の和に相当するクロック数が得られるタイミングで出力される。

20

【0211】

上記の例では、ユークリッド距離を用いて検索を行う例を説明したが、図12に示す演算回路61~64のマルチプレクサ78に、マンハッタン距離を示す制御信号(MD)が制御回路(図示せず)から入力される場合には、各マルチプレクサ78から、検索データと参照データの絶対値差(AD₁~AD₄)で表される距離信号D_{ij}が出力される。その場合も、ユークリッド距離と同様、距離/クロック数変換回路DC_iにおいて、距離信号D_{ij}に一致するカウンタ値CV_{ij}が得られるときのクロック信号CLKのクロック数をカウントすればよい。

30

【0212】

上述した第4実施形態では、距離演算回路において、検索データと参照データとの絶対値差の演算を行うとともに、絶対値差の二乗演算を行うことができる。そのため、絶対値差の演算と絶対値差の二乗演算とを別個の回路によって実現する場合等と比べて回路面積を小さくすることができる。また、マンハッタン距離とユークリッド距離のいずれを用いた検索にも適用することができる。

【0213】

<変形例>

【0214】

(1) 上述した第1実施形態では、ユークリッド距離を用いた検索を行う例について説明したが、マンハッタン距離とユークリッド距離のいずれを用いても検索されるように構成してもよい。図15は、本変形例におけるカウンタ一致検出回路の構成例を示す概略図である。カウンタ一致検出回路31は、デマルチプレクサ31xを有し、カウンタ一致検出回路32は、デマルチプレクサ32xを有する。

40

【0215】

デマルチプレクサ31x, 32xには、マンハッタン距離かユークリッド距離かを示す制御信号SLが制御回路(図示せず)から入力される。クロック数変換回路31aにおいて、距離信号D₁₁とクロック数とが一致すると、デマルチプレクサ31xにHレベルの一致検出信号を出力する。デマルチプレクサ31xは、入力された制御信号がマンハッタン距離を示す場合には、クロック数変換回路31aから出力される一致検出信号をバッフ

50

ア 2 2 とクロック数変換回路 3 1 a に出力して動作を停止する。

【 0 2 1 6 】

カウンタ一致検出回路 3 1 から一致検出信号が出力されると、バッファ 2 2 からクロック数変換回路 3 2 a にクロック信号 CLK が入力される。クロック数変換回路 3 2 a において、距離信号 D_{12} とクロック数とが一致すると、デマルチプレクサ 3 2 x に H レベルの一致検出信号を出力する。デマルチプレクサ 3 2 x は、入力された制御信号がマンハッタン距離を示す場合には、クロック数変換回路 3 2 a からの H レベルの一致検出信号が入力されたタイミングで Winner 検出器 2 0 にタイミング信号 C_1 を出力して動作を停止する。

【 0 2 1 7 】

なお、ユークリッド距離を示す制御信号がデマルチプレクサ 3 1 x , 3 2 x に入力された場合には、マルチプレクサ 3 1 x , 3 2 x は、クロック数変換回路 3 1 a , 3 2 a からの H レベルの一致検出信号をカウンタ 3 1 b , 3 2 b にそれぞれ出力し、上述した第 1 実施形態と同様、カウンタ 3 1 b , 3 2 b のカウンタ値と距離信号 D_{11} , D_{12} とが一致するまで動作を繰り返す。

【 0 2 1 8 】

(2) 上述した第 3 実施形態では、距離とカウンタ値との一致検出の際、最上位ビットから下位方向に 1 ビットずつ対象ビットを拡張する例について説明したが、複数ビット単位に対象ビットを拡張するようにしてもよい。また、対象ビットを拡張するごとに、拡張するビットの数が異なってもよい。例えば、距離とカウンタ値とが 6 ビット長である場合において、最上位のビットについて一致の検索を行い、いずれかの参照データについて的一致検出信号が立ち上がると、2 番目と 3 番目の 2 つのビットを対象ビットとし、上位 3 ビットまで拡張する。そして、いずれかの参照データについて、上位 3 ビットに対する一致検出信号が立ち上がると、4 番目 ~ 6 番目の 3 つのビットを次の検索対象のビットとし、全ビットに対象ビットを拡張する。

【 産業上の利用可能性 】

【 0 2 1 9 】

この発明は、連想メモリに適用される。

【 符号の説明 】

【 0 2 2 0 】

1 ... メモリ部、 2 ... 行デコーダ、 3 ... 列デコーダ、 4 ... 読出 / 書込回路、 5 ... 検索データ保存回路、 6 , 7 7 , 6 4 a , 3 0 0 c , 3 1 3 d , 3 1 3 e ... AND 回路、 1 0 ... メモリアレイ部、 2 0 ... Winner 検出器、 2 1 ~ 2 W ... バッファ、 3 1 ~ 3 W , ... カウンタ一致検出回路、 3 1 a , 3 2 a ... クロック数変換回路、 3 1 b , 3 2 b , 3 0 0 b , 3 1 1 , 3 1 2 ... カウンタ、 3 1 c , 3 1 c ' , 3 2 c , 3 2 c ' , 3 1 3 , 3 1 2 1 ... 一致検出回路、 4 0 ... 有効ビット設定部、 6 1 ~ 6 4 ... 演算回路、 6 5 ... シフトレジスタ、 6 5 a , 6 5 b , 6 5 c ... フリップフロップ回路、 6 6 ... 乗数ビットシフト回路、 7 1 , 7 2 , 7 8 , 3 1 d , 3 2 d , 3 0 0 a , 3 1 4 ... マルチプレクサ、 7 3 ... 全加算器、 7 4 ... D フリップフロップ回路、 7 5 ... 反転制御回路、 7 6 ... ラッチ回路、 3 0 0 ... カウンタ一致検出ユニット、 3 1 0 , 3 2 0 ... 距離 / クロック数変換ユニット、 3 1 2 a ~ 3 1 2 c ... セレクタ、 3 1 2 d ~ 3 1 2 f ... 分周器、 3 1 3 a ~ 3 1 3 c ... EXNOR 回路、 $DC_1 \sim DC_R$, $DE_1 \sim DE_R$... 距離 / クロック数変換回路、 $DE_{11} \sim DE_{1w}$... カウンタ一致検出回路、 $DP_{11} \sim DP_{Rw}$... 距離演算回路

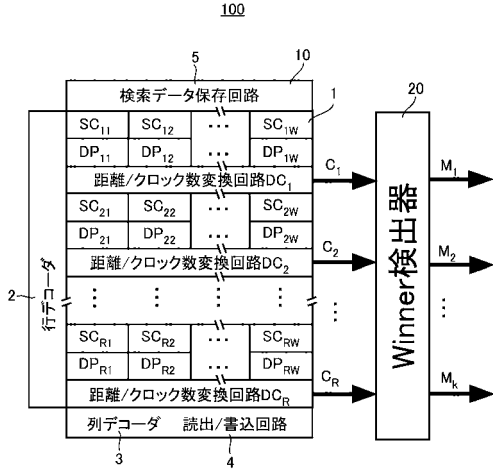
10

20

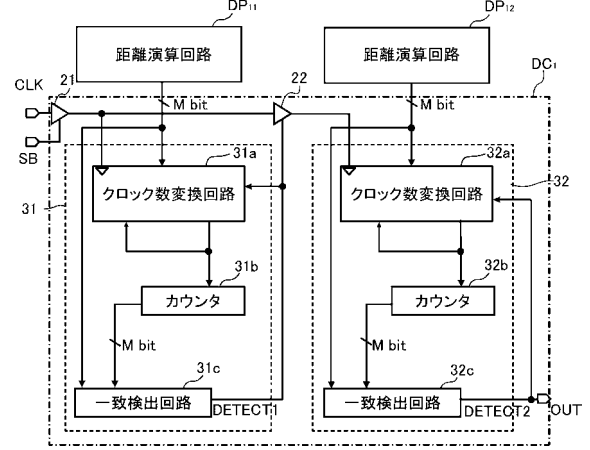
30

40

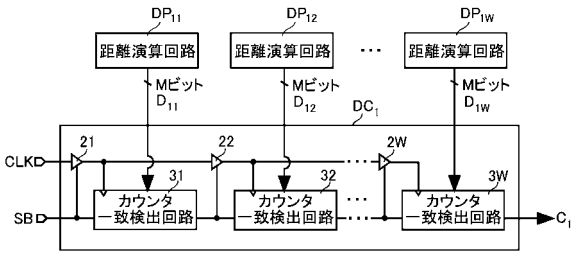
【 図 1 】



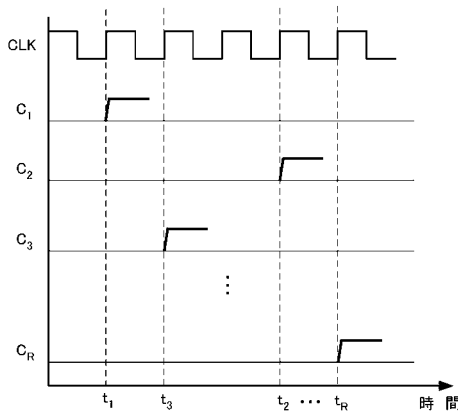
【 図 2 B 】



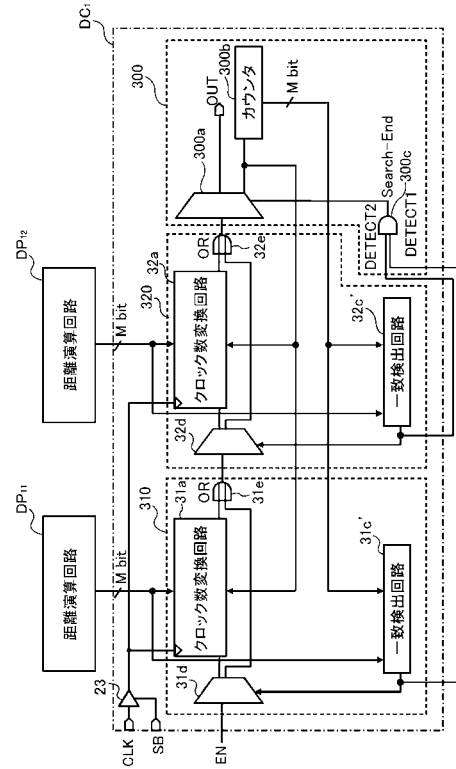
【 図 2 A 】



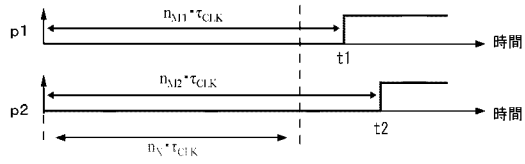
【 図 3 】



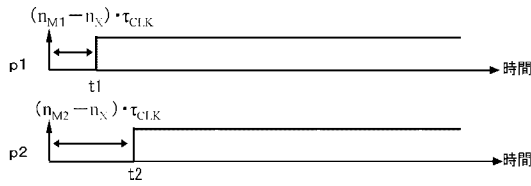
【 図 4 】



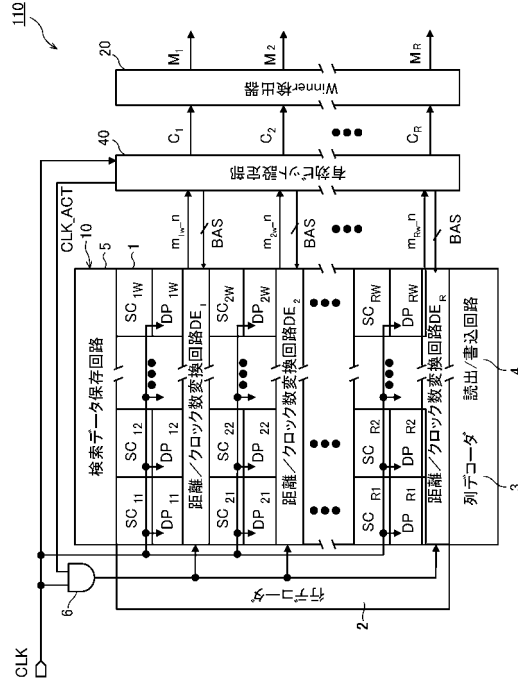
【図 5 A】



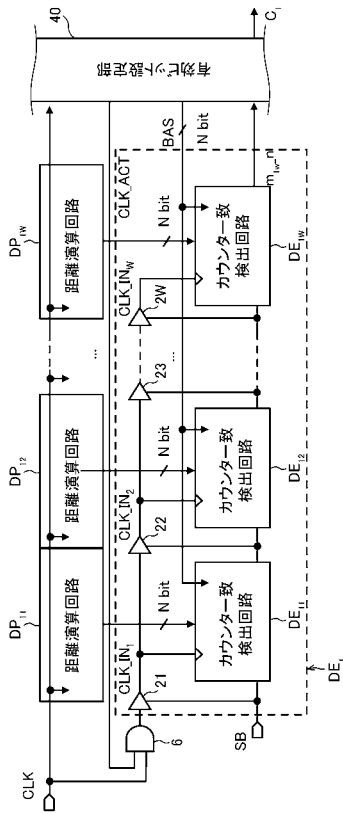
【図 5 B】



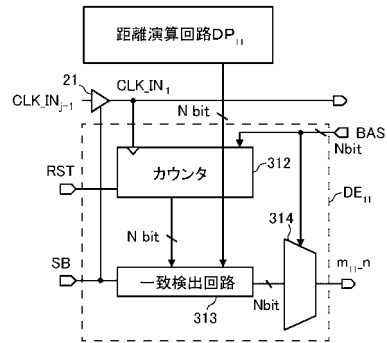
【図 6】



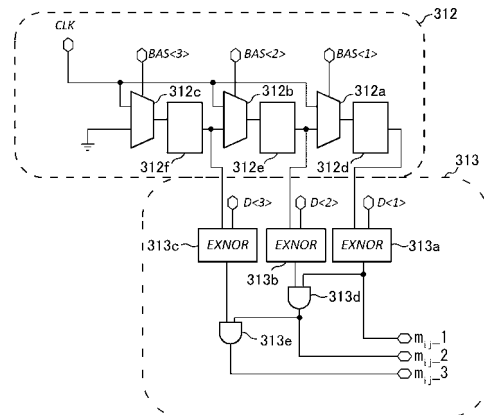
【図 7】



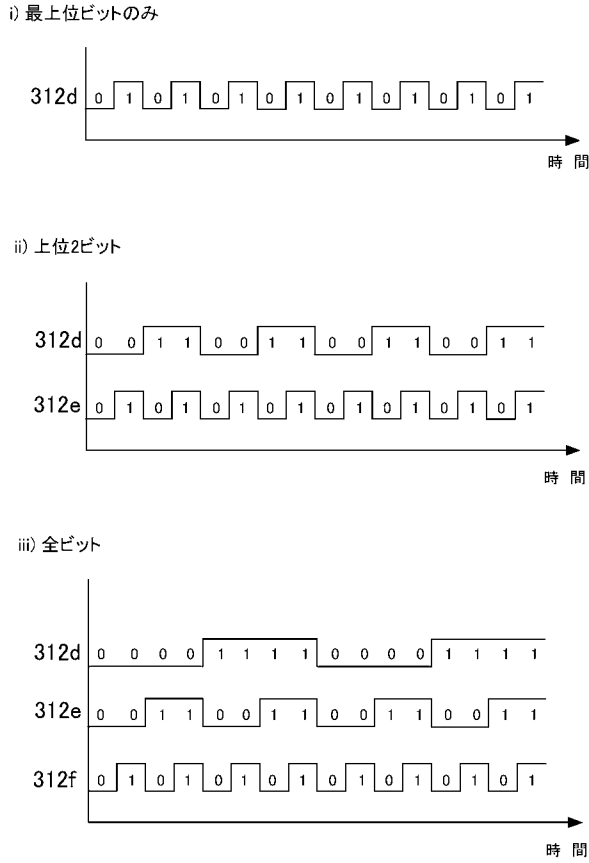
【図 8】



【図 9 A】



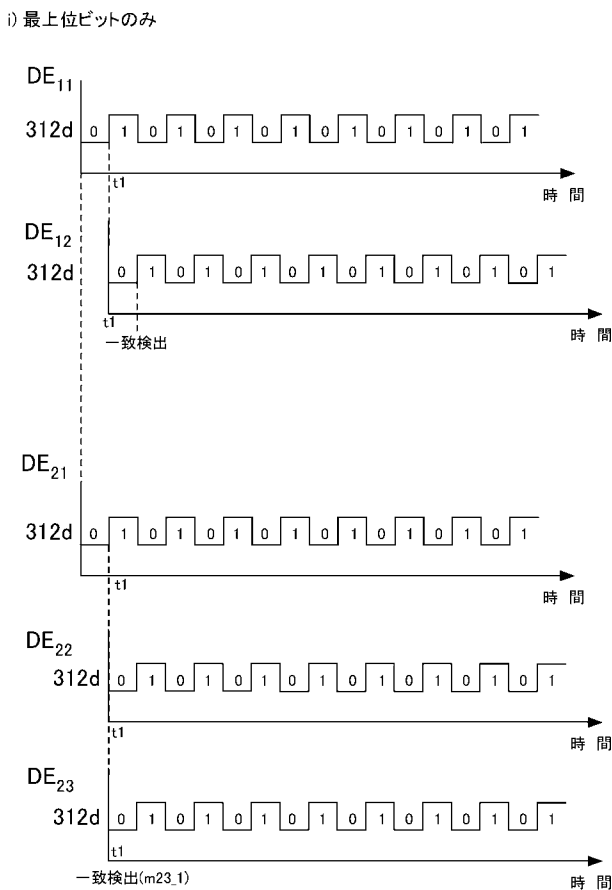
【 図 9 B 】



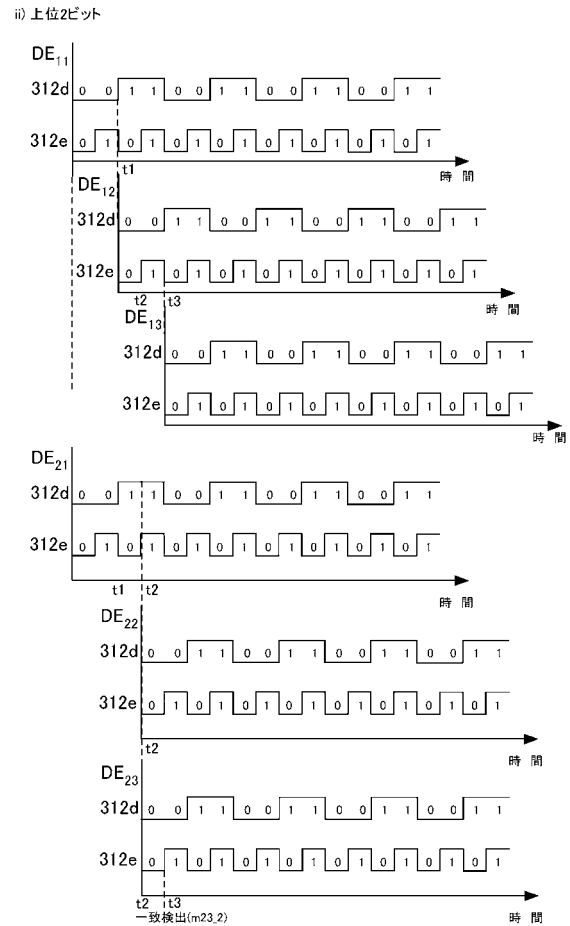
【 図 1 0 A 】

参照データ 1				参照データ 2			
BAS	クロック	DE ₁₁ D ₁₁ =5 ₁₀		DE ₁₂ D ₁₂ =4 ₁₀		DE ₁₃ D ₁₃ =3 ₁₀	
		カウンタ値	距離	カウンタ値	距離	カウンタ値	距離
1	0	000	101	000	100	000	011
1	1	100	101	000	100	000	011
2	2	100	101	000	100	000	011
2	3	100	101	010	100	000	011
2	4	100	101	100	100	000	011
2	5	100	101	100	100	000	011
3	6	101	101	100	100	000	011
BAS	クロック	DE ₂₁ D ₂₁ =7 ₁₀		DE ₂₂ D ₂₂ =6 ₁₀		DE ₂₃ D ₂₃ =2 ₁₀	
		カウンタ値	距離	カウンタ値	距離	カウンタ値	距離
1	0	000	111	000	010	000	010
1	1	100	111	000	010	000	010
2	2	100	111	000	010	000	010
2	3	110	111	000	010	000	010
2	4	110	111	000	010	000	010
3	5	110	111	000	010	000	010
3	6	111	111	000	010	000	010

【 図 1 0 B 】

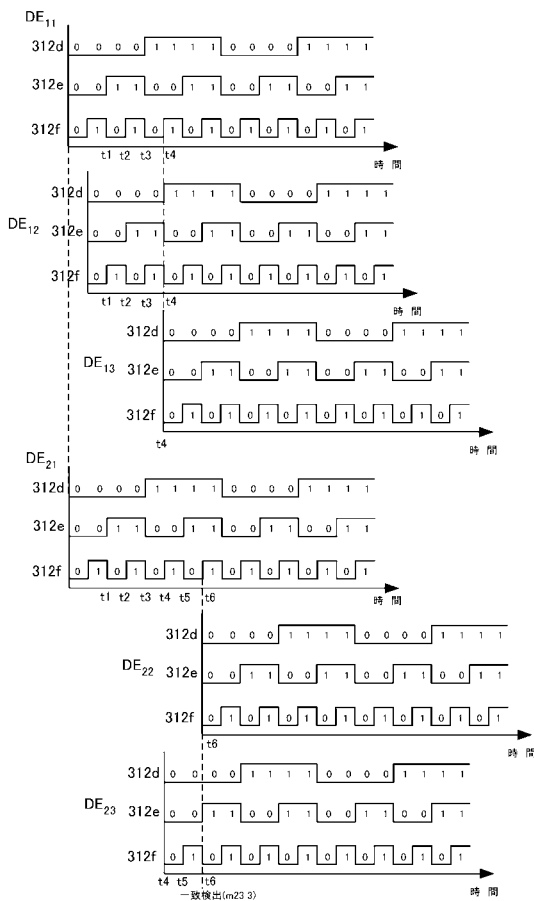


【 図 1 0 C 】

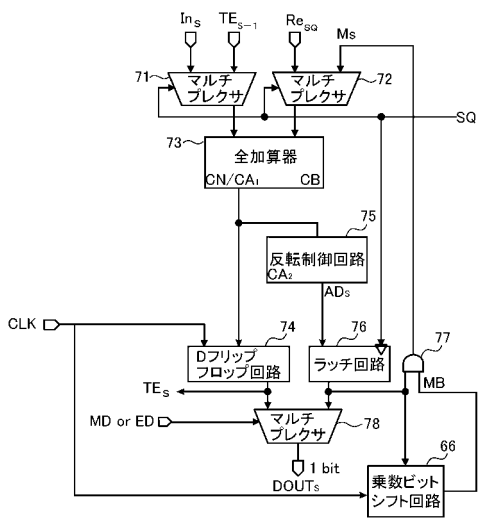


【図10D】

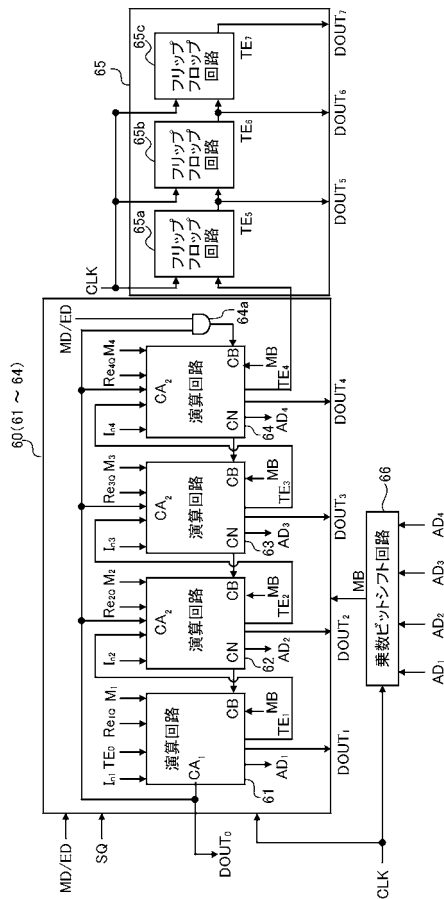
iii) 全ビット



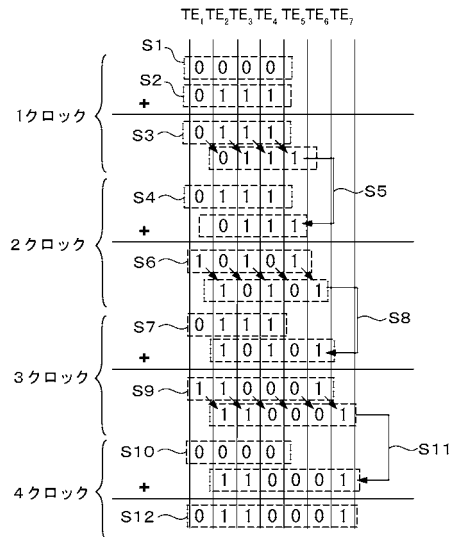
【図12】



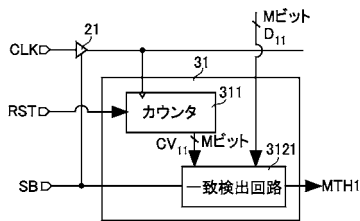
【図11】



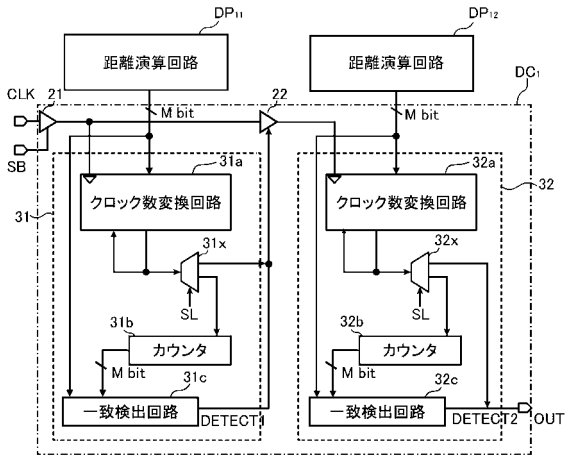
【図13】



【図14】



【図 15】



フロントページの続き

(72)発明者 マタウシュ ハンスユルゲン

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内

(72)発明者 佐々木 静龍

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内

(72)発明者 赤澤 智信

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内