

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-49661  
(P2014-49661A)

(43) 公開日 平成26年3月17日(2014.3.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/66 (2006.01)	HO 1 L 29/66 Z	
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 6 O 1 W	

審査請求 未請求 請求項の数 11 O L (全 30 頁)

(21) 出願番号 特願2012-192665 (P2012-192665)  
(22) 出願日 平成24年8月31日 (2012.8.31)

(71) 出願人 504147254  
国立大学法人愛媛大学  
愛媛県松山市道後樋又10番13号  
(74) 代理人 100082876  
弁理士 平山 一幸  
(72) 発明者 福澤 董  
東京都世田谷区経堂三丁目23番2号  
(72) 発明者 下村 哲  
愛媛県松山市文京町3番 国立大学法人愛媛大学理工学研究科内

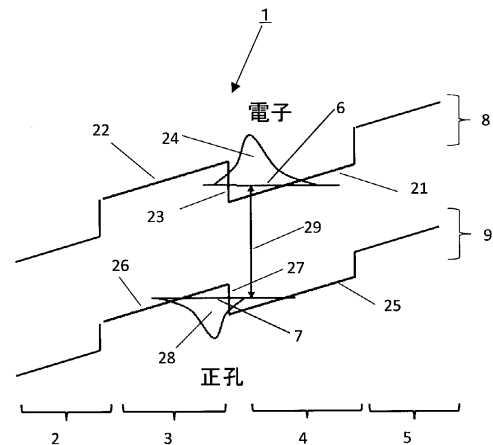
(54) 【発明の名称】 半導体量子素子

(57) 【要約】

【課題】 量子コンピュータ用の半導体量子素子として利用可能なマクロ領域でボーズ・アインシュタイン凝縮した半導体励起子系を提供する。

【解決手段】 半導体量子素子1は、半導体I 2、半導体II 3、半導体III 4、半導体IV 5の順で構成される半導体ヘテロ界面を備え、スタッガード・ヘテロ界面を有する半導体ヘテロ構造に、電界を印加して形成される三角ポテンシャル中の電子と正孔の量子準位からなる励起子を用いて、励起子に対するヘテロ界面ラフネスの影響を減らす。さらにAl<sub>0.4</sub>Ga<sub>0.6</sub>As/AIAsスタッガード・ヘテロ界面を成長するGaAs基板の面方位を(100)から23.8°オフにした基板を用いてその上に成長するスタッガード・ヘテロ界面を超平坦面とし、ボーズ・アインシュタイン凝縮した励起子のデコヒーレンスを減し、演算時間の長い半導体量子素子1を得る。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体I、半導体II、半導体III、半導体IVの順で構成される半導体ヘテロ界面を備え、半導体IIの伝導帯は、半導体IIIの伝導帯よりも電子に対して高いエネルギーを持つことにより、ヘテロ界面の伝導帯がステップを形成し、

同時に半導体IIの価電子帯は、半導体IIIの価電子帯よりも正孔に対してエネルギー的に低いことにより、ヘテロ界面の価電子帯がステップを形成するように半導体IIと半導体IIIを選択した半導体結晶からなり、

ヘテロ界面に対して垂直に電界が印加され、

光励起により半導体IIと半導体IIIとのヘテロ界面に電子と正孔が発生されるか、当該ヘテロ界面に電氣的に電子と正孔が供給されるか、光励起と電氣的励起の両方の何れかが行われ、

10

3種の半導体II、半導体III、半導体IVが形成するヘテロ構造において、電子の基底状態は、半導体II、半導体III、半導体IVが形成するヘテロ構造による、量子井戸型ポテンシャルによって決められるエネルギー準位ではなく、伝導帯ステップと電界によって勾配を持った半導体IIIの伝導帯とで形成される三角ポテンシャルのエネルギー準位となるように半導体IIIを厚くし、かつ、

3種の半導体I、半導体II、半導体IIIが形成するヘテロ構造において、正孔の基底状態は、半導体I、半導体II、半導体IIIが形成するヘテロ構造による、量子井戸型ポテンシャルによって決められるエネルギー準位ではなく、価電子帯ステップと電界によって勾配を持った半導体IIの価電子帯とで形成される三角ポテンシャルのエネルギー準位となるように、半導体IIを厚くしたことを特徴とする、半導体量子素子。

20

## 【請求項 2】

前記半導体量子素子において、電子・正孔対の電子は、半導体IIIのXバンドの電子であり、正孔は、半導体IIのバンドの正孔であることを特徴とする、請求項1に記載の半導体量子素子。

## 【請求項 3】

前記半導体量子素子において、半導体IIは厚さが20nm以上の $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ であり、半導体IIIは厚さが20nm以上のAlAsであり、半導体IIと半導体IIIとのヘテロ界面に印加する電界が10kV/cmより高電界であることを特徴とする、請求項1又は請求項2に記載の半導体量子素子。

30

## 【請求項 4】

前記半導体量子素子において、結晶成長用基板の面方位が(100)方向から、 $23.8^\circ$ オフとしたGaAs基板であることを特徴とする、請求項1～請求項3の何れかに記載の半導体量子素子。

## 【請求項 5】

前記半導体量子素子において、分子線エピタキシン結晶成長時の基板温度が、 $580 \sim 640$ であることを特徴とする、請求項1～請求項4の何れかに記載の半導体量子素子。

## 【請求項 6】

前記半導体量子素子において、半導体IIがSiであり、半導体IIIが $\text{Si}_{0.7}\text{Ge}_{0.3}$ であることを特徴とする、請求項1又は請求項2に記載の半導体量子素子。

40

## 【請求項 7】

前記半導体量子素子において、電子と正孔が対峙する面における電界強度の面内分布に強弱をつけることで、電子と正孔に対する三角ポテンシャルの勾配の2次元面内分布に強弱を与え、勾配の急な領域に囲まれた勾配の緩い領域を形成することで、電子・正孔対を勾配の緩い領域にトラップすることを特徴とする、請求項1～請求項6の何れかに記載の半導体量子素子。

## 【請求項 8】

前記半導体量子素子において、電界強度の面内分布は、2次元的な電極の形状、あるいは半導体アンドープ層にイオン打ち込みや、熱拡散あるいは半導体結晶のエッチングによ

50

って作りこんだ導電性領域の3次元的な形状、あるいは分割した電極に異なる電圧を与えることにより、得られる面内分布で、その電界強度の面内分布により、電子・正孔対をトラップすることを特徴とする、請求項7に記載の半導体量子素子。

【請求項9】

請求項1～請求項8の何れかに記載の半導体量子素子を用い、冷却手段を備えたことを特徴とする、半導体量子演算装置。

【請求項10】

前記冷却手段による冷却温度は、13K以下であることを特徴とする、請求項9に記載の半導体量子演算装置。

【請求項11】

前記冷却手段による冷却温度は、4K以下であることを特徴とする、請求項9に記載の半導体量子演算装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ボーズ粒子のボーズ・アインシュタイン(B-Eと呼ぶ。)凝縮による巨視的量子効果を利用した半導体量子素子に関する。さらに詳しくは、本発明は、半導体ヘテロ構造に電界を印加し生じた三角ポテンシャル中の励起子をB-E凝縮させた半導体量子素子に関する。

【背景技術】

【0002】

ノイマン型コンピュータは、半導体加工の微細化技術が、長期にわたりムーアの法則に従って進んできたことにより、演算能力を飛躍的に発展させてきた。しかしながら微細化が限界に近づき、超LSIを形成する個々の素子が、量子的な揺らぎの影響が出始めることと、演算能力を上げるために、多数の計算機を並列化した際、消費する電力が膨大であることから、更なる能力向上は限界に近づきつつある。

【0003】

これに対して、新たに提案された量子コンピュータは、全く新しいアルゴリズムによる計算方法として、量子状態間の重ね合わせ(量子もつれ)を利用することで、ノイマン型コンピュータでは時間が掛かり過ぎて解けない計算を、瞬時に解くことが可能になるとされ、多くの研究者がそれを実現する系を提案し実験を行っている。

【0004】

ボーズ粒子のB-E凝縮状態では、粒子の熱的ド・ブローイ波長が、低温になるに従い、長くなり、粒子間でその波が重なりあうことで、系全体がコヒーレント状態となる。熱的ド・ブローイ波長は、ボーズ粒子の質量と温度の積の2分の1乗に逆比例するため、質量の重い原子では、ナノ・ケルビン・オーダーまで冷却する必要がある。

ノーベル物理学賞の受賞対象となった、Rb原子のB-E凝縮では、原子が重い170nKという極低温が必要であった(非特許文献1参照)。このような極低温を得るには、レーザーによる冷却と磁場による冷却が必要であり、特許文献1に記載されている量子コンピュータのような多数のビットを実現するには、装置が大掛かり過ぎて実用化は困難である。

【0005】

これに対して、半導体中の励起子は、電子と正孔がクーロン力で互いに引き合い、水素原子様の状態となり、半導体中を自由に動き回ることが可能な準粒子で、有限の寿命で再結合発光し消滅するボーズ粒子であり、その質量は原子と比べ100万分の1程度の軽さであるため、凝縮に必要な温度も原子の場合の100万倍高温となる。

【0006】

従って、Keldyshが1965年に励起子のB-E凝縮の可能性を理論的に示して以来、数多くの研究者が世界初の「B-E凝縮の観測」を目指して研究を進めてきた。しかしながら、従来研究されてきた多くの励起子系は、再結合発光の寿命が短いものが多く、光学的に励起されて電子温度が高い状態から、格子温度まで冷却される前に消滅したり、高密度励起

10

20

30

40

50

で電子と正孔が液滴状態となるためボーズ粒子系で無くなったり、また励起子分子を形成したりするなど、多くの理由から励起子のB-E凝縮は実現できなかった。

#### 【0007】

また、励起子の寿命が長い、亜酸化銅のバルク結晶では冷却効率が悪く、励起子が十分冷却できないことや、励起子が空間的に拡散してしまい、B-E凝縮に必要な濃度を得ることができなかった。2011年になり、亜酸化銅のバルク結晶内で、レーザ光を用いて励起子を空間的に閉じ込め、287mKまで冷却することで、B-E凝縮を実現したという報告がなされた（非特許文献2参照）。しかしながらこの系では、凝縮体は光閉じ込めされた一部分にすぎず、量子コンピュータに必要な多数の量子ビットを実現することは、工業的に困難である。

10

#### 【0008】

励起子のB-E凝縮に関するこれらの困難に打ち勝つ解決策として、本願の発明者の一人である福澤は、1989年に「2重量子井戸における空間分離された電子・正孔からなる励起子系」を提案した（非特許文献3参照）。

図21は、この2重量子井戸における空間分離された電子・正孔からなる励起子系の励起子電子状態の概念図である。図21において、303はこの励起子系の電子の波動関数で、304は正孔の波動関数であり、ともに数値解析して求めており、電界を印加されて傾斜した伝導帯301と価電子帯302を重ねて表示してある。この2重量子井戸は、量子井戸として厚さ5nmのGaAsを、量子井戸間の障壁として厚さ4nmの $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ を用いている。この系を構成する2重量子井戸に電界をかけた状態で光励起を行うと、2つある量子井戸のそれぞれで、価電子帯302から電子が伝導帯301に励起され、電子と正孔がそれぞれの量子井戸中に生じるが、2個の量子井戸間の障壁が4nmと十分に薄いため、電界により電子と正孔がエネルギー的により低い側の量子井戸にトンネリングし、結果として電子303と正孔304が別々の量子井戸に分離される。

20

#### 【0009】

この結果、電子と正孔の波動関数の重なり積分が減少し、励起子の発光寿命が100倍程度長くなり、励起子が格子温度まで十分に冷える時間ができる。これにより初めて極低温の励起子の振る舞いを実験的に観測できるようになった（非特許文献4参照）。

図24は、この2重量子井戸励起子系のフォトルミネッセンス・スペクトルの半値幅の温度依存性を印加する電界をパラメータとしてプロットしたものである。図24において、電界をかけない場合の温度依存性305は、温度の低下とともに半値幅が増大するが、電界を40kV/cm印加し励起子の寿命を延ばした場合の温度依存性306は、7Kより低温で、急激な半値幅の減少が観測された。図24に示されたフォトルミネッセンス・スペクトルにおける半値幅の温度依存性の解釈は、後述する。

30

#### 【0010】

この系では、電子と正孔が分かれて存在する量子井戸が電界の向きで一義的に決まるため、全ての励起子の電気双極子の向きがそろった系となる。このためボーズ粒子間相互作用は双極子間相互作用となり、電子間のクーロン相互作用と異なり、ボーズ粒子が最近接するまでは、ニュートラルに近い反発力であるため、B-E凝縮が起こりやすい系であるといえる。さらに電気双極子の向きがそろった系であるため、励起子分子や、電子・正孔液滴になりやすく、この点でもB-E凝縮に適した系である。

40

#### 【0011】

しかしながら、この系は2つの量子井戸であるGaAsと、障壁層であるAlGaAsとの界面が4枚存在しており、それぞれの2次元面内において、単原子層オーダーの膜厚のばらつきやGa/Al組成の揺らぎが不可避である。2次元面内では、励起子が存在する場所に対して、揺らぎによるそれぞれの量子井戸の厚さや中間の障壁層の厚さの組み合わせが異なり、その異なった組み合わせは異なった励起子エネルギーを与える。その結果、2次元面内の異なった励起子エネルギー分布は20meVにおよぶ発光スペクトルの不均一幅として観測される。図25は、実験的に得られた不均一幅に合わせて、励起子エネルギーの2次元面内ラフネス307を計算でモデル化した例である。

50

## 【 0 0 1 2 】

従って2重量子井戸系の励起子は、2次元空間内のどこに存在するかで、最低の励起子エネルギーが異なることになる。ある微小な領域でB-E凝縮が期待できる温度よりもはるかに低い温度まで格子温度を冷却しても、他の場所では異なる励起子エネルギーとなるため、系全体で一つの凝縮体にはなれず、ポテンシャル・ラフネスで生じる多数のローカル・ミニマムでそれぞれ独立したB-E凝縮を起こすことになる。

## 【 0 0 1 3 】

本願の発明者の一人である福澤は、非特許文献3で提案した2重量子井戸系の励起子が、このような問題を有することを理論計算で予測した上で実験を行い、非特許文献4で2重量子井戸系励起子がB-E凝縮を起こしている状況証拠を明らかにした。

図24において306に示す2重量子井戸系励起子のフォトルミネッセンス半値幅の温度依存性は、「個々のローカル・ミニマムで生じたB-E凝縮体が誘導冷却により、それぞれのB-E凝縮体が存在するサイトのエネルギーよりも、より低い励起子エネルギーのサイトへ移動を続け、最終的には、その系に存在するすべての励起子が、その系に存在するサイトの低いほうから順番にすきまなく埋め尽くした状態となる。」と解釈できる結果を示した。

ここで誘導冷却とは、B-E凝縮を起こしていない古典的ボーズ粒子の状態で、熱的エネルギーが低いためにポテンシャル・バリアにトラップされている励起子が、温度が下げられてB-E凝縮体になることで、熱エネルギーが不足しているにもかかわらずあたかもポテンシャル・バリアを乗り越えるように、よりエネルギー的に低いサイトへB-E凝縮体が移動する現象である。

## 【 0 0 1 4 】

B-E凝縮を起こす温度よりも高温の場合は、古典的ボーズ粒子の状態であるため、励起子の熱的運動エネルギーの減少とともに、ローカル・ミニマムのバリアを乗り越えることができなくなる。このため、より低いエネルギーのサイトを空席にしたまま、高いエネルギーのローカル・ミニマムにとどまる割合が増えるため、励起子全体の平均エネルギーは上昇し、誘導冷却を起こした前述の結果と反対の現象を示す(図24の305参照)。以上の結果から、2重量子井戸系励起子がB-E凝縮を起こしたことの状況証拠が得られたと考えられる。

## 【 0 0 1 5 】

本願の発明者の一人である福澤の2重量子井戸励起子系が、励起子のB-E凝縮を観測する系として最適であるとして、1992年から継続してこの系を研究し続けているL.V. Butovは、2重量子井戸励起子の低温での様々な物理現象について、数多くの論文を報告している。L.V. Butovは、2012年に、2重量子井戸励起子のB-E凝縮を示す結果を発表した(非特許文献5参照)。

図26は、2次元的に測定した発光強度から求めた、2重量子井戸励起子の空間分布の温度依存性である。本願の発明者の一人である福澤と同じく電界により電子と正孔を分離し励起子の再結合発光の寿命を長くし、格子温度を十分低温まで冷却している。

図26において、2重量子井戸系の温度が7Kでは、励起子は308に示すような空間的広がりを持つが、4Kでは励起子は309のように中央に集まりだし、50mKでは、310のように中心にさらに集中している。

## 【 0 0 1 6 】

図27は、励起子発光の1次のコヒーレンスの程度の空間依存性を表す図である。格子温度をパラメータとしている。励起子発光の1次のコヒーレンスの高い状態が、温度の低下とともに空間的に広がる様子を示している。1次のコヒーレンスはB-E凝縮の割合が増えるにつれて高まることが知られており、図27に示された結果は、励起子がB-E凝縮を起こしていることを強く示唆している。本願の発明者の一人である福澤が提唱した通り、20年の歳月を経て、2重量子井戸励起子系がB-E凝縮することが証明された。しかしながらこれまで述べたように4枚あるヘテロ界面に基づく励起子エネルギーのラフネスが存在するため、たまたま平坦だったごく狭い領域でのB-E凝縮しか実現できておらず、量子コ

10

20

30

40

50

ンピュータに必要な、マクロな領域でのB-E凝縮はこの公知例でも実現できていない。

【0017】

図28は、非特許文献6で報告された図であり、GaAs/AlAs量子井戸構造におけるX-間接遷移による励起子のエネルギー準位の概念図である。

L.V.Butov達は、福澤が2重量子井戸励起子系を提案した後に、電子と正孔を分離して励起子の再結合発光寿命を延ばすことが可能な別の系として、GaAs/AlAs量子井戸系における-X間接遷移の励起子を報告した。

これは、図28に示すように、厚さ3nmのGaAs量子井戸403と、厚さ4nmのAlAs量子井戸404をAlGaAsで挟み込んだ構造を持つ系である。

図で実線400は、AlGaAs/GaAs/AlAs/AlGaAsヘテロ構造のバンドを表す伝導帯で、点線401は、AlGaAs/GaAs/AlAs/AlGaAsヘテロ構造のXバンドを表す伝導帯である。実線402は、AlGaAs/GaAs/AlAs/AlGaAsヘテロ構造のバンド価電子帯である。

【0018】

図28はバンドとXバンドが重ねて書いてあるため、より理解しやすい図として、図29と図30にバンドとXバンドを別々に表示して示す。

図29は、図28のAlGaAs/GaAs/AlAs/AlGaAsヘテロ構造のバンドによる伝導帯を表す。図中で、410はAlGaAs層、411はGaAs層、412はAlAs層、413はAlGaAs層である。GaAs層411は量子井戸となるため、井戸型ポテンシャルによる量子準位406を与える。

【0019】

図30は図28のAlGaAs/GaAs/AlAs/AlGaAsヘテロ構造のXバンドによる伝導帯を表す。図中で410はAlGaAs層、411はGaAs層、412はAlAs層、413はAlGaAs層である。AlAs層412は量子井戸となるため、井戸型ポテンシャルによる量子準位407を与える。

【0020】

量子井戸の幅を狭くすると、井戸型ポテンシャルによる電子準位は高エネルギー側にシフトすることは、あまねく知られているが、図28に示すヘテロ構造において、GaAs量子井戸の厚さを3nmまで狭くすることで、GaAsのバンド400における量子準位406を、AlAsのXバンド401における量子準位407より高くできる。

従ってこの構造を光励起すると、GaAs量子井戸における光吸収(遷移)で生じた電子・正孔対のうち電子だけが、GaAsの量子準位406から、AlAsのXバンド中の量子準位407に移動する。この結果、GaAs中の正孔と、AlAs中の電子を空間的に分離することが可能となる。図中で、405は、AlAsのXバンドにおける電子準位407とGaAsのXバンドにおける正孔準位間の間接遷移に基づく励起子発光である。この遷移は電子と正孔の重なり積分が小さいため発光寿命が長くなり、励起子温度が充分低くなることが可能である。

【0021】

また上記の非特許文献6と同じ系で電界を印加する電極に孔をあけ、励起子が感じる電界強度について、2次元面内で相対的に弱い部分を作り、そこに励起子を電氣的にトラップする方法が述べられている(非特許文献7参照)。この方法は、光で励起子を作る場合に適している。

しかしながら、非特許文献6及び非特許文献7のどちらの系も、AlAsのXバンド中の量子準位407よりもGaAsのバンド中の量子準位406のエネルギーを高くするために、GaAsの量子井戸幅を3nmと狭くする必要がある。またAlAsのXバンドの準位も4nmと幅の狭い量子井戸に基づく準位である。従って2重量子井戸系励起子と同様に、ヘテロ界面の揺らぎの影響を励起子が強く感じることになり、ポテンシャル・ラフネスによるB-E凝縮の破壊が避けられない。

【0022】

このような励起子のポテンシャル・ラフネスの影響を受けにくいボーズ粒子系として、半導体光共振器中の励起子・ポラリトンのB-E凝縮が研究されている。励起子・ポラリト

10

20

30

40

50

ンは、半導体中の光であり、ボーズ粒子としての質量は励起子の100万分の一程度の軽さである。このため、理論的には励起子と比べ100万倍高温で凝縮が可能であるが、報告されている励起子・ポラリトンのB-E凝縮温度は、現在10Kである（非特許文献8参照）。ポテンシャル・ラフネスの影響を受けないことと、凝縮温度が高い点で、励起子・ポラリトンのB-E凝縮は大変有利であり、現在量子コンピュータ用素子として研究が進められている（特許文献2参照）。

しかしながら、励起子・ポラリトンは、寿命がピコ秒オーダーと極めて短く、量子コンピュータとして使用が困難である。

【先行技術文献】

【特許文献】

【0023】

【特許文献1】特開2006-59277号公報

【特許文献2】特表2012-508990号公報

【非特許文献】

【0024】

【非特許文献1】M.H. Anderson, J.R. Ensher, M.R. Matthews, C.E. Wieman, and E.A. Cornell, "Observation of Bose-Einstein Condensation in a Dilute Atomic Vapor", Science, 269, no 5221, pp. 198-201, 1995

【非特許文献2】K. Yoshioka, E. Chae and M. Kuwata-Gonokami, "Transition to a Bose-Einstein condensate and relaxation explosion of excitons at sub-Kelvin temperatures", Nature Comm., 2, Article numB-Er: 328, 31 May 2011

【非特許文献3】T. Fukuzawa, S.S. Kano, T.K. Gustafson and T. Ogawa, "Possibility of Coherent Light Emission from Bose Condensed States of SEHP", Proc. of International Conference on Modulated Semiconductor Structures, Michigan, Illinois, 1989

【非特許文献4】T. Fukuzawa, E. E. Mendez, and J. M. Hong, "Phase Transition of an Exciton System in GaAs Coupled Quantum Wells", Phys. Rev. Letts, 64, 3066, 1990

【非特許文献5】A.A. High, J.R. Leonard, M. Remeika, L.V. Butov, M. Hanson, and A.C. Gossard, "Condensation of Excitons in a Trap", Nano Lett., 12, pp.2605-2609, 2012

【非特許文献6】L.V. Butov & A.I. Filin, "Anomalous transport and luminescence of indirect excitons in AlAs/GaAs coupled quantum Wells as evidence for exciton condensation", Phys. Rev., B58, 1980, 1998

【非特許文献7】A.T.Hammack, N.A.Gippius, Sen Yang, G.O.Andreev, and L.V. Butov, "Excitons in electrostatic traps", J. of Appl.Phys., 99, 066104, 2006

【非特許文献8】D. N. Krizhanovskii, M. S. Skolnick, C. Tejedor and L. Vina, "Collective fluid dynamics of a polariton condensate in a semiconductor microcavity", Nature Letters, doi:10.1038/nature 07640, pp.291-295, 2009

【発明の概要】

【発明が解決しようとする課題】

【0025】

従来のボーズ粒子系におけるB-E凝縮は、量子コンピュータへの利用に際し、以下の問題点を有している。

(1) 装置が大掛かりで実用に適さない、

(2) 凝縮体の制御が困難である、

(3) 励起子が感じるポテンシャル・ラフネスのため、十分な大きさのB-E凝縮が得られない、

(4) 凝縮体の寿命がピコ秒程度で、量子演算に適さない等、

が従来のボーズ粒子系を量子コンピュータの素子に用いる場合の大きな壁である。

10

20

30

40

50

## 【0026】

本発明は、上記課題に鑑み、半導体ヘテロ界面を用いた新規の励起子ボーズ粒子系であり、(1)極めてコンパクトで集積化可能である、(2)長い励起子寿命により十分な演算時間が確保できる、(3)ポテンシャル・ラフネスの影響が少ないためB-E凝縮のコヒーレンスが散乱されにくい、(4)素子実現に必要なマクロ領域でのB-E凝縮が期待できる、(5)励起子の制御性が良い等の特長を有する、半導体ヘテロ界面を用いた新規の励起子ボーズ粒子系からなる半導体量子素子を提供することを目的としている。

## 【課題を解決するための手段】

## 【0027】

上記目的を達成するため、本発明の半導体量子素子は、半導体I、半導体II、半導体III、半導体IVの順で構成される半導体ヘテロ界面を備え、半導体IIの伝導帯は、半導体IIIの伝導帯よりも電子に対して高いエネルギーを持つことにより、ヘテロ界面の伝導帯がステップを形成し、同時に半導体IIの価電子帯は、半導体IIIの価電子帯よりも正孔に対してエネルギー的に低いことにより、ヘテロ界面の価電子帯がステップを形成するように半導体IIと半導体IIIを選択した半導体結晶からなり、ヘテロ界面に対して垂直に電界が印加され、光励起により半導体IIと半導体IIIとのヘテロ界面に電子と正孔が発生されるか、当該ヘテロ界面に電氣的に電子と正孔が供給されるか、光励起と電氣的励起の両方の何れかが行われ、3種の半導体II、半導体III、半導体IVが形成するヘテロ構造において、電子の基底状態は、半導体II、半導体III、半導体IVが形成するヘテロ構造による量子井戸型ポテンシャルによって決められるエネルギー準位ではなく、伝導帯ステップと電界によって勾配を持った半導体IIIの伝導帯とで形成される三角ポテンシャルのエネルギー準位となるように半導体IIIを厚くし、かつ、3種の半導体I、半導体II、半導体IIIが形成するヘテロ構造において、正孔の基底状態は、半導体I、半導体II、半導体IIIが形成するヘテロ構造による量子井戸型ポテンシャルによって決められるエネルギー準位ではなく、価電子帯ステップと電界によって勾配を持った半導体IIの価電子帯とで形成される三角ポテンシャルのエネルギー準位となるように、半導体IIを厚くしたことを特徴とする。

## 【0028】

上記構成において、電子・正孔対の電子は、好ましくは、半導体IIIのXバンドの電子であり、正孔は、半導体IIのバンドの正孔である。

好ましくは、半導体IIは厚さが20nm以上の $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ であり、半導体IIIは厚さが20nm以上の $\text{AlAs}$ であり、半導体IIと半導体IIIとのヘテロ界面に印加する電界が10kV/cm以上である。

結晶成長用基板の面方位は、好ましくは、(100)方向から、 $23.8^\circ$ オフとしたGaAs基板である。

分子線エピタキシ結晶成長時の基板温度は、好ましくは、580 ~ 640 である。

好ましくは、半導体IIがSiであり、半導体IIIが $\text{Si}_{0.7}\text{Ge}_{0.3}$ である。

好ましくは、電子と正孔が対峙する面における電界強度の面内分布に強弱をつけることで、電子と正孔に対する三角ポテンシャルの勾配の2次元面内分布に強弱を与え、勾配の急な領域に囲まれた勾配の緩い領域を形成することで、電子・正孔対を勾配の緩い領域にトラップする。

電界強度の面内分布は、好ましくは、2次元的な電極の形状、あるいは半導体アンドープ層にイオン打ち込みや、熱拡散あるいは半導体結晶のエッチングによって作りこんだ導電性領域の3次元的な形状、あるいは分割した電極に異なる電圧を与えることにより、電子・正孔対をトラップする。

## 【0029】

本発明の半導体量子演算装置は、上記の何れかに記載の半導体量子素子を用い、冷却手段を備えたことを特徴とする。

## 【0030】

上記構成において、冷却手段による冷却温度は、好ましくは、13K以下又は4K以下である。

10

20

30

40

50



## 【発明の効果】

## 【0031】

本発明により提供される半導体量子素子中の励起子は、再結合発光寿命が充分長く、双極子モーメントの向きが全て一方向にそろっている。素子中ではマクロな数の2次元励起子を、任意の形状にトラップでき、そのトラップ内では、界面ラフネスによる励起子ポテンシャル・エネルギーの乱れが無い。この半導体量子素子を数百mKから数K又は15K程度まで冷却することで、マクロ領域における励起子のB-E凝縮が実現でき、量子コンピュータのための演算素子として利用することが可能となる。本発明による半導体量子素子中の励起子は、半導体ヘテロ構造において、段違い（スタッガード）の界面に生じるため、この励起子をスタッガード・ヘテロ界面励起子と呼ぶ。

10

## 【図面の簡単な説明】

## 【0032】

【図1】本発明に係る半導体量子素子に、電界を印加した場合のスタッガード・ヘテロ界面励起子の概念図である。

【図2】本発明に係る半導体量子素子中のスタッガード・ヘテロ界面励起子の基本概念を表す図で、図5と比較するために、図1の半導体Iと半導体IVを省略している。

【図3】図1に類似の半導体量子素子で、半導体IIと半導体IIIの厚さを薄くした比較例における励起子を表す概念図である。

【図4】本発明の半導体量子素子に電界を印加しない場合のスタッガード・ヘテロ構造のエネルギー準位概念図である。

20

【図5】本発明に係る半導体量子素子において、電界中のスタッガード・ヘテロ界面励起子がヘテロ界面ラフネスの影響を受けにくいことを説明する概念図である。

【図6】本発明に係る半導体量子素子におけるスタッガード・ヘテロ界面励起子で、電界が1kV/cmの場合の電子と正孔の波動関数の計算結果を表す。

【図7】本発明に係る半導体量子素子におけるスタッガード・ヘテロ界面励起子で、電界が20kV/cmの場合の電子と正孔の波動関数の計算結果を表す。

【図8】本発明に係る半導体量子素子におけるスタッガード・ヘテロ界面励起子で、電界が40kV/cmの場合の電子と正孔の波動関数の計算結果を表す。

【図9】本発明に係る半導体量子素子におけるスタッガード・ヘテロ界面励起子・結合エネルギーの電界依存性の計算例である。

30

【図10】本発明に係る半導体量子素子におけるスタッガード・ヘテロ界面励起子ボーア半径の電界依存性を表す計算例である。

【図11】本発明に係る半導体量子素子におけるスタッガード・ヘテロ界面励起子の再結合確率の電界依存性を表す計算例である。

【図12】本発明に係る半導体量子素子におけるスタッガード・ヘテロ界面励起子エネルギーの電界依存性を表す計算例である。

【図13】本発明に係る半導体量子素子におけるAlGaAs/AlAs系半導体結晶の構造を表す断面図である。

【図14】本発明に係る半導体量子素子に用いる半導体結晶で、基板の面方位を(100)としてスタッガード・ヘテロ界面を成長した場合の結晶表面の原子間力顕微鏡像の図である。

40

【図15】本発明に係る半導体量子素子におけるスタッガード・ヘテロ界面を有する半導体結晶で、基板の面方位を23.8°オフとして成長した場合の結晶表面の原子間力顕微鏡像の図である。

【図16】本発明に係る半導体量子素子で、スタッガード・ヘテロ界面励起子をAlGaAs/AlAs系半導体結晶で発生させる方法を表す概念図である。

【図17】本発明に係るスタッガード・ヘテロ界面を有する半導体結晶のフォトルミネッセンス・スペクトルの成長用基板の面方位依存性を表す。

【図18】本発明に係るスタッガード・ヘテロ界面を有する半導体結晶で、基板の面方位を(100)とし、成長温度を変化させた場合のフォトルミネッセンス・スペクトルを表

50

す。

【図 19】本発明に係るスタグガード・ヘテロ界面を有する半導体結晶で、基板の面方位を $23.8^\circ$ オフとし、成長温度を変化させた場合のフォトルミネッセンス・スペクトルを表す。

【図 20】本発明に係る半導体量子素子で、基板の面方位を $(100)$ として結晶を成長し、結晶の成長方向に $40\text{kV/cm}$ の電界を印加した場合の $4\text{K}$ における低温フォトルミネッセンス・スペクトルを表す。

【図 21】本発明に係る半導体量子素子にSiGe/Si系半導体結晶を用いる場合の結晶の断面図である。

【図 22】本発明に係る半導体量子素子においてスタグガード・ヘテロ界面励起子をSiGe/Si系半導体結晶で発生させる方法を表す概念図である。 10

【図 23】2重量子井戸における空間分離された電子・正孔からなる励起子系の励起子電子状態の概念図である。

【図 24】2重量子井戸励起子系のフォトルミネッセンス・スペクトルの半値幅の温度依存性を表す図である。

【図 25】2重量子井戸励起子系のフォトルミネッセンス・スペクトル不均一幅に基づく励起子エネルギーの2次元面内ラフネス計算例を示す図である。

【図 26】2重量子井戸系励起子で、B-E凝縮を観測した公知例における励起子空間分布の温度依存性である。

【図 27】B-E凝縮を観測した公知例における2重量子井戸系励起子発光の1次のコヒーレンスの空間依存性である。 20

【図 28】GaAs/AlAs量子井戸構造におけるX- 間接遷移による励起子のエネルギー準位の概念図である。

【図 29】GaAs/AlAs量子井戸構造における伝導帯における電子準位の概念図である。

【図 30】GaAs/AlAs量子井戸構造におけるX伝導帯における電子準位の概念図である。

【発明を実施するための形態】

【0033】

以下、本発明の実施形態を図面に基づいて詳細に説明する。

図1は本発明に係る半導体量子素子1に電界を印加した場合のスタグガード・ヘテロ界面励起子の概念図であり、図2は、本発明に係る半導体量子素子中のスタグガード・ヘテロ界面励起子の基本概念を表す図で、図3と比較するために、図1の半導体I2と半導体IV5を省略した図である。 30

図1に示すように、半導体量子素子1は、素子中のヘテロ構造として少なくとも半導体I2、半導体II3、半導体III4及び半導体IV5からなる連続した半導体層を有している。半導体層間のバンド・アラインメントは、半導体量子素子1のヘテロ構造全体の伝導帯8とヘテロ構造全体の価電子帯9として概念的に図に示した。図1では、三角ポテンシャル中の電子基底準位及び正孔基底準位は、それぞれ、6、7の符号で示している。

【0034】

本発明において重要なスタグガード・ヘテロ界面は、伝導帯22と価電子帯26を有する半導体II3と、伝導帯21と価電子帯25を有する半導体III4からなるヘテロ構造に、電界を印加したことで得られており、伝導帯のステップ23と価電子帯のステップ27があることが特徴である。このような伝導帯における段違い(スタグガード)を与えるヘテロ接合を本明細書中でスタグガード・ヘテロ界面と呼び、図1のような励起子をスタグガード・ヘテロ界面励起子と呼ぶ。この状態で励起子ができる理由は理論計算で後に示す。 40

【0035】

伝導帯では、伝導帯のステップ23と、電界で傾斜した伝導帯21とで形成される三角ポテンシャルが、電子の基底準位6(三角ポテンシャル中の電子の基底準位)を生じ、その準位に対する電子の波動関数24を示す。

価電子帯では、価電子帯のステップ27と、電界で傾斜した価電子帯26とで形成され 50

る三角ポテンシャルが、正孔の基底準位 7 (三角ポテンシャル中の正孔の基底準位) を生じ、その準位による正孔の波動関数 28 を示す。

この電子と正孔はクーロン力により、互いに引き合うことで生じる結合エネルギーの分だけ安定になり、水素原子様のボーズ粒子となる。電子準位 6 と正孔準位 7 のエネルギー差 29 から励起子結合エネルギーを差し引くことで励起子が持つエネルギーが求まる。図 1、図 2 に示すように本発明で用いる半導体量子素子 1 の励起子系は、電子と正孔が空間分離された新たな励起子系である。

#### 【0036】

本発明の半導体量子素子 1 を形成する結晶では図 1 に示すように、半導体 113 と半導体 1114 の両側に、半導体 12 と半導体 1V5 が設けられ、それぞれの接合面でヘテロ構造が存在するが、半導体 113 と半導体 1114 の厚さを、電子や正孔の「界面に対して反対側の波動関数のテール(裾)」が届く位置よりも十分厚くすれば、図 1 のように、電子や正孔の基底準位は、量子井戸型ポテンシャルによる量子準位ではなく、三角ポテンシャルのみで決まる量子準位となる。

10

#### 【0037】

図 3 は、半導体 113 と半導体 1114 の厚さが、電子や正孔の「界面と反対側の波動関数のテール(裾)」が届く位置よりも十分厚くない場合の比較例で、電子や正孔の基底準位が量子井戸の井戸型ポテンシャルである場合の概念図である。

図 3 に示すように、構成している半導体層は、図 1 の場合と同じであるが、半導体 113 と半導体 1114 の厚さのみ薄くなっている。図から明らかのように、電界中の電子の波動関数 10 や電界中の正孔の波動関数 11 は、量子井戸の両側の障壁層に浸みだしており、量子井戸の厚さが変わることによって、電子や正孔の基底準位が敏感に変化する。

20

従って半導体ヘテロ界面の揺らぎにより、励起子のエネルギーも面内で揺らぐことになり、2重量子井戸系励起子で起こったポテンシャル・ラフネスによる B-E 凝縮状態のコヒーレンス低下の影響を避けることができない。

#### 【0038】

本発明の目的は、界面揺らぎによるポテンシャル・ラフネスの影響を受けない系を提供することにある。そのために必要な半導体 113 と半導体 1114 の厚さは、半導体 113 を  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  とし、半導体 1114 として  $\text{AlAs}$  を選んだ場合には、それぞれの半導体層の厚さは 20nm 程度あれば、印加する電界強度が、20kV/cm ~ 40kV/cm において、三角ポテンシャルで電子と正孔のエネルギー準位が決定されると考えてよい。その理由は後ほど、図 4 ~ 6 を用いて説明する。

30

#### 【0039】

図 1 に示すような半導体量子素子 1 におけるヘテロ構造「スタaggerド・ヘテロ界面」を持つバンド構造を実現する半導体の組み合わせ例を図 4 に示す。

図 4 は、本発明の半導体量子素子 1 に電界を印加しない場合のスタaggerド・ヘテロ構造のエネルギー準位の概念図である。

図 4 において、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  層 31 は、半導体層 113 であり、 $\text{AlAs}$  層 30 は、半導体層 1114 として用いる。半導体層 12 と、半導体層 1V5 については、実施例で述べる。 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  の  $\Gamma$ -遷移 13 は、2064meV であり、 $\text{AlAs}$  の  $\Gamma$ -遷移 12 は、3109meV である。

40

#### 【0040】

しかしながら  $\text{AlAs}$  の X バンドは、隣接する  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  よりも低くなり、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  の  $\Gamma$ -遷移 33 で生じた電子・正孔対の電子は、 $\text{AlAs}$  の X バンドの電子 34 に移動する。 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  の  $\Gamma$  バンドの正孔 35 は、 $\text{AlAs}$  の価電子帯のステップに阻まれ、そのまま  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  に留まる。

#### 【0041】

この空間的に分離された電子と正孔は互いにクーロン相互作用で引き合い、励起子となる。これが図 4 で符号 36 で示す X- 励起子でそのエネルギーは 1821meV である。図 4 は、電界をかけていない状態であり、これに適当な電界を印加することで、図 1 及び図 2 のようなスタaggerド・ヘテロ界面励起子となる。

50

## 【0042】

このようにヘテロ界面における電子と正孔が近接して対峙しており、クーロン相互作用で、励起子を形成するが、そのエネルギーは一枚のヘテロ界面に起因する伝導帯のステップ23とか価電子帯のステップ27と、電界による三角ポテンシャルで決まる。この三角ポテンシャルを用いることのメリットを以下で説明する。

## 【0043】

一般的に半導体ヘテロ界面は、分子線エピタキシ(MBE)法などでどのように注意を払って結晶成長しても、成長面内で原子一個分の揺らぎは免れない。その結果、2重量子井戸の励起子系では、4枚のヘテロ界面でそれぞれ単原子分の厚さ揺らぎが生じ、それが組み合わせられることで励起子エネルギーは、面内で大きなラフネスを生じた。

10

## 【0044】

図23に示した本発明の励起子系に最も近いGaAs/AlAs量子井戸励起子系では、幅が3nmと4nmという狭い2個の量子井戸を用いており、電界を強く印加しても三角ポテンシャルによるエネルギー準位が最低のエネルギー準位とはならず、励起子はそれぞれの量子井戸のエネルギー準位に支配され、単原子分の揺らぎの影響を強く受けざるを得ない。

これはB-E凝縮を実現する上でコヒーレント状態が直ぐ散乱されることを意味し、マクロな領域でのB-E凝縮は不可能である。

## 【0045】

図5は本発明に係る半導体量子素子1のスタッガード・ヘテロ界面の乱れを表す概念図である。以下、図5を用いて本発明の励起子系が、上述した公知例及び比較例とは大きく異なり、励起子エネルギーの界面揺らぎによる影響が極めて少ないことを説明する。

20

図5に示す2次元励起子系の「ある場所」におけるヘテロ界面の基板に対する垂直方向の位置がヘテロ接合界面37であるとする。面内の「他の場所」で単原子層程度の揺らぎが生じ、ヘテロ接合界面の位置がヘテロ接合界面38へと移動したとする。三角ポテンシャルによる電子のエネルギーは、揺らぎの無い場所でのエネルギー準位39から、揺らいだ場合のエネルギー準位40へと増加する。

しかしながら、このヘテロ接合界面の動きに対して、正孔のエネルギー準位は、ヘテロ接合界面37からヘテロ接合界面38への移動に対して、それぞれ、ヘテロ接合界面37に対応した正孔準位41からヘテロ接合界面38に対応した正孔準位42へと減少し、電子準位が増加した分を相殺する。従って、ヘテロ接合界面37における励起子のエネルギー43とヘテロ接合界面38における励起子のエネルギー44は、大略等しいといえる。

30

## 【0046】

この条件を満たすためには、スタッガード・ヘテロ構造における半導体層II3と半導体層III4の厚さと、スタッガード・ヘテロ界面に印加する電圧の関係が重要である。図1(b)で説明したように、仮に半導体層II3や半導体層III4の厚さが薄く、電界を印加しても三角ポテンシャルではなく、量子井戸のエネルギー準位が支配的になれば、界面の単原子層厚さの揺らぎは、励起子エネルギーに大きく影響してしまい、ポテンシャル・ラフネスの影響を厳しく受けることになる。本発明の半導体量子素子1では、ヘテロ界面に対して垂直に電界が印加される。半導体量子素子1においては、光励起により半導体IIと半導体IIIとのヘテロ界面に電子と正孔を発生するか、ヘテロ界面に電氣的に電子と正孔を供給されるか、光励起と電氣的励起の両方の何れかが行われる。

40

## 【0047】

本発明に係る半導体量子素子1における、 $Al_{0.4}Ga_{0.6}As/AlAs$ スタッガード・ヘテロ界面励起子の各種物理量の印加電圧強度依存性を説明する。

最初に、本発明の励起子系の特徴を述べ、次に、三角ポテンシャルとなるための半導体層II3と半導体層III4の厚さと、印加する電界強度との関係を説明する。

始めにスタッガード・ヘテロ界面励起子の各種物理量の印加電圧強度依存性を計算で導く方法について説明する。

印加されたスタッガード・ヘテロ界面に生じた三角ポテンシャルにおける励起子の波動関数を式(1)に示す。

50

【 0 0 4 8 】

【 数 1 】

$$\Psi(x_1, x_2, r) = \phi_e(x_1) \cdot \phi_h(x_2) \cdot f(r) \quad (1)$$

【 0 0 4 9 】

式(1)において、 $(x_1, x_2, r)$ は励起子の波動関数、 $\phi_e(x_1)$ は電子の波動関数<sup>24</sup>、 $\phi_h(x_2)$ は正孔の波動関数<sup>28</sup>、 $f(r)$ は電子と正孔のクーロン相互作用で生じるエンベロップ関数である。励起子の波動関数 $(x_1, x_2, r)$ は、式(2)に示すシュレーディンガー方程式を満たす。

【 0 0 5 0 】

【 数 2 】

$$\left\{ -\frac{\hbar^2}{2\mu} \nabla_r^2 - \frac{\hbar^2}{2M} \nabla_r^2 - \frac{\hbar^2}{2m_e} \frac{\partial^2}{\partial x_1^2} - \frac{\hbar^2}{2m_h} \frac{\partial^2}{\partial x_2^2} + \frac{e^2}{\epsilon \sqrt{(x_1 - x_2)^2 + r^2}} + V(x_1, x_2) \right\} \Psi = E \Psi \quad (2)$$

$$\mu = \frac{m_e m_h}{m_e + m_h}, \quad M = m_e + m_h,$$

$$r = r_1 - r_2, \quad R = \frac{m_e r_1 + m_h r_2}{m_e + m_h}$$

【 0 0 5 1 】

式(2)において、 $r_1$ は電子の空間座標、 $r_2$ は正孔の空間座標、 $m_e$ は電子の有効質量、 $m_h$ は正孔の有効質量、 $\epsilon$ は半導体の誘電率、 $\mu$ は換算質量、 $M$ は電子と正孔の質量の和であり、励起子の併進運動に関係する量である。 $V(x_1, x_2)$ は、伝導帯や価電子帯のヘテロバリアと、電界によるポテンシャル勾配を重畳させたものとして計算する。

電界を印加されたスタッガード・ヘテロ界面に生じた三角ポテンシャルにおける電子と正孔間のクーロン相互作用 $P(r)$ 、を式(3)で示す。

【 0 0 5 2 】

【 数 3 】

$$P(r) = \left\langle \phi_e(x_1) \phi_h(x_2) \left| \frac{e^2}{\epsilon \sqrt{(x_1 - x_2)^2 + r^2}} \right| \phi_e(x_1) \phi_h(x_2) \right\rangle \quad (3)$$

【 0 0 5 3 】

式(2)のシュレーディンガー方程式において、第2項は励起子の並進運動に関する項で、電子と正孔の相対運動と較べて小さく無視することが可能である。簡単化されたシュレーディンガー方程式を式(4)に示す。

【 0 0 5 4 】

【数4】

$$\left\{ -\frac{\hbar^2}{2\mu} \nabla_r^2 + E_e + E_h - \frac{1}{\epsilon} P(r) \right\} f(r) = Ef(r) \quad (4)$$

【0055】

式(4)の形をしたシュレーディンガー方程式を数値的に解くことにより、 $\phi_e(x_1)$ 、 $\phi_h(x_2)$ 、 $f(r)$ 、 $E$ を求めることができる。

さらに電子と正孔の再結合確率の電界依存性は、式(4)で求めた $\phi_e(x_1)$ 、 $\phi_h(x_2)$ を電子と正孔の波動関数の重なり積分 $S$ を表す式(5)に入れることで算出できる。 10

【0056】

【数5】

$$S = \left| \int \phi_e(x_1) \cdot \phi_h(x_2) dx \right|^2 \quad (5)$$

【0057】

図6は、本発明の半導体量子素子1において、電界が弱い(1kV/cm)場合の、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面における電子の波動関数51と正孔の波動関数52とについて、式(4)から求めた計算例である。正孔の波動関数は、図1の場合と比べて上下を逆転させて表記している。 20

この例を含めた以下の計算例全てについて、半導体III3である $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ の厚さは20nm、半導体III4であるAlAsの厚さは20nmとして計算している。

図4の計算例では、電子の波動関数51と、正孔の波動関数52のテール(裾)は、半導体層I2及び半導体層IV5のヘテロ界面に僅かではあるがしみ出している。従って三角ポテンシャルだけでなく井戸型ポテンシャルの影響も生じ、ヘテロ界面で単原子層程度の厚さの揺らぎがあると、励起子エネルギーに若干の揺らぎが生じることになる。

【0058】

図7は、電界が20kV/cmの場合における、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面の電子の波動関数53と正孔の波動関数54とを式(4)から求めた計算例である。 30

図6の場合よりも電界が強くなったことで、三角ポテンシャルの傾きが大きくなり、電子と正孔は1kV/cmの場合と比較して互いに近づいている。その結果、波動関数のテールは、半導体I2や半導体IV5とのヘテロ界面(距離20nm)では無視できる程度に減少している。

したがってこの電界強度では、本発明で定義している"電子や正孔が感じるポテンシャルが、量子井戸の準位ではなく三角ポテンシャルで決まる準位"という条件を満たしているといえる。

【0059】

図8は、電界が40kV/cmの場合における、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面の電子の波動関数55と正孔の波動関数56との計算例である。 40

図8に示すように、図7の電界が20kV/cmの場合よりもさらにヘテロ界面側に波動関数が押しつけられていることが分かる。波動関数のテールもヘテロ界面(距離20nm)のはるか手前でゼロになっており、電子準位が三角ポテンシャルのみで決められていることが明らかである。このような状態では、たとえスタaggerド・ヘテロ界面に単原子層程度の揺らぎが存在しても、励起子のエネルギーに影響を及ぼすことが無く、マクロな領域でのB-E凝縮実現が期待できる。

【0060】

図9は、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面に形成される励起子の結合エネ 50

ルギーの電界強度依存性 57 を示す図である。図 9 に示すように、電界強度の増加とともに、電子と正孔の波動関数が互いに近づくことで、励起子結合エネルギーが増加している。結合エネルギーが大きければ、それだけ高温でも、電子と正孔に分解せず、励起子のままで存在できる。

【 0 0 6 1 】

図 10 は、 $Al_{0.4}Ga_{0.6}As/AlAs$  スタッガード・ヘテロ界面に形成される励起子ボア半径の電界強度依存性 58 を示す図である。図 10 に示すように、電界強度の増加とともに、電子と正孔の波動関数が互いに近づくことで、結びつきが強固になりボア半径が小さくなっている。

【 0 0 6 2 】

式 (5) の重なり積分  $S$  から求めた  $Al_{0.4}Ga_{0.6}As/AlAs$  スタッガード・ヘテロ界面励起子の再結合確率の電界強度依存性を図 11 に示す。図 11 に示すように、 $Al_{0.4}Ga_{0.6}As/AlAs$  スタッガード・ヘテロ界面励起子の再結合確率は絶対値ではなく、それぞれの電界強度における再結合確率を比較した相対値である。電界強度の増加とともに、再結合の確率が増加しているが、この遷移は間接遷移であるため、基準となる発光寿命が、直接遷移の場合と比較し、数桁程度長くなっている。

【 0 0 6 3 】

図 12 は、 $Al_{0.4}Ga_{0.6}As/AlAs$  スタッガード・ヘテロ界面に形成される励起子エネルギーの電界によるシフト量 60 を計算した例である。

図 12 に示すように、電界の増加に伴い、三角ポテンシャルが鋭角となり、それに伴って電子エネルギー準位や、正孔エネルギー準位が増加し、より高エネルギー側に励起子エネルギーがシフトしていく。

これを利用すると、本発明に係る半導体量子素子 1 中で励起子をトラップしたい領域の周りを、トラップ領域より  $10\text{kV/cm}$  程度高い印加電圧の領域で囲むことで、励起子に対して横方向に  $5\text{meV} \sim 10\text{meV}$  程度のポテンシャル・バリアを形成でき、励起子を 2 次元的にトラップできる。この形を円形や、導波路形状にすることで、励起子に対する種々の実験が可能となる。

【 0 0 6 4 】

これまで、 $Al_{0.4}Ga_{0.6}As/AlAs$  スタッガード・ヘテロ界面励起子を例に挙げて説明してきたが、半導体の組み合わせは、 $Al_{0.4}Ga_{0.6}As/AlAs$  に限らず、図 1 に示すようなスタッガード・ヘテロ構造を与える組み合わせならば、これまで述べてきたスタッガード・ヘテロ界面励起子の特徴を有することは明白である。

例として、半導体 II 3 として Si を、半導体 III 4 として  $Si_{0.7}Ge_{0.3}$  を選ぶことで、図 1 と同様のスタッガード・ヘテロ界面が得られ、界面ラフネスの影響を受けにくい励起子を得ることができる。

【 0 0 6 5 】

また、半導体 II 3 として  $Al_xGa_{1-x}As$  を、半導体 III 4 として  $In_{0.5}Ga_{0.5}P$  を選ぶことによっても、図 1 と同様のスタッガード・ヘテロ界面励起子を得ることができる。

ここで述べた  $Al_{0.4}Ga_{0.6}As/AlAs$  系スタッガード・ヘテロ界面、 $Si/Si_{0.7}Ge_{0.3}$  系スタッガード・ヘテロ界面、 $Al_xGa_{1-x}As/In_{0.5}Ga_{0.5}P$  系スタッガード・ヘテロ界面は何れも、通常の分子線エピタキシ法、MOCVD 法など、広く一般に用いられている半導体エピタキシ方法で作製できる。その際、界面の平坦性のみが要求され、成長層の膜厚に対する精度は、量子井戸を用いる場合と較べて、はるかに大きい許容度であることが特徴である。

例えば、半導体層 II 3 と半導体層 III 4 の厚さが、三角ポテンシャルになるために厚さ  $20\text{nm}$  を超えていれば、それが  $30\text{nm}$  であろうが、 $40\text{nm}$  であろうが、特性に変わりがないからである。さらに、半導体量子素子は、上記の半導体 II 2、半導体 II 3、半導体 III 4 及び半導体 IV 5 にさらに、半導体量子素子 1 の電界強度を調整する層を備えて構成されてもよい。

【 0 0 6 6 】

これまで説明してきたように、本発明の半導体量子素子 1 に用いるスタッガード・ヘテ

10

20

30

40

50

口界面励起子は、界面ラフネスの影響を受けにくく、励起子再結合発光寿命も長いため、15 K ~ 数 K 程度の冷却で、十分格子温度まで冷えた高濃度励起子を得ることができ、B-E凝縮条件を満たすことができる。励起子の供給は、光励起やキャリア注入など従来の光素子の励起方法で簡便に行うことができ、原子のB-E凝縮を行う場合と比較して、工業化に極めて有利である。

【0067】

本発明の半導体量子素子1を用いた半導体量子演算装置は、冷却手段を備えて構成される。冷却手段による冷却温度は、13 K以下又は4 K以下程度とすればよい。

以下の実施例でより具体的に本発明の半導体量子素子1の説明を行う。

【実施例1】

【0068】

本発明の半導体量子素子1を得るために、図13に示す構造を持つ $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面を有する半導体結晶を分子線エピタキシ(MBE)法で作製した。不純物の混入を防ぐため、成長中もイオンポンプや、チタンサブリメーションポンプを動作させた。さらに成長速度を毎時0.1~1  $\mu\text{m}$ 以下に抑え、成長膜の平坦化を図った。

図13は、本発明に係る半導体量子素子における $\text{AlGaAs}/\text{AlAs}$ 系半導体結晶の構造を表す断面図である。図13に示すように、面方位(100)のn-GaAs基板100上に、n-GaAsバッファ層101、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層102(厚さ20nm)、AlAs層103(厚さ20nm)、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層104(厚さ20nm)、AlAs層105(厚さ20nm)、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層106(厚さ20nm)、AlAs層107(厚さ60nm)、n-AlGaAs層108(厚さ50nm)、n-GaAs層109(厚さ20nm)を580、610、640の3通りの基板温度でMBE成長した。

ここで半導体I2はAlAs層103、半導体II3は $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層104、半導体III4はAlAs層105、半導体IV5は $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層106に対応する。

【0069】

図14は、実施例1で作製した結晶を、原子間力顕微鏡(AFM)を用いて表面粗さを測定したAFM画像95である。GaAs基板は面方位(100)を用いている。顕微鏡像四辺形の下側のエッジを見ると、波打っており、表面ラフネスがあることが分かる。

【実施例2】

【0070】

成長用n-GaAs基板100として、面方位を(100)から23.8°オフとなるように選んだ基板を用いて、図13に示す構造を持つ $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面を有する半導体結晶を分子線エピタキシ(MBE)法で作製した。この実施例では基板100の面方位が異なること以外は、すべて実施例1と同じである。

【0071】

図15は、実施例2で面方位(23.8°オフ)のGaAs基板を用いて作製した結晶のAFM画像96であり、図14と同じスケールである。波打ちは極めて少なく、RMS表面粗さは0.14nmという超平坦成長面が得られている。

【0072】

この超平坦面作製技術と、本発明のスタaggerド・ヘテロ界面励起子のラフネスの影響を受けにくい性質を合わせることで、ポテンシャル・ラフネスの無い2次元励起子系が提供され、マクロな領域でのB-E凝縮を有する半導体量子素子1が実現できる。

【実施例3】

【0073】

上記2種類の $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面を有する半導体結晶以外に、GaAs基板100の面方位を(411)Aとしたもの、(311)Aとしたもの、さらに、面方位を(100)から20.9°オフとなるように選んだ基板を用いて、図13に示す結晶を成長した。

しかしながらAFMでRMS表面粗さを測定したところ23.8°オフに選んだ実施例2よりも粗い結果となり、本発明の半導体量子素子1として不適なことが分かった。

【実施例4】

10

20

30

40

50



## 【0074】

結晶成長用GaAs基板100として、面方位(100)、面方位(23.8°オフ)、面方位(411)A、面方位(311)A、面方位(20.9°オフ)という5種類の基板を用いて、 $\text{Al}_{0.6}\text{Ga}_{0.4}\text{As}/\text{AlAs}$ スタグガード・ヘテロ界面を有する半導体結晶を作製した。

AFMでRMS表面粗さを測定したところ面の荒れが大きく、本発明の半導体量子素子1として不適なことが分かった。

## 【実施例5】

## 【0075】

結晶成長用GaAs基板100として、面方位(100)、面方位(23.8°オフ)、面方位(411)A、面方位(311)A、面方位(20.9°オフ)という5種類の基板を用いて、 $\text{Al}_{0.8}\text{Ga}_{0.2}\text{As}/\text{AlAs}$ スタグガード・ヘテロ界面を有する半導体結晶を作製した。

10

AFMでRMS表面粗さを測定したところ面の荒れが大きく、本発明の半導体量子素子1として不適なことが分かった。

## 【実施例6】

## 【0076】

図16は、本発明に係る半導体量子素子1としての $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタグガード・ヘテロ界面励起子に電界を印加するために作製した素子構造である。ここで、半導体I2はGaAsバッファ層101、半導体II3は $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層102、半導体III4はAlAs層103、半導体IV5は $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層104に対応する。

## 【0077】

20

実施例6では、半導体I2がAlAsからGaAsに変わっているが、スタグガード・ヘテロ界面励起子に必要な部分は半導体II3と半導体III4であるので、動作上全く問題はない。

実施例1と同様の方法で作製した結晶を用いて、電極110と電極111を形成後、電極110と電極111との間に直流電圧113を加えた。表面側の電極111は、中心に穴が開けてあり、そこから波長405nmの半導体レーザ光112で励起して、層102と層103の間の界面に電子114・正孔115を発生させた。

## 【0078】

以下、各実施例に対するフォトルミネッセンス評価について横断的に比較し説明を行う。

図17は、実施例1と実施例2で得られたヘテロ構造を持つ基板の13Kにおけるフォトルミネッセンス・スペクトルの例である。横軸はフォトン・エネルギー、縦軸は任意単位の発光強度である。図17で、面方位(100)のGaAsを用いて580で成長した実施例1の結晶のフォトルミネッセンス・スペクトル71は、ブロードな発光で、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタグガード・ヘテロ界面励起子の-X遷移70に相当するところに、発光のピークは見られない。

30

## 【0079】

これに対して面方位(23.8°オフ)のGaAs基板を用いて580で成長した実施例2の結晶のフォトルミネッセンス・スペクトル72は、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタグガード・ヘテロ界面励起子の-X遷移70に相当するところに明白なピークを持ち、それ以外の発光は見られない。

40

## 【0080】

図18は、実施例1で成長したヘテロ構造における、スタグガード・ヘテロ界面結晶の13Kにおけるフォトルミネッセンス・スペクトルで、成長温度によるスペクトル変化が見られる。成長温度580のフォトルミネッセンス・スペクトル80のみが、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ の-X遷移と思われる1920meVにブロードな発光を示すのみで、他の成長温度610のスペクトル82や、成長温度640のスペクトル81では、他の遷移が主となっている。1920meVのブロードな発光は、図1の励起子の-X遷移となる1821meVとは大きくずれている。

## 【0081】

図19は、実施例2で面方位(23.8°オフ)のGaAs基板に成長した結晶の13Kにおける

50

フォトルミネッセンス・スペクトルで、成長温度580、成長温度610、成長温度640の3通りについて比較を行っている。実施例2では、何れの成長温度でも、図1の励起子の $\Gamma$ -X遷移83となる1821meV近傍に単一の発光ピーク84、85、86が観測される。

#### 【0082】

図は載せていないが、(100)GaAs基板を用いて、 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{AlAs}$ の $x$ 組成を変えた場合のフォトルミネッセンス・スペクトルは、Alが60%と、80%の試料では、発光強度が40%の場合と比較し、一桁以上強度が減少した。

同様に、面方位(23.8°オフ)のGaAs基板を用いて、 $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{AlAs}$ の $x$ 組成を変えた場合のフォトルミネッセンス・スペクトルは、Alが60%と、80%の試料では、発光強度が40%の場合と比較して一桁以上強度が減少した。さらに発光のピークの位置は、図1の励起子の $\Gamma$ -X遷移83となる1821meV近傍には存在せず、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 自身の $\Gamma$ -X遷移や $\Gamma$ -Y遷移である1940meVや、2060meVのみに存在し、本発明の趣旨に適さないことが明らかとなった。

#### 【0083】

図18は、実施例6で示した半導体量子素子1を用いて、 $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層102とAlAs層103間の界面に40kV/cmの電界を印加し、光学クライオスタット中で4Kに冷却して測定したフォトルミネッセンス・スペクトルである。無電界時にはブロードな発光91のみであるが、40kV/cmの電界を印加することにより1821meVに近い1800.8meVに鋭い発光ピーク92が観測された。これは $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面励起子の $\Gamma$ -X遷移70に相当している。

#### 【0084】

印加する電界強度のみ変化させた測定では、電界を弱くした場合は、このピークが現れず、ブロードな発光91のみであることから、この鋭い発光ピーク92は、本発明の半導体量子素子1中で利用しようとしている三角ポテンシャル中の電子と正孔による励起子発光と考えられる。この鋭い発光ピーク92の半値幅は、0.57meVと極めて狭く、本発明の対象である $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面励起子がB-E凝縮を起こした結果、このようにシャープな発光となったと解釈できる。

#### 【実施例7】

#### 【0085】

これまで、本発明の半導体量子素子1として $\text{Al}_x\text{Ga}_{1-x}\text{As}/\text{AlAs}$ 系スタaggerド・ヘテロ界面について述べてきたが、本実施例では、図21に示すような $\text{Si}/\text{Si}_{0.7}\text{Ge}_{0.3}$ 系スタaggerド・ヘテロ界面を作製した。

図21は、本発明に係る半導体量子素子に $\text{SiGe}/\text{Si}$ 系半導体結晶を用いる場合の結晶の断面図である。

平坦な界面が得られるように、成長速度を充分遅くして、 $p^+$ -Si基板200上に、 $p$ - $\text{Si}/\text{Si}_{0.7}\text{Ge}_{0.3}$ 超格子層201(Si厚さ5nm/ $\text{Si}_{0.7}\text{Ge}_{0.3}$ 厚さ5nmを10ペア)、 $i$ - $\text{Si}_{0.7}\text{Ge}_{0.3}$ バッファ層202(厚さ40nm)、 $p$ -Si層203(厚さ20nm)、 $i$ -Si層204(厚さ8nm)、 $i$ - $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層205(厚さ8nm)、 $n$ - $\text{Si}_{0.86}\text{Ge}_{0.14}$ 層206(厚さ20nm)、 $i$ - $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層207(厚さ5nm)、 $n$ - $\text{Si}_{0.86}\text{Ge}_{0.14}$ 層208(厚さ10nm)、 $n$ -Si層209(厚さ5nm)を $\text{Si}/\text{Si}_{x7}\text{Ge}_{1-x}$ 系成長で一般的に用いられるMOCVD法を用いてエピタキシ成長した。

#### 【0086】

本実施例の半導体量子素子1の半導体構成では、半導体II2は $p$ -Si層203、半導体III3は $i$ -Si層204、半導体III4は $i$ - $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層205、半導体IV5は $n$ - $\text{Si}_{0.86}\text{Ge}_{0.14}$ 層206である。電極を形成し電界を印加した場合には、 $i$ -Si層204と $i$ - $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層205の界面に、電子210、正孔211が相対峙して三角ポテンシャル中にトラップされ、スタaggerド・ヘテロ界面励起子となる。この系では間接遷移のため再結合発光確率が低く、より長い時間B-E凝縮の状態が保たれる。

#### 【実施例8】

#### 【0087】

10

20

30

40

50

図 2 2 は実施例 8 で作成した半導体量子素子 1 の断面図である。本実施例の半導体量子素子 1 の半導体構成では、実施例 7 と同じく、半導体 I 2 は p-Si 層 2 0 3、半導体 II 3 は i-Si 層 2 0 4、半導体 III 4 は i-Si<sub>0.7</sub>Ge<sub>0.3</sub> 層 2 0 5、半導体 IV 5 は n-Si<sub>0.86</sub>Ge<sub>0.14</sub> 層 2 0 6 である。他の層 2 0 7、2 0 8 は、電界調整用の層である。図 2 2 では実施例 7 で述べた Si/Si<sub>0.7</sub>Ge<sub>0.3</sub> 系スタッガード・ヘテロ界面励起子を面の横方向に閉じ込める方法を説明する。

図 2 2 において、p<sup>+</sup>-Si 基板 2 0 0 上に、p-Si/Si<sub>0.7</sub>Ge<sub>0.3</sub> 超格子層 2 0 1 (Si 厚さ 5nm/Si<sub>0.7</sub>Ge<sub>0.3</sub> 厚さ 5nm を 1 0 ペア)、i-Si<sub>0.7</sub>Ge<sub>0.3</sub> バッファ層 2 0 2 (厚さ 40nm)、p-Si 層 2 0 3 (厚さ 20nm)、i-Si 層 2 0 4 (厚さ 8nm)、i-Si<sub>0.7</sub>Ge<sub>0.3</sub> 層 2 0 5 (厚さ 8nm)、i-Si<sub>0.86</sub>Ge<sub>0.14</sub> 層 2 1 2 (厚さ 20nm)、i-Si<sub>0.7</sub>Ge<sub>0.3</sub> 層 2 1 3 (厚さ 5nm)、i-Si<sub>0.86</sub>Ge<sub>0.14</sub> 層 2 1 4 (厚さ 5nm)、i-Si 層 2 1 5 (厚さ 100nm) を成長する。

#### 【0088】

電子・正孔対から表面側の層、全てをアンドープの半導体とすることで、結晶表面に印加する電界分布を 2 次元的に変えた場合、その分布が層 2 0 4 と層 2 0 5 に生じた電子・正孔対に反映されるようにしている。実施例 7 のように、強くドーピングした層を入れると、その層の上で 2 次元的に電界分布を変化させても、その層の下では、2 次元的に一様な分布となってしまうからである。

#### 【0089】

MOCVD 法を用いて上記のエピタキシ成長をした後、フォトリソトによるパターニングを行った後に、燐イオンの打ち込みを行ない、イオンが深く打ち込まれた n 型領域 2 1 6 と、浅く打ち込まれた n 型領域 2 1 7 を作製する。さらに n 側電極 2 1 8 と、p 側電極 2 1 9 を形成し、電源 2 2 0 を用いて素子のヘテロ界面に電界を印加する。

#### 【0090】

このときイオン打ち込みが深い部分 2 1 6 と浅い部分 2 1 7 の下部における電界の比は、アンドープである層 2 0 4、層 2 0 5、層 2 1 2、層 2 1 3、層 2 1 4 の全てを合計した厚さと、層 2 1 5 においてイオン打ち込みせずに、アンドープのまま残った部分の厚みを合計した厚みの逆数の比となる。

従って、イオン打ち込み深さの差を 100nm 程度に選ぶことで、励起子が感じるポテンシャル・バリアを 10meV 程度にすることができ、十分励起子の横方向の閉じ込めが可能となる。

#### 【0091】

実施例 8 では、イオン打ち込み部の深さを変えることで、電界の 2 次元分布を調整したが、この他に、熱拡散の深さを場所ごとに定める方法や、エッチングによりアンドープ層の厚さを変えて電界強度の 2 次元分布を制御するなど、種々の半導体プロセスを利用することも同様に本発明の目的が達成できることは明らかである。

#### 【0092】

また、半導体量子素子 1 の表面側の電極を任意の形状を持つように除去した領域を設けることで、電極がある部分の下は、電界が強くなり、無い部分の下は弱くなるようにすることが可能である。

従って図 1 6 で示した素子においては、励起子は電極が無い部分の下に集まる。電極の無い部分の大きさと、励起子までの距離を調整することで、電極のエッジ部分から生じた電界が電極の無い部分に程よく広がるように調整できる。これは有限要素法で、電極形状と半導体層の厚さや、誘電率などの条件を入れることで容易に設計できる事項である。このようにして得られた複数の B-E 凝縮状態を「もつれ状態」にすることで量子演算を行う半導体量子素子 1 が得られる。

#### 【0093】

本発明における半導体量子素子 1 は、上記実施の形態に限定されるものではなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

#### 【符号の説明】

10

20

30

40

50

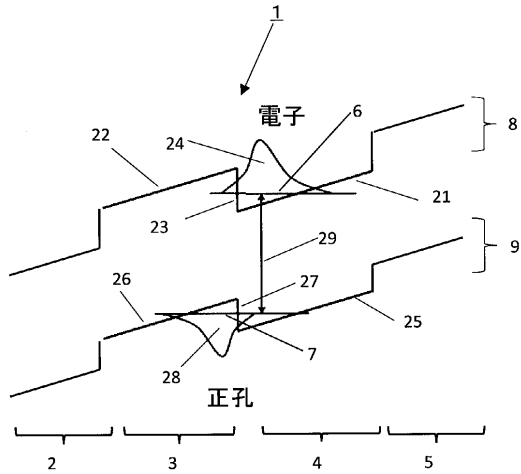
## 【 0 0 9 4 】

- 1 : 半導体量子素子
- 2 : 半導体 I
- 3 : 半導体 II
- 4 : 半導体 III
- 5 : 半導体 IV
- 6 : 三角ポテンシャル中の電子基底準位
- 7 : 三角ポテンシャル中の正孔基底準位
- 8 : 半導体量子素子ヘテロ構造の伝導帯
- 9 : 半導体量子素子ヘテロ構造の価電子帯 10
- 10 : 電界中の電子の波動関数
- 11 : 電界中の正孔の波動関数
- 12 : 電界中の量子井戸中の正孔の基底準位
- 13 : 電界中の量子井戸中の電子の基底準位
- 21 : 半導体 III の伝導帯
- 22 : 半導体 II の伝導帯
- 23 : 伝導帯のステップ
- 24 : 電子の波動関数
- 25 : 半導体 III の価電子帯
- 26 : 半導体 II の価電子帯 20
- 27 : 価電子帯のステップ
- 28 : 正孔の波動関数
- 29 : 電子準位と正孔準位間のエネルギー差
- 30 : AIAs 層
- 31 :  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  層
- 32 : AIAs の  $\sigma$  遷移
- 33 :  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  の  $\sigma$  遷移
- 34 : AIAs の X バンドの電子
- 35 :  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$  の  $\sigma$  バンドの正孔
- 36 :  $\sigma$  - X 励起子遷移 30
- 37 : ある場所のヘテロ接合界面の位置
- 38 : 別の場所における接合ヘテロ界面の位置
- 39 : ヘテロ接合界面 37 に対応した電子準位
- 40 : ヘテロ接合界面 38 に対応した電子準位
- 41 : ヘテロ接合界面 37 に対応した正孔準位
- 42 : ヘテロ接合界面 38 に対応した正孔準位
- 43 : 電子準位 39 と正孔準位 41 間の遷移が持つエネルギー
- 44 : 電子準位 40 と正孔準位 22 間の遷移が持つエネルギー
- 51 : 電界が 1kV/cm における電子の波動関数
- 52 : 電界が 1kV/cm における正孔の波動関数 40
- 53 : 電界が 20kV/cm における電子の波動関数
- 54 : 電界が 20kV/cm における正孔の波動関数
- 55 : 電界が 40kV/cm における電子の波動関数
- 56 : 電界が 40kV/cm における正孔の波動関数
- 57 : 励起子結合エネルギーの電界強度依存性
- 58 : 励起子ボア半径の電界強度依存性
- 59 : 励起子発光再結合確率の電界強度依存性
- 60 : 励起子エネルギーシフト量の電界強度依存性
- 70 :  $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ /AIAs スタaggerド・ヘテロ界面励起子の  $\sigma$  - X 遷移
- 71 : 実施例 1 の結晶のフォトルミネッセンス ( PL ) スペクトル 50

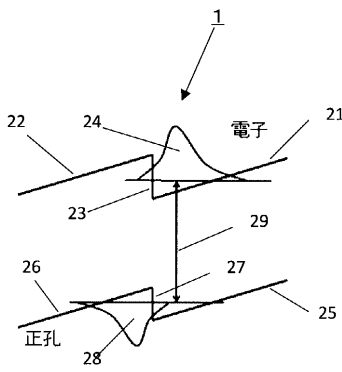
7 2 : 実施例 2 の結晶の P L スペクトル	
8 0 : 実施例 1 の成長温度580 のヘテロ構造の P L スペクトル	
8 1 : 実施例 1 の成長温度610 のヘテロ構造の P L スペクトル	
8 2 : 実施例 1 の成長温度640 のヘテロ構造の P L スペクトル	
8 3 : $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}/\text{AlAs}$ スタaggerド・ヘテロ界面励起子の $-X$ 遷移	
8 4 : 実施例 2 の成長温度580 のヘテロ構造の P L スペクトル	
8 5 : 実施例 2 の成長温度610 のヘテロ構造の P L スペクトル	
8 6 : 実施例 2 の成長温度640 のヘテロ構造の P L スペクトル	
9 1 : 実施例 6 の素子に40kV/cmの電界を印加し、4 K に冷却して測定した P L スペクトルのバックグラウンド分	10
9 2 : 実施例 6 の素子に40kV/cmの電界を印加し、4 K に冷却して測定した P L スペクトルで、スタaggerド・ヘテロ界面励起子の $-X$ 遷移	
9 5 : 実施例 1 で作製した結晶の A F M 画像	
9 6 : 実施例 2 で作製した結晶の A F M 画像	
1 0 0 : n -GaAs 基板	
1 0 1 : n -GaAs パッファー層	
1 0 2 : $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層	
1 0 3 : AlAs 層	
1 0 4 : $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層	
1 0 5 : AlAs 層	20
1 0 6 : $\text{Al}_{0.4}\text{Ga}_{0.6}\text{As}$ 層	
1 0 7 : AlAs 層	
1 0 8 : n -AlGaAs 層	
1 0 9 : n -GaAs 層	
1 1 0 : 電極	
1 1 1 : 表面側電極	
1 1 2 : レーザ光	
1 1 3 : 直流電圧	
1 1 4 : 電子	
1 1 5 : 正孔	30
2 0 0 : p <sup>+</sup> -Si 基板	
2 0 1 : p -Si/Si <sub>0.7</sub> Ge <sub>0.3</sub> 超格子層	
2 0 2 : i-Si <sub>0.7</sub> Ge <sub>0.3</sub> パッファー層	
2 0 3 : p -Si 層	
2 0 4 : i -Si 層	
2 0 5 : i -Si <sub>0.7</sub> Ge <sub>0.3</sub> 層	
2 0 6 : n -Si <sub>0.86</sub> Ge <sub>0.14</sub> 層	
2 0 7 : i -Si <sub>0.7</sub> Ge <sub>0.3</sub> 層	
2 0 8 : n -Si <sub>0.86</sub> Ge <sub>0.14</sub> 層	
2 0 9 : n -Si 層	40
2 1 0 : 電子	
2 1 1 : 正孔	
2 1 2 : i -Si <sub>0.86</sub> Ge <sub>0.14</sub> 層	
2 1 3 : i -Si <sub>0.7</sub> Ge <sub>0.3</sub> 層	
2 1 4 : i -Si <sub>0.86</sub> Ge <sub>0.14</sub> 層	
2 1 5 : i -Si 層	
2 1 6 : 燐イオンが深く打ち込まれたn型領域	
2 1 7 : 燐イオンが浅く打ち込まれたn型領域	
2 1 8 : n 側電極	
2 1 9 : p 側電極	50

- 2 2 0 : 電源
- 2 2 1 : 電子
- 2 2 2 : 正孔
- 3 0 1 : 電界中の 2 重量子井戸の伝導帯
- 3 0 2 : 電界中の 2 重量子井戸の価電子帯
- 3 0 3 : 電界中の 2 重量子井戸の伝導帯における電子の波動関数
- 3 0 4 : 電界中の 2 重量子井戸の価電子帯における正孔の波動関数
- 3 0 5 : 2 重量子井戸中の励起子フォトルミネッセンス・スペクトル・半値幅の温度依存性 (無電界時)
- 3 0 6 : 2 重量子井戸中の励起子フォトルミネッセンス・スペクトル・半値幅の温度依存性 (電界40kV/cm印加時) 10
- 3 0 7 : 励起子エネルギーの 2 次元面内ラフネス計算例
- 3 0 8 : 2 重量子井戸中の励起子の空間分布 (7K)
- 3 0 9 : 2 重量子井戸中の励起子の空間分布 (4K)
- 3 1 0 : B-E凝縮を起こした 2 重量子井戸中の励起子の空間分布 (50mK)
- 4 0 0 : AlGaAs/GaAs/AlAs/AlGaAsヘテロ構造の バンドを表す伝導帯
- 4 0 1 : AlGaAs/GaAs/AlAs/AlGaAsヘテロ構造の X バンドを表す伝導帯
- 4 0 2 : AlGaAs/GaAs/AlAs/AlGaAsヘテロ構造の バンドを表す価電子帯
- 4 0 3 : GaAs量子井戸
- 4 0 4 : AlAs量子井戸 20
- 4 0 5 : 電子・正孔準位間の間接遷移
- 4 0 6 : GaAs量子井戸における電子の準位
- 4 0 7 : AlAs量子井戸における電子の準位
- 4 1 0 : AlGaAs層
- 4 1 1 : GaAs層
- 4 1 2 : AlAs層
- 4 1 3 : AlGaAs層

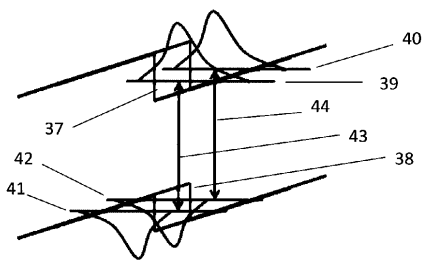
【 図 1 】



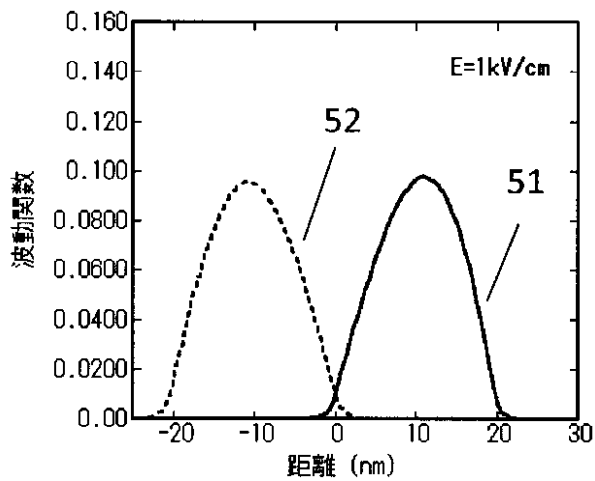
【 図 2 】



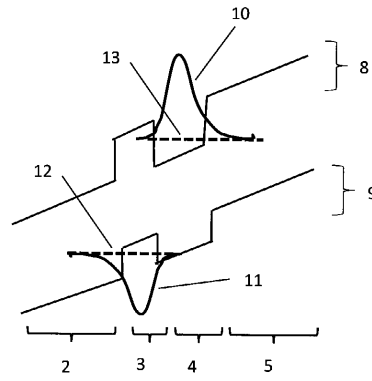
【 図 5 】



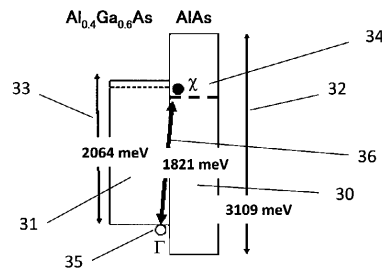
【 図 6 】



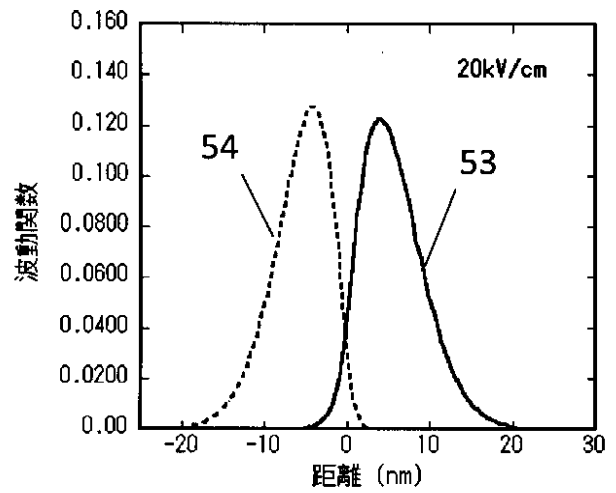
【 図 3 】



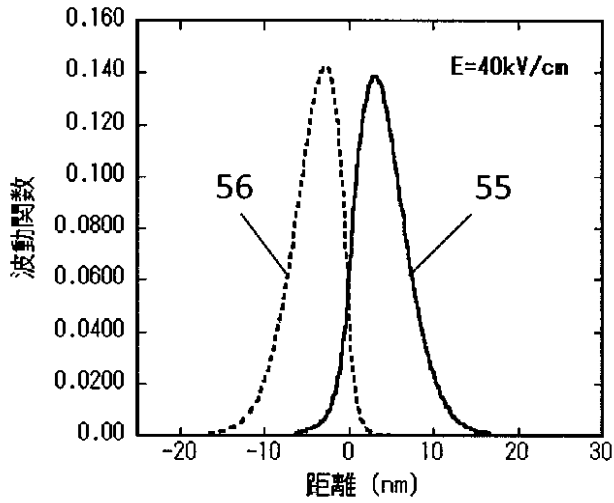
【 図 4 】



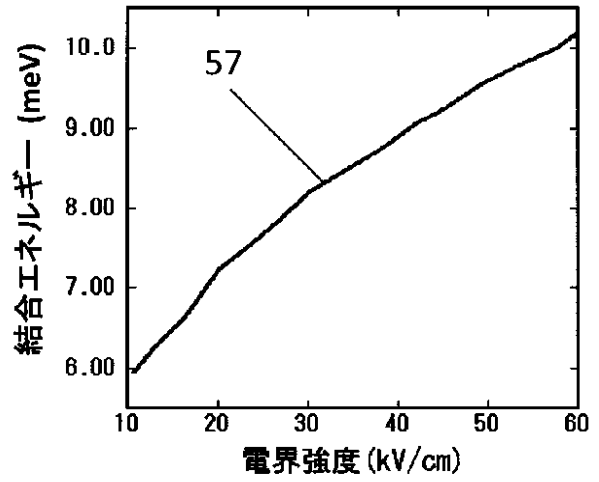
【 図 7 】



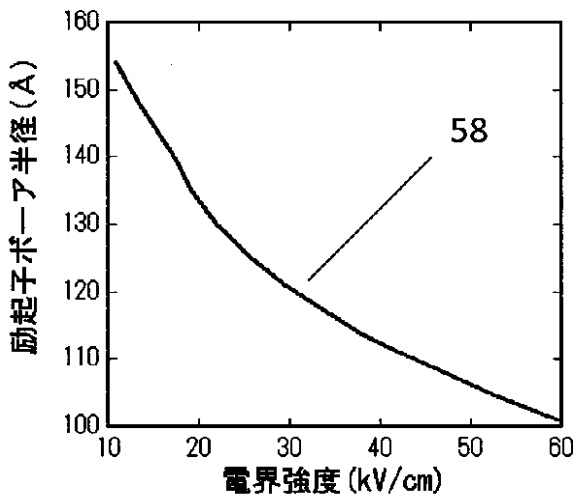
【 図 8 】



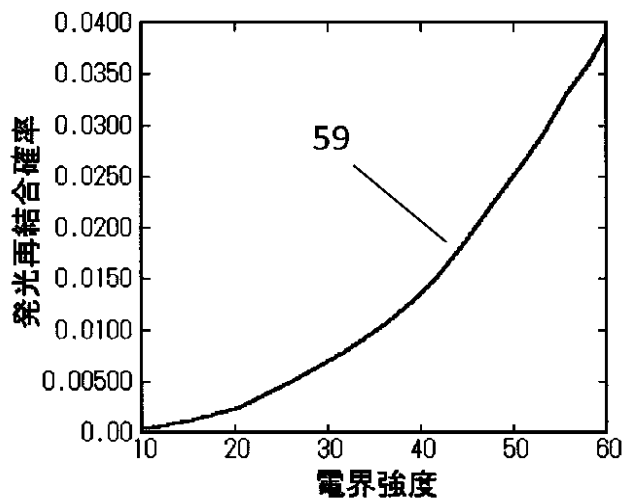
【 図 9 】



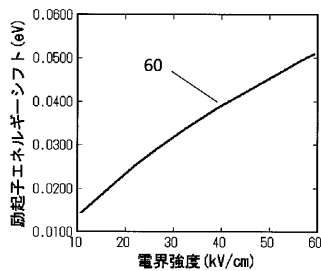
【 図 1 0 】



【 図 1 1 】

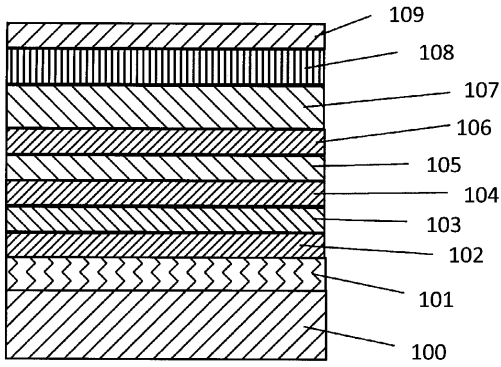


【 図 1 2 】

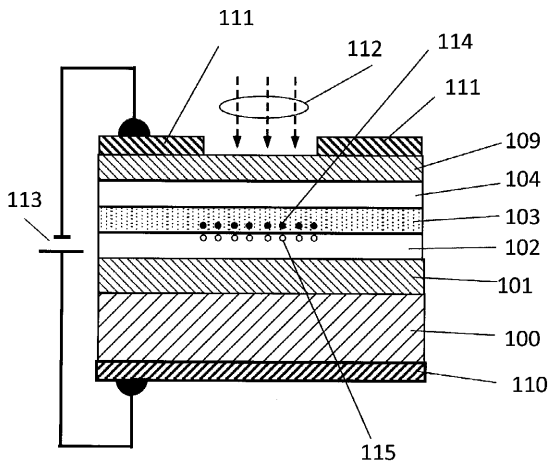




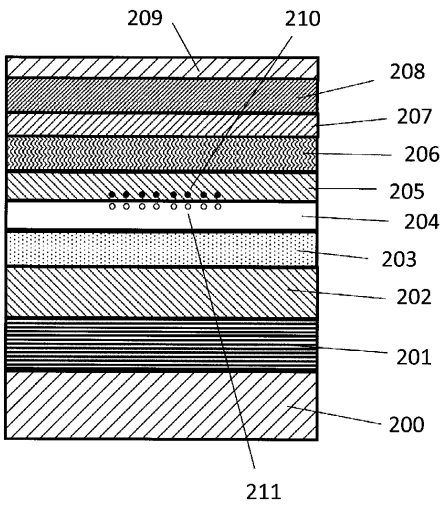
【図13】



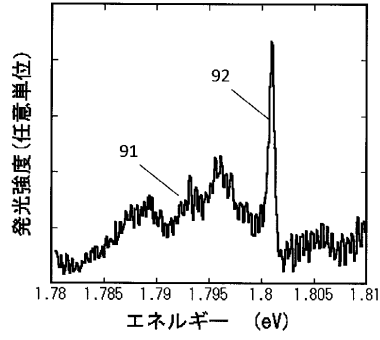
【図16】



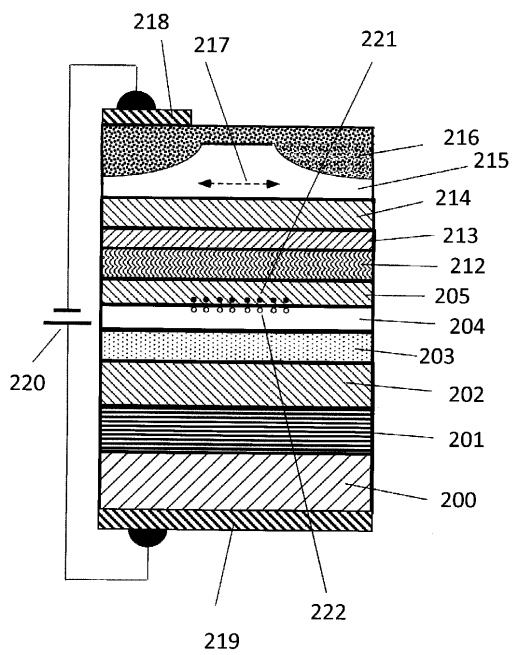
【図21】



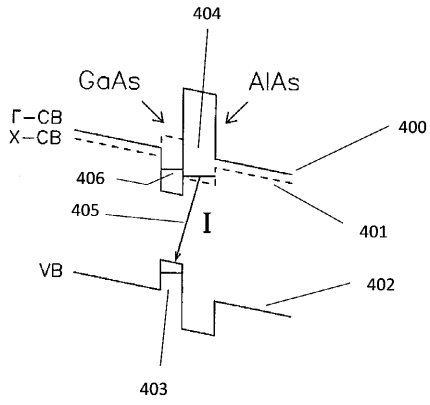
【図20】



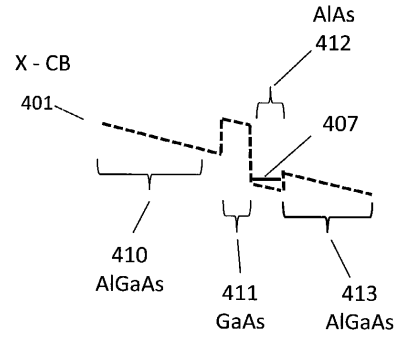
【図22】



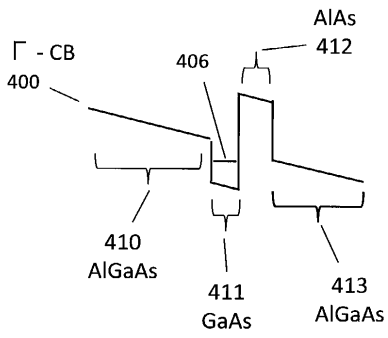
【 図 2 8 】



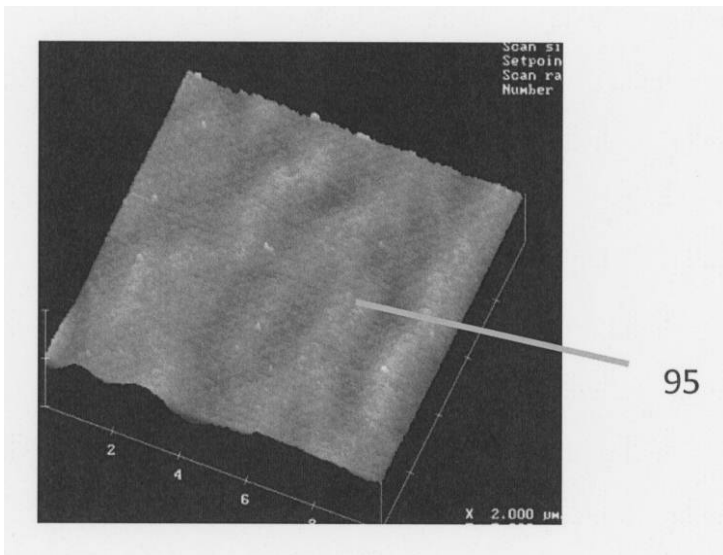
【 図 3 0 】



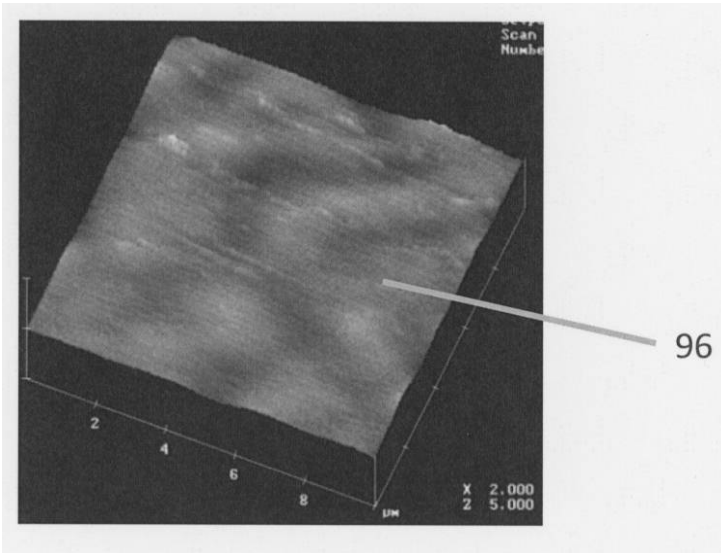
【 図 2 9 】



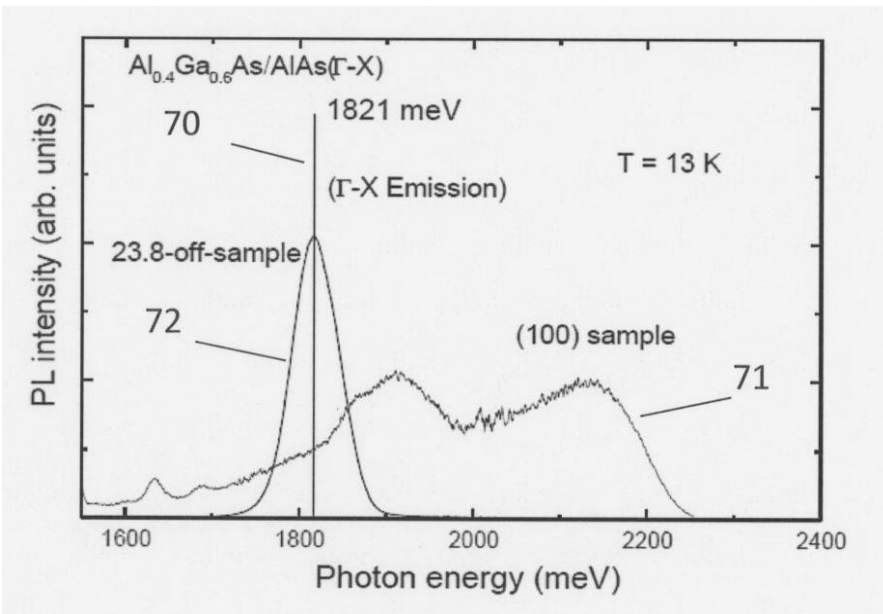
【 図 1 4 】



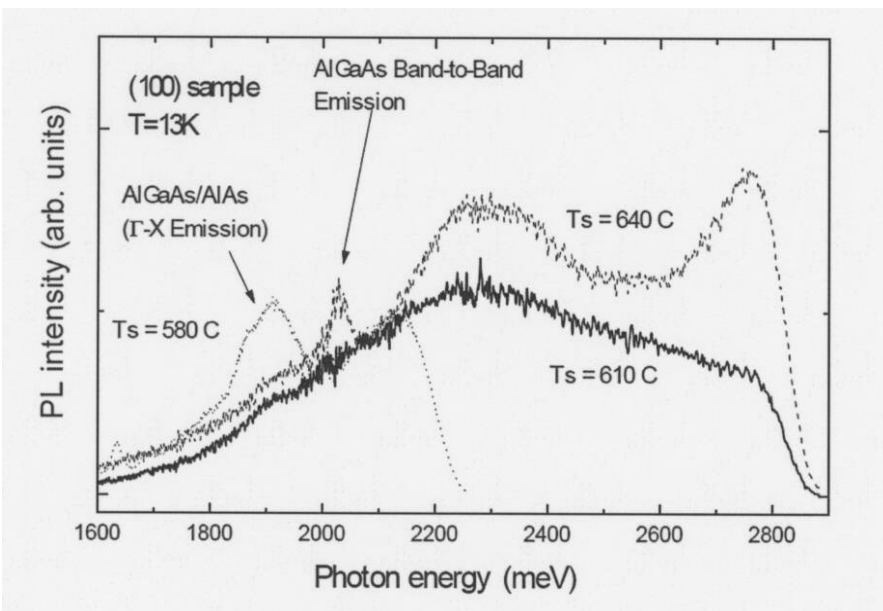
【 図 1 5 】



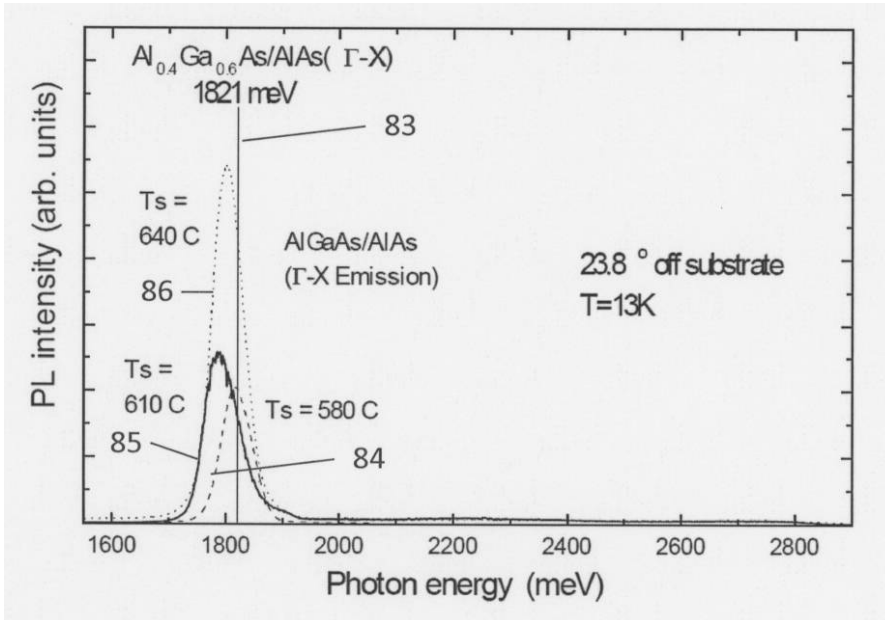
【 図 1 7 】



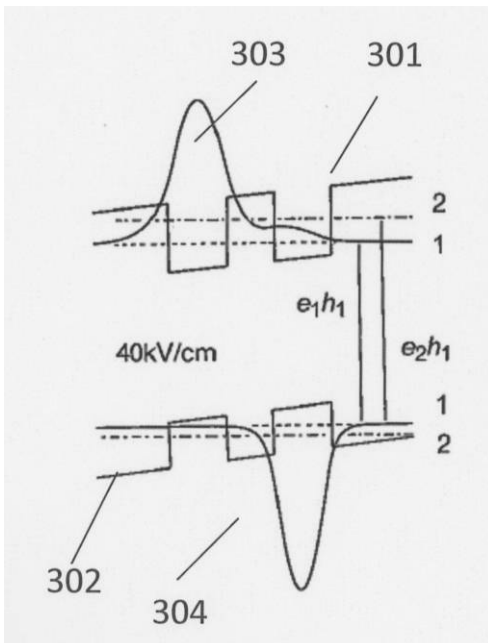
【 図 1 8 】



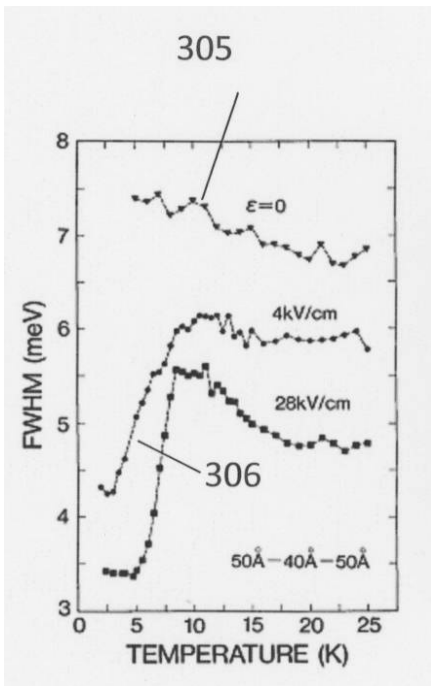
【 図 1 9 】



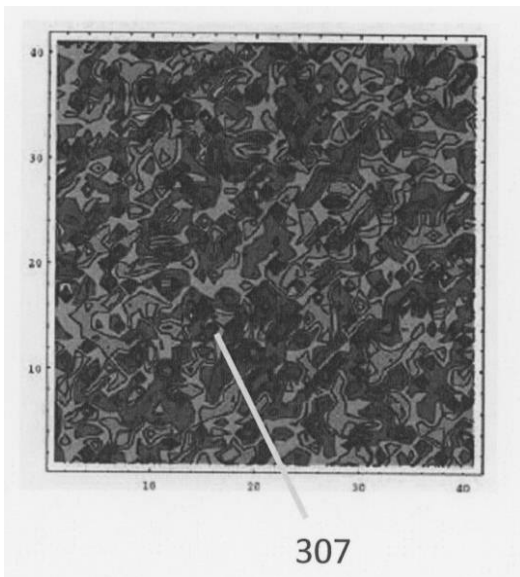
【 図 2 3 】



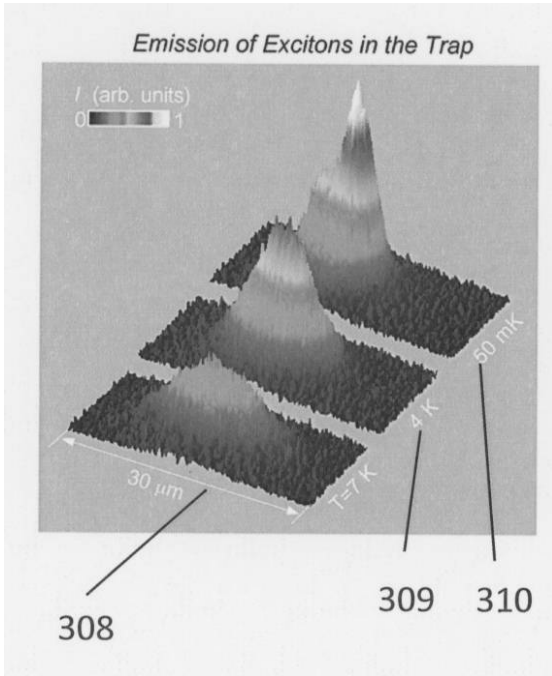
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



【 図 2 7 】

