

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-215029

(P2013-215029A)

(43) 公開日 平成25年10月17日(2013.10.17)

(51) Int.Cl. F I テーマコード (参考)
HO2M 3/155 (2006.01) HO2M 3/155 H 5H730

審査請求 未請求 請求項の数 10 O L (全 16 頁)

(21) 出願番号 特願2012-83410 (P2012-83410)
 (22) 出願日 平成24年3月31日 (2012.3.31)

(出願人による申告)平成21年度独立行政法人新エネルギー・産業技術総合開発機構 グリーンネットワーク・システム技術研究開発プロジェクト(グリーンITプロジェクト) / エネルギー利用最適化データセンタ基盤技術の研究開発 / データセンタの電源システムと最適直流化技術の開発委託研究、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 504205521
 国立大学法人 長崎大学
 長崎県長崎市文教町1-14
 (71) 出願人 593063161
 株式会社NTTファシリティーズ
 東京都港区芝浦三丁目4番1号
 (74) 代理人 100095485
 弁理士 久保田 千賀志
 (72) 発明者 黒川 不二雄
 長崎県長崎市文教町1-14 国立大学法人長崎大学内
 (72) 発明者 高橋 司
 東京都港区芝浦三丁目4番1号 株式会社NTTファシリティーズ内

最終頁に続く

(54) 【発明の名称】 制御装置および電力変換回路の制御装置

(57) 【要約】

【課題】

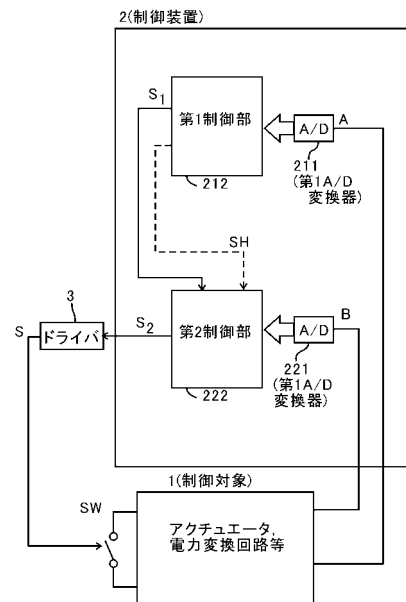
第1制御部が第2制御部のA/D変換回路の検出遅れを補償し、第2制御部が第1制御部の積分要素や微分要素の応答遅れを補償する制御装置および電力変換回路の制御装置を提供する。

【解決手段】

入力段に第1A/D変換器211を有する第1制御部212は、制御対象のサンプリング情報に基づき第1制御量である時間量を生成し、所定の基準時刻から第1制御量にかかる時間を経過したときに第2制御部222に動作開始信号を与え、

入力段に第2A/D変換器222を有する第2制御部222は、動作開始信号を入力したときは、制御対象のサンプリング情報に基づき第2制御量である時間量を生成し、動作開始信号の入力時から第2制御量にかかる時間を経過したときにスイッチ切り替え信号を出力する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

スイッチ切り替え信号を繰り返し送出することにより制御対象の出力を制御する制御装置であって、

入力段に第 1 A / D 変換器を有する第 1 制御部は、前記制御対象のサンプリング情報に基づき第 1 制御量である時間量を生成し、所定の基準時刻から前記第 1 制御量にかかる時間を経過したときに第 2 制御部または第 2 A / D 変換器に動作開始信号を与え、

入力段に前記第 2 A / D 変換器を有する前記第 2 制御部は、前記動作開始信号を入力したとき、または前記動作開始信号により動作開始した第 2 A / D 変換器からデジタル信号を受け取ったときは、前記制御対象のサンプリング情報に基づき第 2 制御量である時間量を生成し、前記動作開始信号の入力時から前記第 2 制御量にかかる時間を経過したときに前記スイッチ切り替え信号を出力し、

前記第 1 制御量が、前記第 2 制御部が持つ前記第 2 サンプリング情報の検出遅れを補償し、

前記第 2 制御量が、前記第 1 制御部が持つ過去のサンプリングに由来する第 1 制御量の応答遅れを補償する、

ことを特徴とする制御装置。

【請求項 2】

前記第 1 制御量またはさらに前記第 2 制御量がフィードバック制御量であることを特徴とする請求項 1 に記載の制御装置。

【請求項 3】

スイッチ切り替え信号を繰り返し送出することにより制御対象の出力を制御する制御装置であって、

入力段に A / D 変換器を有する第 1 制御部は、前記制御対象のサンプリング情報に基づき第 1 制御量である時間量を生成し、基準時刻から前記第 1 制御量にかかる時間を経過したときに第 2 制御部に動作開始信号を与え、

入力段にアナログ積分回路を有する前記第 2 制御部は、前記動作開始信号を入力したときは、前記制御対象から取得したアナログ信号に基づき第 2 制御量である時間量を生成し、前記動作開始信号の入力時から前記第 2 制御量にかかる時間を経過したときに前記スイッチ切り替え信号を生成することで、

前記第 1 制御量が、前記第 2 制御部が持つ前記アナログ信号の検出遅れを補償し、

前記第 2 制御量が、前記第 1 制御部が持つ過去のサンプリングに由来する第 1 制御量の応答遅れを補償する、

ことを特徴とする制御装置。

【請求項 4】

前記第 1 制御量またはさらに前記第 2 制御量がフィードバック制御量であることを特徴とする請求項 3 に記載の制御装置。

【請求項 5】

スイッチ切り替え信号を繰り返し送出することにより電力変換回路の出力を制御する制御装置であって、

入力段に第 1 A / D 変換器を有する第 1 制御部は、前記電力変換回路のサンプリング情報に基づき第 1 制御量である時間量を生成し、基準時刻から前記第 1 制御量にかかる時間を経過したときに前記第 2 制御部または第 2 A / D 変換器に動作開始信号を与え、

入力段に前記第 2 A / D 変換器を有する第 2 制御部は、前記動作開始信号を入力したとき、または前記動作開始信号により動作開始した第 2 A / D 変換器からデジタル信号を受け取ったときは、前記電力変換回路のサンプリング情報に基づき第 2 制御量である時間量を生成し、前記動作開始信号の入力時から前記第 2 制御量にかかる時間を経過したときに前記スイッチ切り替え信号を生成することで、

前記第 1 制御量が、前記第 2 制御部が持つ前記第 2 サンプリング情報の検出遅れを補償し、

10

20

30

40

50

前記第 2 制御量が、前記第 1 制御部が持つ過去のサンプリングに由来する第 1 制御量の応答遅れを補償する、
ことを特徴とする電力変換回路の制御装置。

【請求項 6】

前記第 1 制御量がフィードバック制御量であることを特徴とする請求項 5 に記載の電力変換回路の制御装置。

【請求項 7】

前記電力変換回路がインダクタへのエネルギーの蓄積および放出を繰り返し、
前記第 1 サンプリング情報が、少なくとも、出力電圧の過去のサンプリング値であり、
前記第 1 制御部は、前記第 1 サンプリング情報から前記第 1 制御量をフィードバック制御量として生成し、

前記第 2 サンプリング情報が、前記インダクタを流れる電流の前記動作開始信号の入力時におけるサンプリング値であり、前記第 2 制御部は、前記サンプリング値と前記出力電圧の増・減に応じて減・増する参照値 ($E_B - A(E_o - E_r)$) との偏差を前記第 2 制御量として生成する、

ことを特徴とする請求項 5 または 6 に記載の電力変換回路の制御装置。

【請求項 8】

スイッチ切り替え信号を繰り返し送出的ることにより電力変換回路の出力を制御する制御装置であって、

入力段に A / D 変換器を有する前記第 1 制御部は、前記電力変換回路のサンプリング情報に基づき第 1 制御量である時間量を生成し、所定の基準時刻から前記第 1 制御量にかかる時間を経過したときに前記第 2 制御部に動作開始信号を与え、

入力段にアナログ積分回路を有する前記第 2 制御部は、前記動作開始信号を入力したときは、前記電力変換回路から取得したアナログ信号に基づき第 2 制御量である時間量を生成し、前記動作開始信号の入力時から前記第 2 制御量にかかる時間を経過したときに前記スイッチ切り替え信号を生成することで、

前記第 1 制御量が、前記第 2 制御部が持つ前記アナログ信号の検出遅れを補償し、

前記第 2 制御量が、前記第 1 制御部が持つ過去のサンプリングに由来する第 1 制御量の応答遅れを補償する、

ことを特徴とする電力変換回路の制御装置。

【請求項 9】

前記第 1 制御量またはさらに前記第 2 制御量がフィードバック制御量であることを特徴とする請求項 8 に記載の電力変換回路の制御装置。

【請求項 10】

前記電力変換回路がインダクタへのエネルギーの蓄積および放出を繰り返し、

前記サンプリング情報が、少なくとも、出力電圧のサンプリング値であり、前記第 1 制御部は、前記サンプリング情報から前記第 1 制御量をフィードバック制御量として生成し、

前記電力変換回路から取得したアナログ信号が、前記インダクタを流れる電流の前記動作開始信号の入力時における電流値であり、前記第 2 制御部は、前記電流値と前記出力電圧の増・減に応じて減・増する参照値 ($E_B - A(E_o - E_r)$) との偏差を前記第 2 制御量として生成する、

ことを特徴とする請求項 8 または 9 に記載の電力変換回路の制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、第 1 制御部と当該第 1 制御部からの信号 (トリガ) により動作を開始する第 2 制御部とを備え、第 1 制御部が第 2 制御部の検出遅れを補償し、第 2 制御部が第 1 制御部の応答遅れを補償する制御装置および電力変換回路の制御装置に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

図 1 1 に、従来の DC / DC コンバータ 8 および制御装置 9 1 を示す。

図 1 1 の DC / DC コンバータ 8 は降圧型である。図 1 2 に、出力電圧 e_o とインダクタ電流 i_L とスイッチ SW の動作状態を示す。

制御装置 9 1 は、DC / DC コンバータ 8 の出力電圧 e_o およびインダクタ電流 i_L (インダクタ電流検出用抵抗 r_L の電圧降下) を検出する。

出力電圧 e_o のデジタル検出値を E_o とし、インダクタ電流 i_L のデジタル検出値 I_L をとする。

制御装置 9 1 は、これらの検出値の乗算値 ($E_o \times I_L$) に基づき PID 制御量を求める。具体的には、制御装置 9 1 は、スイッチ SW のオフタイミング T_{on} を決定し、ドライブ回路 9 2 を介してスイッチ SW を制御する。

10

【 0 0 0 3 】

図 1 1 の DC / DC コンバータ 8 において、出力電圧 e_o が高くなるかインダクタ電流 i_L が目標値 i_L^* (出力電圧 e_o をインダクタ電流 i_L に換算した値) よりも大きくなる兆候を示したとする。この場合には、制御装置 9 1 はスイッチ SW のオフタイミングを早めることで出力電圧 e_o の上昇を抑制する。

一方、図 1 1 の DC / DC コンバータ 8 において、出力電圧 e_o が低くなるかインダクタ電流 i_L が目標値 i_L^* よりも小さくなる兆候を示したとする。この場合には、制御装置 9 1 はスイッチ SW のオフタイミングを遅らすことで出力電圧 e_o の低下を抑制する。

【 発明の開示 】

20

【 発明が解決しようとする課題 】

【 0 0 0 4 】

図 1 1 に示した制御装置 9 1 では、PID 制御量のうち、D 要素や I 要素には、今回のスイッチング周期以前における、切り替えタイミングにかかる情報 (出力電圧 e_o の過去の検出値) が必然的に含まれる。このため、D 要素・I 要素に基づく制御要素の応答に遅れが生じる。

【 0 0 0 5 】

図 1 1 に示した制御装置 9 1 の制御部では、インダクタ電流 i_L を A / D 変換回路 (図 1 1 では「A / D」で示す) を用いて検出し、この検出値をインダクタ電流の目標値 I_L^* とデジタル比較することができるが、A / D 変換回路の動作には検出遅れが生じる。

30

もちろん、検出遅れが問題にならない高速の A / D 変換回路を用いることで、検出遅れは緩和される。しかし、上記の要求に応えることができる A / D 変換回路 (A / D 変換器) は極めて高価であるため、「検出遅れが問題にならない高速の A / D 変換回路を用いること」は、現実的ではない。

【 0 0 0 6 】

図 1 1 に示した制御装置 9 1 の制御部では、インダクタ電流 i_L と、インダクタ電流の目標値 i_L^* (図示しない) をアナログ積分回路を使用して比較することもできるが、この場合にも検出遅れが生じる。

【 0 0 0 7 】

本発明の目的は、第 1 制御部が第 2 制御部の A / D 変換回路の検出遅れを補償し、第 2 制御部が第 1 制御部の積分要素や微分要素の応答遅れを補償する制御装置および電力変換回路の制御装置を提供することである。

40

【 課題を解決するための手段 】

【 0 0 0 8 】

(1)

スイッチ切り替え信号を繰り返し送出することにより制御対象の出力を制御する制御装置であって、

入力段に第 1 A / D 変換器を有する第 1 制御部は、前記制御対象のサンプリング情報に基づき第 1 制御量である時間量を生成し、所定の基準時刻から前記第 1 制御量にかかる時間を経過したときに第 2 制御部または第 2 A / D 変換器に動作開始信号を与え、

50

入力段に前記第 2 A / D 変換器を有する前記第 2 制御部は、前記動作開始信号を入力したとき、または前記動作開始信号により動作開始した第 2 A / D 変換器からデジタル信号を受け取ったときは、前記制御対象のサンプリング情報に基づき第 2 制御量である時間量を生成し、前記動作開始信号の入力時から前記第 2 制御量にかかる時間を経過したときに前記スイッチ切り替え信号を出力し、

前記第 1 制御量が、前記第 2 制御部が持つ前記第 2 サンプリング情報の検出遅れを補償し、

前記第 2 制御量が、前記第 1 制御部が持つ過去のサンプリングに由来する第 1 制御量の応答遅れを補償する、

ことを特徴とする制御装置。

10

【 0 0 0 9 】

本発明では、第 1 制御部が第 2 制御部が動作開始するタイミングを決定する。

このタイミングは、第 1 制御部が第 2 制御部に動作開始信号を出力することで、実現される。

すなわち、第 1 制御部の役割は、第 2 制御部の動作開始の時点を変更している。

本発明では、第 2 制御部が持つ第 2 サンプリング情報の検出遅れを補償したい。実際には、第 2 制御部は、動作開始信号を受け取ってからある時間経過しないと値が出せない。

この「ある時間」の開始時刻を第 1 制御部が決定する。

すなわち、第 1 制御部は、第 2 A / D 変換器のサンプリング開始時刻を変更する。

A / D 変換結果 (I_L の値) が第 2 サンプリング情報の目標値に達しないとき、第 1 制御部 5 2 1 は A / D 変換の開始タイミングを遅くする (動作開始信号の出力を遅らせる) ことで、第 2 制御量である時間量を長くすることができる。また、A / D 変換結果 (I_L の値) が目標値を超えているときは、第 1 制御部 5 2 1 は A / D 変換の開始タイミングを早める (動作開始信号の出力を早める) ことで、第 2 制御量である時間量を短くすることができる。

20

【 0 0 1 0 】

(2)

前記第 1 制御量またはさらに前記第 2 制御量がフィードバック制御量であることを特徴とする (1) に記載の制御装置。

【 0 0 1 1 】

(3)

スイッチ切り替え信号 (スイッチは制御対象に含まれていてもよいし、制御装置に含まれていてもよい) を繰り返し送出することにより制御対象の出力を制御する制御装置であって、

入力段に A / D 変換器を有する第 1 制御部は、前記制御対象のサンプリング情報 (典型的には過去のサンプリング時におけるサンプリング情報 : 第 1 サンプリング情報) に基づき第 1 制御量である時間量を生成し、所定の (通常予め設定されている) 基準時刻から前記第 1 制御量にかかる時間を経過したときに第 2 制御部に動作開始信号を与え、

入力段にアナログ積分回路を有する前記第 2 制御部は、前記動作開始信号を入力したときは、前記制御対象から取得したアナログ信号 (典型的には前記動作開始信号の入力時以降に取得したアナログ信号) に基づき第 2 制御量である時間量を生成し、前記動作開始信号の入力時から前記第 2 制御量にかかる時間を経過したときに前記スイッチ切り替え信号を生成することで、

40

前記第 1 制御量が、前記第 2 制御部が持つ前記アナログ信号の検出遅れを補償し、

前記第 2 制御量が、前記第 1 制御部が持つ過去のサンプリングに由来する第 1 制御量の応答遅れを補償する、

ことを特徴とする制御装置。

【 0 0 1 2 】

第 1 制御部は、第 2 制御部のアナログ積分回路の積分開始点を変更する。

すなわち、積分値が第 2 サンプリング情報により定められる目標値 (この目標値は任意

50

に設定できる)に達し、第1制御部は第2制御部のアナログ積分回路の積分開始タイミングを遅くする(動作開始信号の出力を遅らせる)ことで、第2制御量である時間量を長くすることができる。

また、A/D変換結果(I_L の値)が目標値を超えているときは、第1制御部521はA/D変換の開始タイミングを早める(動作開始信号の出力を早める)ことで、第2制御量である時間量を短くすることができる。

【0013】

(4)

前記第1制御量またはさらに前記第2制御量がフィードバック制御量であることを特徴とする(3)に記載の制御装置。

【0014】

(5)

スイッチ切り替え信号を繰り返し送出的ることにより電力変換回路の出力を制御する制御装置であって、

入力段に第1A/D変換器を有する第1制御部は、前記電力変換回路のサンプリング情報に基づき第1制御量である時間量を生成し、基準時刻から前記第1制御量にかかる時間を経過したときに前記第2制御部または第2A/D変換器に動作開始信号を与え、

入力段に前記第2A/D変換器を有する第2制御部は、前記動作開始信号を入力したとき、または前記動作開始信号により動作開始した第2A/D変換器からデジタル信号を受け取ったときは、前記電力変換回路のサンプリング情報に基づき第2制御量である時間量を生成し、前記動作開始信号の入力時から前記第2制御量にかかる時間を経過したときに前記スイッチ切り替え信号を生成することで、

前記第1制御量が、前記第2制御部が持つ前記第2サンプリング情報の検出遅れを補償し、

前記第2制御量が、前記第1制御部が持つ過去のサンプリングに由来する第1制御量の応答遅れを補償する、

ことを特徴とする電力変換回路の制御装置。

【0015】

(6)

前記第1制御量またはさらに前記第2制御量がフィードバック制御量であることを特徴とする(5)に記載の電力変換回路の制御装置。

【0016】

(7)

前記電力変換回路がインダクタへのエネルギーの蓄積および放出を繰り返し、

前記第1サンプリング情報が、少なくとも、出力電圧の過去のサンプリング値であり、前記第1制御部は、前記第1サンプリング情報から前記第1制御量をフィードバック制御量として生成し、

前記第2サンプリング情報が、前記インダクタを流れる電流の前記動作開始信号の入力時におけるサンプリング値であり、前記第2制御部は、前記サンプリング値と前記出力電圧の増・減に応じて減・増する参照値($E_B - A(E_o - E_r)$)との偏差を前記第2制御量として生成する、

ことを特徴とする(5)または(6)に記載の電力変換回路の制御装置。

【0017】

(8)

スイッチ切り替え信号を繰り返し送出的ることにより電力変換回路の出力を制御する制御装置であって、

入力段にA/D変換器を有する前記第1制御部は、前記電力変換回路のサンプリング情報(典型的には過去のサンプリング時におけるサンプリング情報:第1サンプリング情報)に基づき第1制御量である時間量を生成し、所定の(予め設定されている)基準時刻から前記第1制御量にかかる時間を経過したときに前記第2制御部に動作開始信号を与え、

10

20

30

40

50

入力段にアナログ積分回路を有する前記第 2 制御部は、前記動作開始信号を入力したときは、前記電力変換回路から取得したアナログ信号（典型的には前記動作開始信号の入力時以降に取得したアナログ信号）に基づき第 2 制御量である時間量を生成し、前記動作開始信号の入力時から前記第 2 制御量にかかる時間を経過したときに前記スイッチ切り替え信号を生成することで、

前記第 1 制御量が、前記第 2 制御部が持つ前記アナログ信号の検出遅れを補償し、

前記第 2 制御量が、前記第 1 制御部が持つ過去のサンプリングに由来する第 1 制御量の応答遅れを補償する、

ことを特徴とする電力変換回路の制御装置。

【0018】

(9)

前記第 1 制御量またはさらに前記第 2 制御量がフィードバック制御量であることを特徴とする(8)に記載の電力変換回路の制御装置。

【0019】

(10)

前記電力変換回路がインダクタへのエネルギーの蓄積および放出を繰り返し、

前記サンプリング情報が、少なくとも、出力電圧のサンプリング値であり、前記第 1 制御部は、前記サンプリング情報から前記第 1 制御量をフィードバック制御量として生成し、

前記電力変換回路から取得したアナログ信号が、前記インダクタを流れる電流の前記動作開始信号の入力時における電流値であり、前記第 2 制御部は、前記電流値と前記出力電圧の増・減に応じて減・増する参照値 ($E_B - A(E_o - E_r)$) との偏差を前記第 2 制御量として生成する、

ことを特徴とする(8)または(9)に記載の電力変換回路の制御装置。

【発明の効果】

【0020】

本発明によれば、第 1 制御部が第 2 制御部の検出遅れを補償し、第 2 制御部が第 1 制御部の応答遅れを補償することができる。

すなわち、第 1 制御部と第 2 制御部とは、それぞれが持つ弱点（第 1 制御部では応答遅れ、第 2 制御部では検出遅れ）を相互に補完することができる。

これにより、高速の A/D 変換回路を使用することなく、高速に応答できる制御装置を実現できる。

本発明は、電力制御回路の制御装置として使用できることはもちろん、アクチュエータ等のための制御装置として使用することができる。

【図面の簡単な説明】

【0021】

【図 1】本発明の制御装置を示すブロック図である。

【図 2】本発明の電力変換回路の制御装置の第 1 実施形態を示すブロック図である。

【図 3】第 1 制御部および第 2 制御部を示す説明図である。

【図 4】第 2 制御部を詳しく示す説明図である。

【図 5】図 2 に示した制御装置が生成するスイッチ駆動信号を示す図である。

【図 6】出力電圧 e_o と、インダクタ電流 i_L と、スイッチング周期同期信号 $S_{C_{SYN}C}$ と、スイッチ SW の動作状態と、動作開始信号 S_1 との関係を示す図である。

【図 7】DC/DC コンバータ 4 の制御装置 5 を示す回路図である。

【図 8】(A) は第 2 実施形態の第 2 制御部を示す説明図であり、(B) アナログ積分回路の動作説明図である。

【図 9】第 2 実施形態における、出力電圧 e_o と、インダクタ電流 i_L と、スイッチ SW の動作状態と、動作開始信号 S_1 との関係を示す図である。

【図 10】第 2 制御部が、VCO とカウンタとからなる。第 2 実施形態の変更例を示す図である。

10

20

30

40

50

【図 1 1】従来技術を説明するための電力変換回路および従来の制御装置の説明図である。

【図 1 2】図 1 1 に示した従来の制御装置に入力される出力電圧およびインダクタ電流、および制御装置が生成するスイッチ駆動信号を示す図である。

【発明を実施するための形態】

【0022】

《第 1 実施形態》

図 1 は本発明の実施形態の基本構成を示す図である。

制御対象 1 はアクチュエータ、電力変換回路等であり、この制御対象 1 は制御装置 2 により制御される。

10

【0023】

制御装置 2 は、第 1 制御部 2 1 2 と第 2 制御部 2 2 2 とを備えている。

第 1 制御部 2 1 2 の前段には第 1 A / D 変換器 2 1 1 が接続されている。

第 1 制御部 2 1 2 は、制御対象 1 からサンプリング情報 A を第 1 A / D 変換器 2 1 1 を介して受け取り、このサンプリング情報に基づき、第 1 制御量である時間量を生成する。そして、第 1 制御部 2 1 2 は、予め設定されている基準時刻から第 1 制御量にかかる時間が経過したときに第 2 制御部 2 2 2 に動作開始信号 S_1 を与える。

【0024】

第 2 制御部 2 2 2 の前段には第 2 A / D 変換器 2 2 1 が接続されている。

第 2 制御部 2 2 2 は、第 1 制御部 2 1 2 から動作開始信号 S_1 を受け取ると、サンプリング情報 B を第 2 A / D 変換器 2 2 1 を介して受け取る。

20

そして、このサンプリング情報に基づき、第 2 制御量である時間量を生成する。そして、動作開始信号 S_1 の入力時から第 2 制御量にかかる時間を経過したときに第 2 時間量を決定する信号 S_2 を出力する。

なお、第 1 制御部 2 1 2 は、予め設定されている基準時刻から第 1 制御量にかかる時間が経過したときに第 2 A / D 変換器 2 2 1 に動作開始信号 S_1 を与えるようにもできる。

【0025】

ドライバ 3 は、スイッチ SW を駆動する。図 1 では SW を 1 つだけ図示してあるがこれには限定されない。

たとえば、制御対象が三相のインバータ等を含む場合には、スイッチは複数（たとえば、3 個または 6 個）である。

30

【0026】

上記の制御の結果、出力電圧 e_o が出力電圧目標値 e_o^* の許容範囲を超えて大きくなる場合がある。この場合には、第 1 制御部 2 1 2 は、第 1 制御量を小さくするように動作する。すなわち、第 1 制御部 2 1 2 は、動作開始信号 S_1 の出力タイミングを早めるように動作する。

また、上記の制御の結果、出力電圧 e_o が出力電圧目標値 e_o^* の許容範囲を超えて小さくなる場合がある。この場合には、第 1 制御部 2 1 2 は、第 1 制御量を大きくするように動作する。すなわち、第 1 制御部 2 1 2 は、動作開始信号 S_1 の出力タイミングを遅らせるように動作する。

40

これに相乗して、第 1 制御部 2 1 2 が出力する目標値信号 $SH(B^*)$ に基づく信号 A の制御が行われる。

すなわち、第 2 A / D 変換器 2 2 1 の制御遅れは動作開始信号 S_1 により補償される。

また、第 1 制御部が持つ過去のサンプリングに由来する第 1 制御量の応答遅れは、第 2 制御量の値により補償される。

【0027】

図 1 では、第 1 制御量が、第 2 制御部 2 2 2 が持つ第 2 サンプリング情報の検出遅れを補償することができる。また、第 2 制御量が、第 1 制御部 2 1 2 が持つ過去のサンプリングに由来する第 1 制御量の応答遅れを補償することができる。

以下、図 1 の回路を詳細に説明する。

50

【 0 0 2 8 】

図 2 は D C / D C コンバータ 4 の制御装置 5 を示す回路図である。D C / D C コンバータ 4 は図 1 の制御対象 1 に対応し、制御装置 5 は図 1 の制御対象 1 に対応する。

以下、降圧型の D C / D C コンバータを使用した実施形態を説明するが、図 2 の制御装置 5 は昇圧型や昇降圧型の D C / D C コンバータにも適用できる。

D C / D C コンバータ 4 では、入力端子 a_1 、 a_2 (a_2 はグランド端子) に、直流電源 D C (電圧 E_i) が接続されている。

入力端子 a_1 はスイッチ S W に接続され、スイッチ S W は転流用のダイオード D F を介して接地されている。スイッチ S W とダイオード D F との接続点は、インダクタ L に接続されている。インダクタ L には直列にインダクタ電流検出用抵抗 r_L が接続されている。

さらに、インダクタ電流検出用抵抗 r_L の他方端子は、出力端子 b_1 に接続されるとともに、キャパシタ C を介して接地されている。

出力端子 b_1 、 b_2 (b_2 はグランド端子) には負荷 L O A D が接続されている。

【 0 0 2 9 】

図 2 では、制御装置 5 は、出力電圧 e_o と、インダクタ電流 i_L の電圧変換値 e_{iL} とを入力している。

制御装置 5 は、第 1 制御部 5 2 1 と第 2 制御部 5 2 2 からなる。出力電圧 e_o は A / D 変換器 5 1 1 を介して第 1 制御部 5 2 1 に入力され、インダクタ電流 i_L は A / D 変換器 5 1 2 を介して第 2 制御部 5 2 2 に入力される。

制御装置 5 は、スイッチ S W のオン・オフ制御信号 S をドライバ 6 (図 1 のドライバ 3 に相当する) に送出し、ドライバ 6 はこのオン・オフ制御信号 S に基づき、スイッチ S W を駆動する。

【 0 0 3 0 】

本実施形態では、第 1 制御部 5 2 1 は、図 3 に示すように、P I D 制御量演算部 5 2 1 1 と、基本時間量生成部 5 2 1 2 とからなり、基準タイミング信号 S_{CLK} を、制御量に応じた遅れ時間だけ遅延させることにより動作開始信号 S_1 を発生する。

P I D 制御部 2 2 1 1 は、P I D 制御を行っており、たとえば、次の (1) 式により、P I D 制御量を計算している。

$$E_B - K_P (E_r - E_{o,N}) - K_I (E_r - E_{o,j}) - K_P (d E_{o,N} / d t) \cdots (1)$$

【 0 0 3 1 】

K_P 、 K_I 、 K_D は比例定数、 $E_{o,N}$ は N 回目のサンプリングにおける出力電圧デジタル値、 E_r は比較電圧 (参照電圧) デジタル値、 E_B はベース電圧である。また、 $(E_r - E_{o,j})$ は N 回目のサンプリングまでの出力電圧デジタル値 $E_{o,j}$ と比較電圧 E_r との偏差の累積値である。

【 0 0 3 2 】

この P I D 制御量から、次式で表される基本時間量 N_1 が決定される。

$$N_1 = N_{EB} - k_P (N_{Er} - N_{o,N}) - k_I (N_{Er} - N_{o,j}) - k_D (d N_{o,N} / d t) \cdots (2)$$

k_P 、 k_I 、 k_D は上記した K_P 、 K_I 、 K_D に相当する比例定数、 $N_{o,N}$ は N 回目のサンプリングにおける出力電圧デジタル値 $E_{o,N}$ に相当する数値、 N_{Er} は比較電圧 E_r に相当する数値、 N_{EB} はベース電圧に相当する数値である。

【 0 0 3 3 】

これとともに、P I D 制御量演算部 5 2 1 1 は、インダクタ電流の目標値 I_L^* を生成する。本実施形態でも、第 1 制御部 5 1 2 は、第 1 制御量を小さくするように動作する。すなわち、第 1 制御部 2 1 2 は、動作開始信号 S_1 の出力タイミングを早めるように動作する。

これに相乗して、第 1 制御部 2 1 2 が出力する目標値信号 S H (B^*) に基づく信号 A の制御が行われる。

すなわち、第 2 A / D 変換器 2 2 1 の制御遅れは動作開始信号 S_1 により補償される。

また、第 1 制御部が持つ過去のサンプリングに由来する第 1 制御量の応答遅れは、第 2 制御量の値により補償される。

【 0 0 3 4 】

本実施形態では、第 2 制御部 5 2 2 は、図 2 に示すように第 2 制御量生成部 5 2 2 1 と P W M 信号生成部 5 2 2 4 とを備えている。

第 2 制御量生成部 5 2 2 1 は、具体的には図 3 に示すように第 1 制御部 5 2 1 からの動作開始信号 S_1 により起動し、入力信号であるインダクタ電流 i_L と、予め設定されているインダクタ電流目標値 i_L^* から、第 2 時間量 N_2 を生成する。

【 0 0 3 5 】

図 4 に示すように、デジタル値比較回路は、インダクタ電流 i_L に対応するデジタル値 (N_{IL}) と、インダクタ電流 i_L の目標値 (i_L^* : デジタル値は N_{IL_SH}) とを比較し、比較結果 (デジタル値 N_C) を出力する。遅延回路は、デジタル値 N_C を、動作開始信号 S_1 により決定される時間だけ遅らせて信号 S_{00} として生成する。信号 S_{00} は P W M 信号生成部 5 2 2 4 に入力され、P W M 信号生成部 5 2 2 4 は第 2 時間量を決定する信号 S_2 を生成する。

なお、本実施形態では、動作開始信号 S_1 は第 2 A / D 変換器 2 2 1 により動作し、第 2 制御部 5 2 2 は第 2 A / D 変換器 2 2 1 からの信号に基づき信号 S_{00} を生成した。ただし、図 2 , 図 3 , 図 4 に破線で示すように、第 2 制御部 5 2 2 が動作開始信号 S_1 を受け取りそのタイミングで駆動するようにしてもよい。

【 0 0 3 6 】

本実施形態では、図 5 (A) に示すように、第 1 制御部 5 2 1 は、今回の切り替えタイミングにかかるスイッチングサイクル T_{CN} の開始前 (前回のスイッチングサイクル $T_{C_{N-1}}$ の終了前) に制御を開始するようにしてもよい。

また、図 5 (B) に示すように、スイッチングサイクル T_{CN} の開始と同時にまたは開始後 (図 5 (B) では開始後) に制御を開始するようにしてもよい。

【 0 0 3 7 】

図 6 に出力電圧 e_o と、インダクタ電流 i_L と、スイッチ SW の動作状態と、動作開始信号 S_1 との関係を示す。

図 6 では、スイッチングサイクル TC を生成する信号 SC に同期するスイッチング周期同期信号 SC_{SYNC} により第 1 制御部 5 2 1 は動作を開始し、第 1 制御量である時間量に対応する時間が経過したときに動作開始信号 S_1 を発生する。

本実施形態では、第 2 制御部 5 2 2 は第 1 制御部 5 2 1 からの動作開始信号 S_1 により起動し、第 2 制御部 5 2 2 はインダクタ電流 i_L から、第 2 時間量 N_2 を生成する。第 2 制御部 5 2 2 は、スイッチ電流 i_{SW} , 電流 i_{FD} , 出力電圧 e_o , 出力電流 i_o から検出信号を生成することもできる。

【 0 0 3 8 】

なお、本実施形態では、リアクトル電流 i_L を変数とした (第 1 制御量演算部 5 2 1 1 が生成した) が、リアクトル電流 i_L を定数とすることもできる。

【 0 0 3 9 】

《 第 2 実施形態 》

図 7 は D C / D C コンバータ 4 の制御装置 5 を示す回路図である。

本実施形態では、第 2 制御部 5 2 2 は、図 8 (A) に示すように、第 2 制御量生成部 (アナログ積分回路 5 2 2 5) と P W M 信号生成部 5 2 2 4 とを備えている。

アナログ積分回路 5 2 2 5 は、第 1 制御部 5 2 1 からの動作開始信号 S_1 により起動し、入力信号であるインダクタ電流 i_L に相当する電流の積分を開始する。

【 0 0 4 0 】

アナログ積分回路 5 2 2 5 は、図 8 (B) に示すように、連続的に信号 S_2 を出力することができる。

アナログ積分回路 5 2 2 5 は、動作開始信号 S_1 により動作を開始する。図 8 (A) の回路では、アナログ積分回路 5 2 2 5 の出力が閾値 V_{TH} に達すると P W M 信号生成部 5 2

10

20

30

40

50

24が、第2時間量を決定する信号 S_2 を生成する。この後、アナログ積分回路5225のリセット信号RSTによりリセットされる。

図8(A)では、キャパシタ C_1 の端子電圧 V_{CR} が閾値 V_{TH} に達したときが、第2時間量 N_2 に対応する時間である。

このときに、PWM信号生成部5224が S_2 を出力する。なお、本実施形態では、閾値 V_{TH} は定電圧である。

【0041】

図9に出力電圧 e_o と、インダクタ電流 i_L と、スイッチSWの動作状態と、動作開始信号 S_1 との関係を示す。

図9でも、図6の場合と同様、スイッチングサイクルTCを生成する信号SCに同期するスイッチング周期同期信号 SC_{SYNC} により第1制御部521は動作を開始し、第1制御量である時間量に対応する時間が経過したときに動作開始信号 S_1 を発生する。

なお、本実施形態では、図7に破線で示したように、第1制御部521に、しきい値生成部5213を追加することができる。

しきい値生成部5213は、積分回路5223のしきい値を変更することで、

【0042】

本実施形態では、積分開始の時刻を制御する動作開始信号 S_1 に相乗して、積分回路5223による制御が行われる。

【0043】

以上述べたように、本発明では、スイッチSWの T_{ON} 期間の終了時点、第1制御部212における離散値制御と、第2制御部222における連続値制御とを組み合わせることで、応答が速く、かつ精度が高い制御を行うことができる。

【0044】

本発明では、積分変換の入力範囲が広いときは、時定数が異なる複数の積分器を並列接続して積分器の可動範囲を変更することができる。この場合には、積分器への入力を切り替えるか、複数の積分器の出力から適宜のものを選択することができる。

【0045】

また、単一の積分器の積分範囲の中心を、インダクタ電流 i_L の設定値(N_{IL_SH})に位置するように設定することもできる。

この場合に、積分結果(I_L の値)が積分器のレンジの有効範囲に達しないときは、第1制御部521は積分開始タイミングを早めることができる。また、A積分結果(I_L の値)が積分器のレンジの有効範囲を超えているときは、第1制御部521は積分開始のタイミングを遅らせることができる。

【0046】

図10は、第2実施形態の変更例を示す図である。図10では、第2制御部522が、VCO5226とカウンタ5227とからなる。

VCO5226は、リアクトル電圧 e_{iL} を取り込んでいる。VCO5226は、動作開始信号 S_1 により駆動を開始する。

一方、カウンタ5227には、プリセット値 N_{ps1} が、スイッチングサイクルごとに入力される。

カウンタ5227は、カウントアップ信号(または、ボロー信号)をPWM信号 S_2 として出力する。

本実施形態でも、積分開始の時刻を制御する動作開始信号 S_1 に相乗して、VCO5226と、カウンタ5227とによる制御が行われる。

【符号の説明】

【0047】

- 1, 5 制御対象
- 2, 5 制御装置
- 3, 6 ドライバ
- 4, 8 DC/DCコンバータ

10

20

30

40

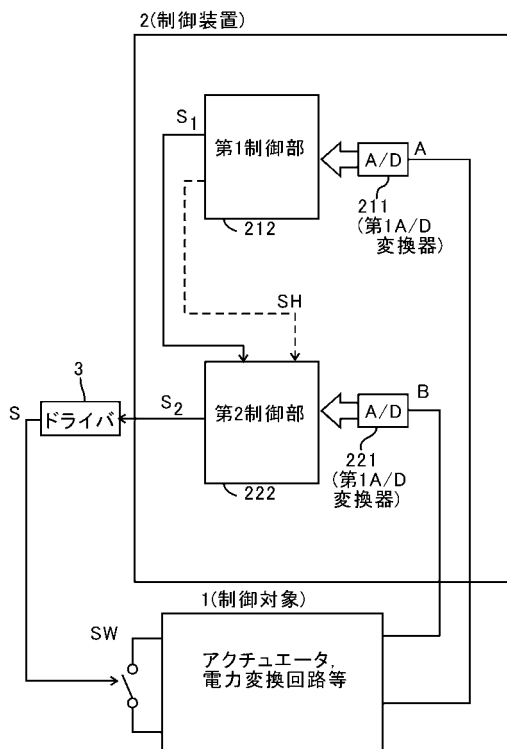
50

- 9 1 制御装置
- 9 2 ドライブ回路
- 2 1 1 第 1 A / D 変換器
- 2 1 2 , 5 2 1 第 1 制御部
- 2 2 1 第 2 A / D 変換器
- 2 2 2 , 5 2 2 第 2 制御部
- 5 1 1 , 5 1 2 A / D 変換器
- 2 2 1 1 , 5 2 1 1 P I D 制御量演算部
- 5 2 1 2 基本時間量生成部
- 5 2 2 1 第 2 制御量生成部
- 5 2 2 4 P W M 信号生成部
- 5 2 2 5 アナログ積分回路
- 5 2 2 6 V C O
- 5 2 2 7 カウンタ
- C , C₁ キャパシタ
- D C 直流電源
- D_F ダイオード
- I_L デジタル検出値
- L インダクタ
- L O A D 負荷
- S W スイッチ
- r_L インダクタ電流検出用抵抗

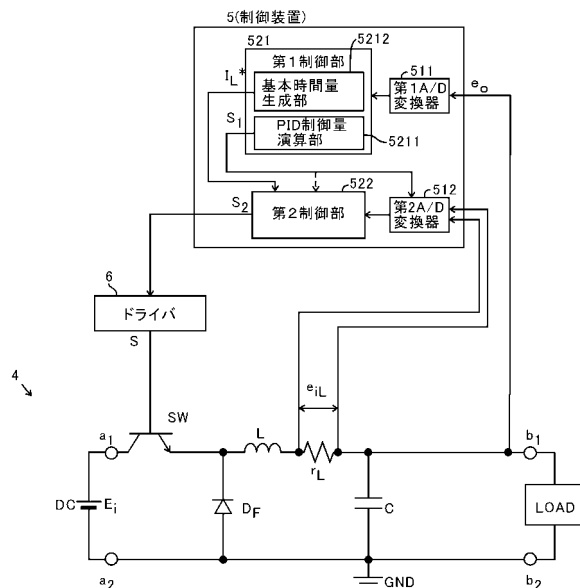
10

20

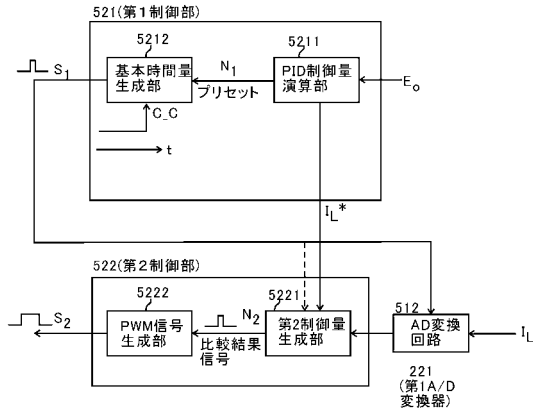
【 図 1 】



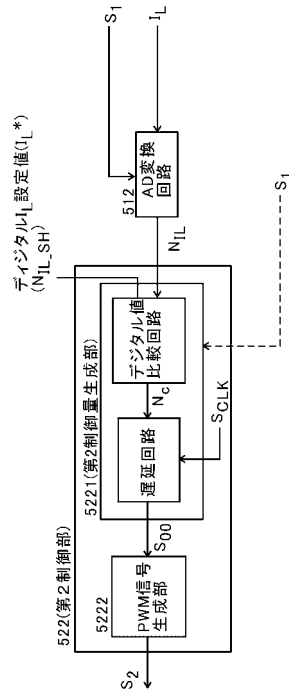
【 図 2 】



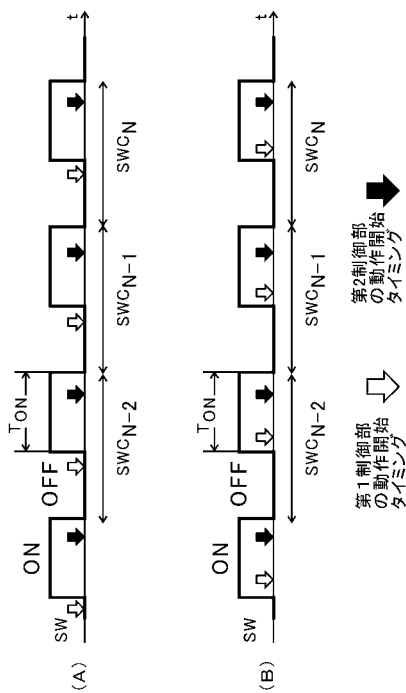
【 図 3 】



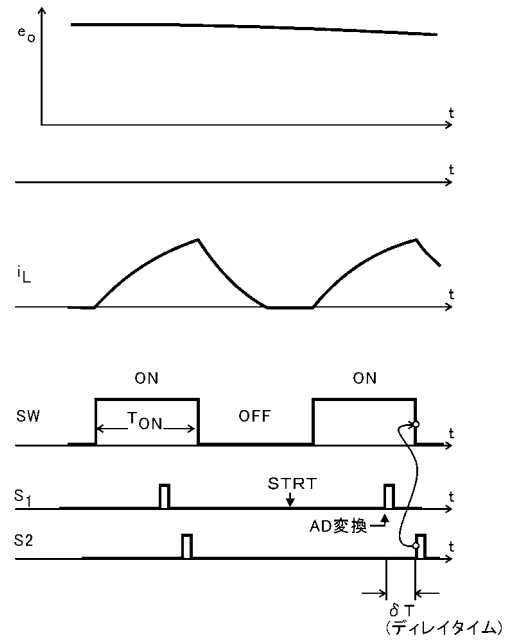
【 図 4 】



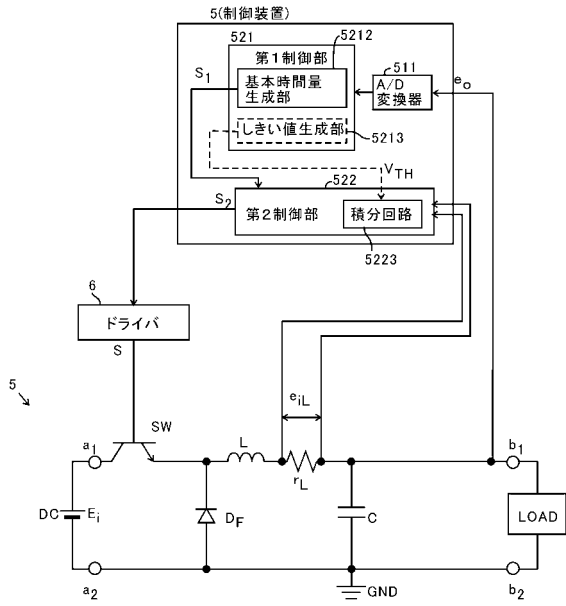
【 図 5 】



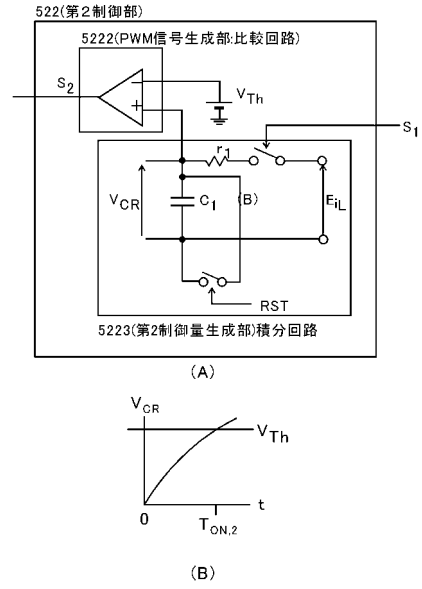
【 図 6 】



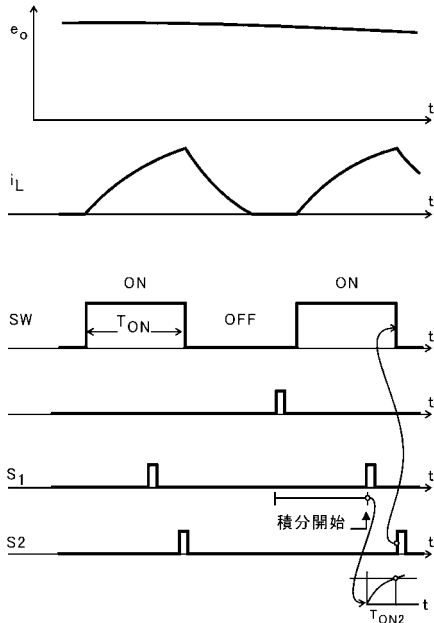
【 図 7 】



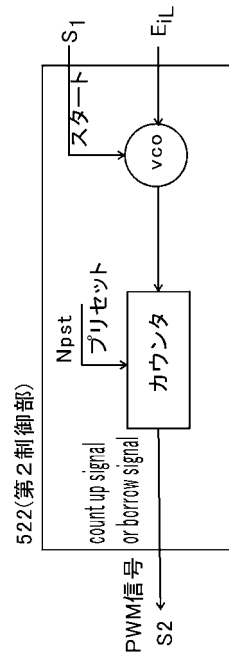
【 図 8 】



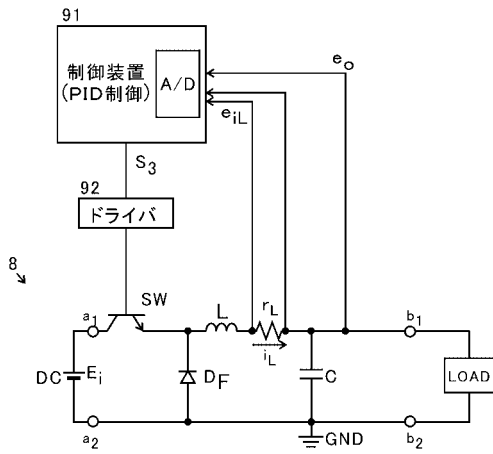
【 図 9 】



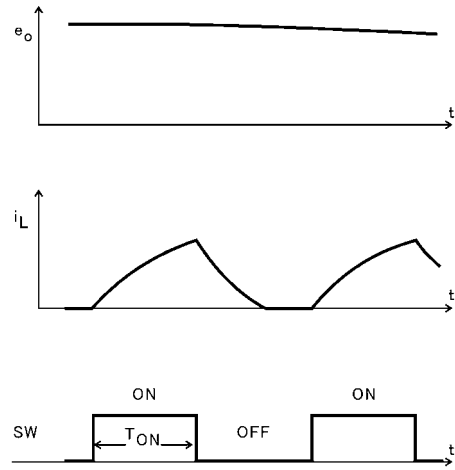
【 図 10 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(72)発明者 番匠 宏太

東京都港区芝浦三丁目4番1号 株式会社NTTファシリティーズ内

(72)発明者 田中 徹

東京都港区芝浦三丁目4番1号 株式会社NTTファシリティーズ内

Fターム(参考) 5H730 AA04 BB13 BB57 DD02 EE59 FD31 FG05 FG11