

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-116495

(P2014-116495A)

(43) 公開日 平成26年6月26日(2014.6.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 5 1	5 F 0 8 3
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 Z	
HO 1 L 49/00 (2006.01)	HO 1 L 49/00 Z	
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 1 1 O R	
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8	

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2012-270226 (P2012-270226)
 (22) 出願日 平成24年12月11日 (2012.12.11)

(71) 出願人 504132881
 国立大学法人東京農工大学
 東京都府中市晴見町3-8-1
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (74) 代理人 100090387
 弁理士 布施 行夫
 (72) 発明者 須田 良幸
 東京都府中市晴見町3-8-1 国立大学
 法人東京農工大学内
 (72) 発明者 佐藤 芳彦
 東京都府中市晴見町3-8-1 国立大学
 法人東京農工大学内

最終頁に続く

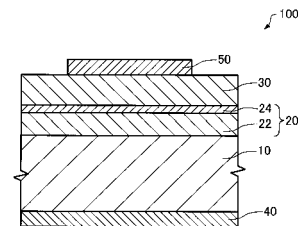
(54) 【発明の名称】 半導体メモリ装置およびその製造方法

(57) 【要約】

【課題】 ダイオード特性を有する半導体メモリ装置を提供する。

【解決手段】 本発明に係る半導体メモリ装置100は、n型の第1半導体層10と、第1半導体層10上に形成され、電子を捕獲する電子捕獲層20と、電子捕獲層20上に形成されたp型の第2半導体層30と、第1半導体層10と電気的に接続された第1電極40と、第2半導体層30と電気的に接続された第2電極50と、を含み、電子捕獲層20は、炭素とシリコンとを含む層であって、第1電極40と第2電極50との間に電圧が印加されることによって、第2半導体層30との界面において、電子を捕獲および放出する層である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

n 型の第 1 半導体層と、
 前記第 1 半導体層上に形成され、電子を捕獲する電子捕獲層と、
 前記電子捕獲層上に形成された p 型の第 2 半導体層と、
 前記第 1 半導体層と電氣的に接続された第 1 電極と、
 前記第 2 半導体層と電氣的に接続された第 2 電極と、
 を含み、
 前記電子捕獲層は、
 炭素とシリコンとを含む層であって、前記第 1 電極と前記第 2 電極との間に電圧が印加
 されることによって、前記第 2 半導体層との界面において、電子を捕獲および放出する層
 である、半導体メモリ装置。

10

【請求項 2】

請求項 1 において、
 前記第 2 半導体層は、酸化物半導体層である、半導体メモリ装置。

【請求項 3】

請求項 1 または 2 において、
 前記第 2 半導体層は、酸化銀層である、半導体メモリ装置。

【請求項 4】

請求項 1 ないし 3 のいずれか 1 項において、
 前記電子捕獲層は、
 前記第 1 半導体層上に形成された n 型または i 型の SiC 層と、
 前記 SiC 層上に形成された SiC_xO_y 層（ただし、 $0 < x < 1$ 、 $0 < y < 2$ ）と、
 を有する、半導体メモリ装置。

20

【請求項 5】

請求項 1 ないし 4 のいずれか 1 項において、
 前記電子捕獲層における電子の捕獲および放出に対応して、情報の消去および書き込み
 が行われる、半導体メモリ装置。

【請求項 6】

n 型の第 1 半導体層上に、炭素とシリコンとを含む第 1 層を形成する工程と、
 前記第 1 層上に、金属を含む第 2 層を形成する工程と、
 前記第 2 層を酸化して、p 型の第 2 半導体層を形成し、前記第 1 層の前記第 2 層との界
 面を酸化して、電子を捕獲する電子捕獲層を形成する工程と、
 前記第 1 半導体層と電氣的に接続される第 1 電極、および前記第 2 半導体層と電氣的に
 接続される第 2 電極を形成する工程と、
 を含み、
 前記第 1 電極と前記第 2 電極との間に電圧を印加することによって、前記電子捕獲層は
 、前記第 2 半導体層との界面において、電子を捕獲および放出する、半導体メモリ装置の
 製造方法。

30

【請求項 7】

請求項 6 において、
 前記第 2 層が含む金属は、銀であり、
 前記第 2 半導体層は、酸化銀層である、半導体メモリ装置の製造方法。

40

【請求項 8】

請求項 6 または 7 において、
 前記電子捕獲層は、
 前記第 1 半導体層上に形成された n 型または i 型の SiC 層と、
 前記 SiC 層上に形成された SiC_xO_y 層（ただし、 $0 < x < 1$ 、 $0 < y < 2$ ）と、
 を有するように形成される、半導体メモリ装置の製造方法。

50

【請求項 9】

請求項 6 ないし 8 のいずれか 1 項において、

前記電子捕獲層における電子の捕獲および放出に対応して、情報の消去および書き込みを行う、半導体メモリ装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置およびその製造方法に関する。

【背景技術】

【0002】

パーソナルコンピュータ産業分野と双璧をなす、製造・家電・交通移動体・携帯機器などの産業・民生電子機器分野は、巨大な半導体産業分野である。この分野では、高密度、大容量で、書き換え可能な不揮発性メモリが必要とされる。これまで、不揮発性メモリとして、フラッシュメモリなどが巨大な規模で用いられていた。しかし、これらのメモリの多くは、1メモリ素子に1トランジスタが必要な3端子素子である。今後のさらなる高密度化・大容量化・コンパクト化に対応できる最も期待されるメモリは、素子面積を極小化できる2端子のみで書き込み、消去、読み出しの全てのメモリ機能操作が可能なメモリである。このような2端子のメモリは、抵抗変化型RAM (Resistive Random Access Memory: ReRAM) として実現される(特許文献1, 2参照)。

10

【0003】

20

例えば特許文献1には、2端子メモリとして、SiC層を用いた不揮発性抵抗変化型メモリが記載されている。この2端子メモリは、Si基板上にSiC層を形成し、SiC層上にSiO_x層を形成し、SiO_x層上にSiO₂層を形成して構成されている。この2端子メモリは、電子がSiO_x層等に発生するドナー型欠陥に捕獲されるとON状態となり、電子がドナー型欠陥から放出されるとOFF状態となる。そして、ON状態を理論値“1”の記憶、OFF状態を理論値“0”の記憶とするメモリ動作として対応させることができる。例えば、OFF状態からON状態に遷移することは、情報“1”の書き込みに対応し、ON状態からOFF状態に遷移することは、情報の消去または情報“0”の書き込みに対応する。

【先行技術文献】

30

【特許文献】

【0004】

【特許文献1】特開2010-50411号公報

【特許文献2】特開2009-135291号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に開示されているメモリ装置は、Si基板に接続された第1電極と、SiO₂層に接続された第2電極と、の間に、プラスの電圧(第1電極の電位よりも第2電極の電位の方が高くなるような電圧)を印加しても、マイナスの電圧(第1電極の電位よりも第2電極の電位の方が低くなるような電圧)を印加しても、電流が流れてしまう。したがって、特許文献2に記載されているように、回り込み電流が発生するという問題が生じることがある。よって、ダイオード特性を有する半導体メモリ装置が好ましい。

40

【0006】

本発明のいくつかの態様に係る目的の1つは、ダイオード特性を有する半導体メモリ装置を提供することにある。また、本発明のいくつかの態様に係る目的の1つは、上記の半導体メモリ装置の製造方法を提供することにある。

【課題を解決するための手段】

【0007】

50

本発明に係る半導体メモリ装置は、
 n型の第1半導体層と、
 前記第1半導体層上に形成され、電子を捕獲する電子捕獲層と、
 前記電子捕獲層上に形成されたp型の第2半導体層と、
 前記第1半導体層と電氣的に接続された第1電極と、
 前記第2半導体層と電氣的に接続された第2電極と、
 を含み、

前記電子捕獲層は、
 炭素とシリコンとを含む層であって、前記第1電極と前記第2電極との間に電圧が印加されることによって、前記第2半導体層との界面において、電子を捕獲および放出する層である。

10

【0008】

このような半導体メモリ装置によれば、第2半導体層、電子捕獲層層、および第1半導体層によって、pnダイオードまたはpinダイオードが構成されることができる。すなわち、このような半導体メモリ装置は、ダイオード特性を有することができる。

【0009】

なお、本発明に係る記載では、「電氣的に接続」という文言を、例えば、「特定の部材（以下「A部材」という）に「電氣的に接続」された他の特定の部材（以下「B部材」という）」などと用いている。本発明に係る記載では、この例のような場合に、A部材とB部材とが、直接接して電氣的に接続されているような場合と、A部材とB部材とが、他の部材を介して電氣的に接続されているような場合とが含まれるものとして、「電氣的に接続」という文言を用いている。

20

【0010】

本発明に係る半導体メモリ装置において、
 前記第2半導体層は、酸化物半導体層であってもよい。

【0011】

本発明に係る半導体メモリ装置において、
 前記第2半導体層は、酸化銀層であってもよい。

【0012】

本発明に係る半導体メモリ装置において、
 前記電子捕獲層は、
 前記第1半導体層上に形成されたn型またはi型のSiC層と、
 前記SiC層上に形成された SiC_xO_y 層（ただし、 $0 < x < 1$ 、 $0 < y < 2$ ）と、
 を有していてもよい。

30

【0013】

本発明に係る半導体メモリ装置において、
 前記電子捕獲層における電子の捕獲および放出に対応して、情報の消去および書き込みが行われてもよい。

【0014】

本発明に係る半導体メモリ装置の製造方法は、
 n型の第1半導体層上に、炭素とシリコンとを含む第1層を形成する工程と、
 前記第1層上に、金属を含む第2層を形成する工程と、
 前記第2層を酸化して、p型の第2半導体層を形成し、前記第1層の前記第2層との界面を酸化して、電子を捕獲する電子捕獲層を形成する工程と、
 前記第1半導体層と電氣的に接続される第1電極、および前記第2半導体層と電氣的に接続される第2電極を形成する工程と、
 を含み、

40

前記第1電極と前記第2電極との間に電圧を印加することによって、前記電子捕獲層は、前記第2半導体層との界面において、電子を捕獲および放出する。

【0015】

50

本発明に係る半導体メモリ装置の製造方法において、
前記第2層が含む金属は、銀であり、
前記第2半導体層は、酸化銀層であってもよい。

【0016】

本発明に係る半導体メモリ装置の製造方法において、
前記電子捕獲層は、
前記第1半導体層上に形成されたn型またはi型のSiC層と、
前記SiC層上に形成された SiC_xO_y 層（ただし、 $0 < x < 1$ 、 $0 < y < 2$ ）と、
を有するように形成されてもよい。

【0017】

本発明に係る半導体メモリ装置の製造方法において、
前記電子捕獲層における電子の捕獲および放出に対応して、情報の消去および書き込み
を行ってもよい。

【図面の簡単な説明】

【0018】

【図1】本実施形態に係る半導体メモリ装置を模式的に示す断面図。

【図2】本実施形態に係る半導体メモリ装置の動作原理を説明するための図。

【図3】本実施形態に係る半導体メモリ装置の製造方法を説明するためのフローチャート

【図4】本実施形態に係る半導体メモリ装置の製造工程を模式的に示す断面図。

【図5】本実施形態に係る半導体メモリ装置の製造工程を模式的に示す断面図。

【図6】本実施形態に係る半導体メモリ装置の製造工程を模式的に示す断面図。

【図7】実施例に係る半導体メモリ装置のI-V特性を示すグラフ。

【図8】エネルギーバンド図のシミュレーション結果。

【図9】エネルギーバンド図のシミュレーション結果。

【図10】本実施形態の変形例に係る半導体メモリ装置を模式的に示す平面図。

【図11】本実施形態の変形例に係る半導体メモリ装置を模式的に示す断面図。

【図12】本実施形態の変形例に係る半導体メモリ装置を模式的に示す回路図。

【図13】本実施形態の変形例に係る半導体メモリ装置を模式的に示す回路図。

【発明を実施するための形態】

【0019】

以下、本発明の好適な実施形態について、図面を用いて詳細に説明する。なお、以下に
説明する実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するもの
ではない。また、以下で説明される構成の全てが本発明の必須構成要件であるとは限ら
ない。

【0020】

1. 半導体メモリ装置

1.1. 構成

まず、本実施形態に係る半導体メモリ装置について、図面を参照しながら説明する。図
1は、本実施形態に係る半導体メモリ装置100を模式的に示す断面図である。

【0021】

半導体メモリ装置100は、2端子メモリであり、不揮発性抵抗変化型メモリとして構
成されている。半導体メモリ装置100は、図1に示すように、第1半導体層10と、電
子捕獲層20と、第2半導体層30と、第1電極40と、第2電極50と、を含む。

【0022】

第1半導体層10は、n型の半導体である。より具体的には、第1半導体層10は、n
型の不純物（例えばリンやヒ素）がドーピングされたシリコン（Si）層である。第1半
導体層10は、n型の半導体であれば、その形態は特に限定されず、例えば、Siウェハ
ーから切り取られたn型のシリコン基板であってもよい。または、第1半導体層10は、
p型のシリコン基板に形成されたn型のウェルであってもよい。

10

20

30

40

50

【0023】

なお、「n型」とは、半導体において、電荷を運搬する多数媒体が負の電荷であるものをいう。「p型」とは、半導体において、電荷を運搬する多数媒体が正の電荷であるものをいう。「i型」とは、真性半導体のことであり、不純物がドーピングされていないものをいう。

【0024】

第1半導体層10として用いられるシリコン基板は、例えば、(111)シリコン基板、(100)シリコン基板である。第1半導体層10として、これら(111)シリコン基板および(100)シリコン基板の、それぞれ(111)面および(100)面から多少斜めに切り出された面を主面とするシリコン基板を用いてもよい。例えば、(111)面から4度斜めになった面を主面とするシリコン基板((111)4度オフ基板)や、(111)面から8度斜めになった面を主面とするシリコン基板((111)8度オフ基板)を用いてもよい。これにより、電子捕獲層20の結晶性を向上させることができる。

10

【0025】

第1半導体層10として、n型のシリコン基板を用いた場合、第1半導体層10の厚さは、電子捕獲層20の厚さおよび第2半導体層30の厚さよりも大きく、例えば、50 μ m以上1000 μ m以下である。第1半導体層10として、p型のシリコン基板に形成されたn型のウェルを用いた場合、第1半導体層10の厚さは、例えば、5nm以上10 μ m以下である。第1半導体層10の抵抗率は、例えば、0.0001 Ω m以上10 Ω m以下であり、より好ましくは、0.1 Ω m以上0.2 Ω m以下である。第1半導体層10は、電子捕獲層20および第2半導体層30に電子を供給する電子供給層として機能することができる。

20

【0026】

電子捕獲層20は、半導体基板10上に形成されている。電子捕獲層20は、電子を捕獲する層である。電子捕獲層20は、炭素とシリコンとを含む層である。図示の例では、電子捕獲層20は、SiC層22と、SiC_xO_y層(ただし、0 < x < 1、0 < y < 2)24(以下、単に「SiC_xO_y層24」ともいう)と、を有している。

【0027】

電子捕獲層20のSiC層22は、半導体基板10上に形成されている。SiC層22は、例えば、炭素とシリコンとからなる層である。SiC層22は、n型またはi型の半導体である。SiC層22がn型である場合、SiC層22には、n型の不純物(例えばリンやヒ素や窒素)がドーピングされていてもよい。SiC層22は、単結晶でも多結晶でもよい。SiC層22としては、結晶構造として立方晶系の対称性を有する3C-SiC層を用いてもよい。これにより、SiC層22は、良好な膜質を有することができる。なお、SiC層22として、六方対称の4H-SiC層、6H-SiC層を用いてもよい。SiC層22の厚さは、例えば、5nm以上500nm以下である。

30

【0028】

電子捕獲層20のSiC_xO_y層24は、SiC層22上に形成されている。SiC_xO_y層24は、例えば、炭素と酸素とシリコンとからなる層、または酸素とシリコンとからなる層である。SiC_xO_y層24は、電子捕獲層20の第2半導体層30との界面に位置している。SiC_xO_y層24は、例えば、SiO₂やSiO_x(x < 2)が混在して構成され、厚さ方向で若干組成が変化している。

40

【0029】

電子捕獲層20は、SiC_xO_y層24において、電子を捕獲することができる。より具体的には、SiC_xO_y層24は、アクセプター型の欠陥を有し、これにより、電子を捕獲および放出することができる。すなわち、電子捕獲層20は、第1電極40と第2電極50との間に電圧が印加されることによって、第2半導体層30との界面において(界面に存在する欠陥において)、電子を捕獲および放出する層である。なお、電子捕獲層20に存在する欠陥は、例えば、SiC_xO_y層24が不完全酸化層であるために生じる欠陥である。

50

【0030】

電子捕獲層20の SiC_xO_y 層24の厚さは、 SiC 層22の厚さおよび第2半導体層30の厚さよりも小さく、例えば、1nm以上10nm以下である。 SiC_xO_y 層24の厚さが1nmより小さいと、捕獲される捕獲電子の数が少なくなり、半導体メモリ装置は、OFF状態（高抵抗状態）となることが困難になる場合がある。 SiC_xO_y 層24の厚さが10nmより大きいと、書き込みの際に十分に捕獲電子を放出させることができず捕獲電子が残って、ON状態（低抵抗状態）となることが困難になる場合がある。

【0031】

第2半導体層30は、電子捕獲層20上に（より具体的には、 SiC_xO_y 層24上に）形成されている。第2半導体層30は、p型の半導体である。具体的には、第2半導体層30は、酸素を含む半導体からなる酸化物半導体層である。さらに、より具体的には、第2半導体層30は、酸化銀層である。第2半導体層30の材質は、 Ag_xO （ただし、 $0 < x < 2$ ）であり、例えば、 Ag_2O 、 AgO 、 $\text{Ag}_{0.5}\text{O}$ 、またはこれらの複合物である。

10

【0032】

第2半導体層30が酸化銀層である場合、第2半導体層30のバンドギャップエネルギーは、1.4eV程度である。なお、本発明に係る記載において、「半導体（半導体層）」とは、価電子帯と伝導帯との間にバンドギャップがあり、そのバンドギャップエネルギーが、6.3eV以下であるものをいう。

【0033】

なお、第2半導体層30の材質は、バンドギャップエネルギーが6.3eV以下のp型の酸化物半導体であれば、酸化銀に限定されない。例えば、第2半導体層30の材質は、酸化銅（ CuO 、 Cu_2O ）、 CuXO_2 （ただし、Xは、Al、Sc、Y、In、Ga、Cr、またはB）、 Fe_2O_3 、 NiO 、 Ta_2O_3 、 Cr_2O_3 、 BaTiO_3 、 TiO_2 、 WO_3 、 SnO であってもよい。特に、酸化銅は、銅と酸素との組成比に依存して、酸化銀と同程度の1.2eV以上2.2eV以下のバンドギャップエネルギーを有し、酸化銀とともに、第2半導体層30として好適に用いることができる。また、第2半導体層30の材質は、酸化物半導体でなくてもよく、p型の不純物（例えばホウ素やアルミニウム）がドーピングされたシリコンであってもよい。

20

【0034】

第2半導体層30の厚さは、例えば、5nm以上500nm以下であり、より好ましくは、100nm以上300nm以下である。第2半導体層30の厚さが100nmより小さいと、第2半導体層30のリーク電流が大きくなり、エンデュランス特性（書き換え特性）が悪化する場合がある。

30

【0035】

第2半導体層30、電子捕獲層20、および第1半導体層10は、ダイオードを構成することができる。より具体的には、電子捕獲層20がn型の半導体である場合、p型の第2半導体層30、n型の電子捕獲層20、およびn型の第1半導体層10は、pnダイオードを構成することができる。電子捕獲層20がi型の半導体である場合、p型の第2半導体層30、i型の電子捕獲層20、およびn型の第1半導体層10は、pinダイオードを構成することができる。

40

【0036】

第1電極40は、第1半導体層10と電氣的に接続されている。図示の例では、第1電極40は、第1半導体層10の下に形成されている。第1電極40は、図1に示すように、第1半導体層10の下面全面に形成されていてもよい。第1電極40の材質は、第1半導体層10とオーミックコンタクトする金属であり、例えば、アルミニウムである。

【0037】

なお、第1電極40は、第1半導体層10の上面に形成されていてもよい。すなわち、第1半導体層10の上面の面積は、電子捕獲層20の下面の面積よりも大きく、第1半導体層10の上面の、電子捕獲層20が形成されていない領域に、第1電極40が形成され

50

ていてもよい。

【0038】

第2電極50は、第2半導体層30と電氣的に接続されている。図示の例では、第2電極50は、第2半導体層30上に形成されている。第2電極50の材質は、仕事関数の大きな金属であり、例えば、金、ニッケル、白金である。第1電極40および第2電極50によって、第1半導体10、電子捕獲層20、および第2半導体層30に電圧を印加することができる。

【0039】

1.2. 動作原理

次に、本実施形態に係る半導体メモリ装置の予想される動作原理について、図面を参照しながら説明する。図2は、本実施形態に係る半導体メモリ装置100の動作原理を説明するための図であって、模式化したエネルギーバンド図を示すものである。

【0040】

なお、 SiC_xO_y 層24のバンドギャップは、 x および y の割合によって変化することができ、図2では、 SiC_xO_y 層24のバンドギャップは、 SiC 層22のバンドギャップとほぼ同じと考えられる場合について図示している。また、図2において、点線 E_F は、フェルミレベルまたは擬フェルミレベルを示している。また、図2の(A)~(D)は、後述する図7に示すI-V特性の(A)~(D)に対応している。

【0041】

図2(A)は、第1電極40および第2電極50間に電圧を印加していない状態である。この状態では、半導体メモリ装置100は、高抵抗状態であり、OFF状態である。n型の半導体層10には、p型の第2半導体層30に比べて、多数の電子 e が存在している。電子捕獲層20の SiC_xO_y 層24には、電子 e を捕獲することができるアクセプター型の欠陥(捕獲準位)26が存在する。図2(A)に示す状態では、欠陥26に電子が捕獲されている。なお、便宜上、図2では、欠陥26を四角領域で図示している。また、図2では、欠陥26に捕獲される電子 e を2つ図示しているが、その数は、特に限定されない。

【0042】

図2(B)に示すように、電極40,50間にプラスの電圧(第1電極40の電位よりも第2電極50の電位の方が高くなるような電圧)を印加していく。図2(B)に示す状態では、プラスの電圧を印加しても、欠陥26に捕獲された電子 e によるマイナスの電荷により、電子捕獲層20と第1半導体層10との間に障壁が形成される。そのため、電子 e は、第1半導体層10から第2半導体層30に向かって流れない(ほとんど流れない)。図2(B)に示す状態では、半導体メモリ装置100は、高抵抗状態であり、OFF状態である。

【0043】

図2(C)に示すように、電極40,50間に印加するプラスの電圧を大きくしていくと、ある電圧(図7に示す V_{th})を超えたところで、欠陥26から電子 e が放出され、第2半導体層30、電子捕獲層20、および第1半導体層10によって構成されるダイオードが順方向にバイアスされる。そのため、第1半導体層10から第2半導体層30に向けて電子 e が流れる。すなわち、電極40,50間にプラスの電圧を印加した場合に、第1半導体層10から第2半導体層30に向かう電子 e の数は、欠陥26から電子が放出されている状態(図2(C)の状態)の方が、欠陥26に電子が捕獲されている状態(図2(B)の状態)のよりも多い。欠陥26に捕獲された電子 e は、例えば、第2半導体層30の正孔と再結合して放出される。図2(C)に示す状態では、半導体メモリ装置100は、高抵抗状態から低抵抗状態となり、OFF状態からON状態となる。OFF状態からON状態に遷移することは、半導体メモリ装置の動作として、情報“1”の書き込みに対応する。

【0044】

図2(D)に示すように、電極40,50間にマイナスの電圧(第1電極40の電位よ

10

20

30

40

50

りも第2電極50の電位の方が低くなるような電圧)を印加していく。図2(D)に示すように、次第に欠陥26に電子eが捕獲されていくが、p型の第2半導体層30の電子が少数キャリアのため、ダイオードの逆方向バイアスと同じで、欠陥26への捕獲電子の有無にかかわらず、第2半導体層30から第1半導体層10に向かう電子は少ない。図2(D)に示す状態では、半導体メモリ装置100は、低抵抗状態から高抵抗状態となり、ON状態からOFF状態となる。ON状態からOFF状態に遷移することは、メモリ装置の動作として、情報の消去または情報“0”の書き込みに対応する。

【0045】

以上のように、半導体メモリ装置100は、電極40,50間に印加するプラスの電圧を十分大きくすれば(V_{th} を超える電圧を印加すれば)OFF状態からON状態に、逆に、電極40,50間にマイナスの電圧を印加すれば、ON状態からOFF状態に変えることができる。そして、半導体メモリ装置100では、 $0 \sim V_{th}$ の間の電圧で電流が流れるが、流れないかを調べれば、メモリ装置の記憶置である“0(OFF状態)”か、“1(ON状態)”か、を読み取ることができる。このように、半導体メモリ装置100では、電位捕獲層20における電子の捕獲および放出に対応して、情報の消去および書き込みが行われる。

10

【0046】

さらに、半導体メモリ装置100では、第2半導体層30、電子捕獲層20、および第1半導体層10によって、pnダイオードまたはpinダイオードが構成される。そのため、電極40,50間にマイナスの電圧を印加しても、第2半導体層30から第1半導体層10に向かう電子は少ない。なお、半導体メモリ装置100では、pnダイオードまたはpinダイオードといっても、正孔の流れは無く、電子の流れが中心と考えられる。

20

【0047】

半導体メモリ装置100は、例えば、以下の特徴を有する。

【0048】

半導体メモリ装置100では、n型の第1半導体層10と、第1半導体層10上に形成され、電子を捕獲する電子捕獲層20と、電子捕獲層20上に形成されたp型の第2半導体層30と、を含み、電子捕獲層20は、炭素とシリコンとを含む層であって、第1電極40と第2電極50との間に電圧が印加されることによって、第2半導体層30との界面において、電子を捕獲および放出する層である。そのため、半導体メモリ装置100では、第2半導体層30、電子捕獲層20、および第1半導体層10によって、pnダイオードまたはpinダイオードが構成されるので、電極40,50間にマイナスの電圧を印加しても、第2半導体層30から第1半導体層10に向かう電子は少ない。すなわち、半導体メモリ装置100は、ダイオード特性を有することができる。したがって、電子捕獲層20および第2半導体層30からなる積層体を、ビット線とワード線との各交差点に配置しても(詳細は後述する変形例を参照)、メモリ動作に障害となる回り込み電流が発生することを抑制できる。よって、電子捕獲層20および第2半導体層30からなる積層体を高密度に配列することが可能であり、高速なDRAM(Dynamic Random Access Memory)やSRAM(Static Dynamic Random Access Memory)の置き換えではなく、今後ますます大容量化の必要な、フラッシュメモリなどの3端子不揮発性メモリの高密度・大容量化や、ハードディスクの半導体化など、中速域のメモリの高密度・大容量化を実現することができる。

30

40

【0049】

2. 半導体メモリ装置の製造方法

次に、本実施形態に係る半導体メモリ装置の製造方法について、図面を参照しながら説明する。図3は、本実施形態に係る半導体メモリ装置100の製造方法を説明するためのフローチャートである。図4~図6は、本実施形態に係る半導体メモリ装置100の製造工程を模式的に示す断面図である。

【0050】

半導体メモリ装置100の製造方法は、図3に示すように、第1層を形成する工程(S

50

1)と、第2層を形成する工程(S2)と、第2半導体層および電子捕獲層を形成する工程(S3)と、第1電極および第2電極を形成する工程(S4)と、を含む。以下、具体的に説明する。

【0051】

図4に示すように、n型の第1半導体層10上に、炭素とシリコンとを含む第1層23を形成する(S1)。具体的には、第1層23は、炭素とシリコンとからなるSiC層である。第1層23は、例えば、スパッタ法、CVD(Chemical Vapor Deposition)法により形成される。第1層23をスパッタ法で形成する場合、第1層23の成膜温度は、例えば、400以上1000以下である。第1層23の厚さは、例えば、5nm以上500nm以下である。

10

【0052】

図5に示すように、第1層23上に、金属を含む第2層32を形成する(S2)。具体的には、第2層は、金属からなる金属層である。第2層32は、例えば、真空蒸着法により形成される。第2層32を構成する金属(第2層32が含む金属)は、例えば、銀(Ag)、銅(Cu)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、銅-アルミニウム合金(CuAl合金)、銅-スカンジウム合金(CuSc合金)、銅-イットリウム合金(CuY合金)、銅-インジウム合金(CuIn合金)、銅-ガリウム合金(CuGa合金)、銅-クロム合金(CuCr合金)、銅-ホウ素合金(CuB合金)、鉄(Fe)、バリウム-チタン合金(BaTi合金)、タングステン(W)、錫(Sn)、クロム(Cr)である。第2層32の厚さは、例えば、5nm以上500nm以下である。

20

【0053】

図6に示すように、第2層32を酸化して、p型の第2半導体層30を形成し、第1層23の第2層32との界面を酸化して、電子を捕獲する電子捕獲層20を形成する(S3)。第2層32の酸化と、第1層23の第2層32との界面の酸化とは、同一工程で行われる。酸化は、例えば、大気圧酸素下において、熱処理することにより行われる。熱処理の温度は、例えば、100以上1000以下である。熱処理の時間は、例えば、1分間以上60分間以下である。本工程により、第2半導体層30との界面に、SiC_xO_y層24を有する電子捕獲層20を形成することができる。

【0054】

図1に示すように、第1半導体層10と電氣的に接続される第1電極40、および前記第2半導体層30と電氣的に接続される第2電極50を形成する(S4)。具体的には、第2半導体層30上に第2電極50を形成する。次に、第1半導体層10の下に第1電極40を形成する。第1電極40および第2電極50は、例えば、スパッタ法、真空蒸着法により形成される。なお、第1電極40を形成する工程と、第2電極50を形成する工程とは、その順序を問わない。

30

【0055】

以上の工程により、半導体メモリ装置100を製造することができる。

【0056】

なお、図示はしないが、第2半導体層30としてp型の不純物がドーピングされたシリコン層を含む半導体メモリ装置は、第1半導体層10上に、SiC層である第1層23を形成した後に、酸化させてSiC_xO_y層24を形成し、SiC_xO_y層24上にp型のシリコン層を形成することによって得ることができる。

40

【0057】

半導体メモリ装置100の製造方法では、ダイオード特性を有する半導体メモリ装置100を得ることができる。

【0058】

3. 実験例

以下に実験例を示し、本発明をより具体的に説明する。なお、本発明は、以下の実験例によって何ら限定されるものではない。

【0059】

50

3.1. 半導体メモリ装置の作製

n型の(111)4度オフSi基板(第1半導体層)上に、厚さ100nmのn型のSiC層(第1層)を、800の成膜温度でスパッタ法により形成した。スパッタ法は、n型にドーピングしたSiCターゲットを用いて行った。次に、SiC層上に、厚さ180nmのAg層(第2層)を、真空蒸着法により形成した。次に、大気圧酸素下で、800で10分熱処理することにより、SiC_xO_y層(ただし、0 < x < 1、0 < y < 2)およびSiC層を有する電子捕獲層、およびAg₂O層である第2半導体層を形成した。次に、Si基板の下に、第1電極としてAl層をスパッタ法により形成し、Ag₂O層上に、第1電極としてAu層をスパッタ法により形成した。なお、Si基板のn型ドーブ濃度を $5 \times 10^{17} / \text{cm}^3$ 、SiC層のn型ドーブ濃度を $1 \times 10^{15} / \text{cm}^3$ 、Ag₂O層のp型ドーブ濃度を $1 \times 10^{15} / \text{cm}^3$ とした。また、Ag₂O層の材質は、XPS(X-ray Photoelectron Spectroscopy)で評価したところ、Ag₂Oであった。

10

【0060】

3.2. I-V特性

上記のように作製した半導体メモリ装置のI-V特性を評価した。図7は、実施例に係る半導体メモリ装置のI-V特性を示すグラフである。図7では、1回目のI-V特性と、書き換えを10万回行った10万回目のI-V特性と、を示している。

【0061】

図7に示すように、電極間にプラスの電圧を印加すると、メモリ特性であるヒステリシスを得ることができた。また、10万回目のI-V特性においてもヒステリシスを得ることができ、実施例に係る半導体メモリ装置は、良好なエンデュランス特性を有していることがわかった。

20

【0062】

また、図7に示すように、OFF(B)からON(C)への遷移(書き込み)、およびON(C)からOFF(D)への遷移(消去)が±5V以内で、2VでON状態の読み込み電流 $100 \text{ A} / \text{cm}^2$ 程度が得られた。また、図7に示すように、高いON/OFF比を得ることができた。なお、図7に示す V_{th} は、OFF状態からON状態に遷移する閾値電圧であり、具体的には、2V程度である。

【0063】

また、図7に示すように、電極間にマイナスの電圧を印加した際の電流が小さく(印加電圧-2Vで、電流密度 $5 \text{ A} / \text{cm}^2$)、実施例に係る半導体メモリ装置は、極めて良好なダイオード特性を有していることがわかった。

30

【0064】

3.3. エネルギーバンド図のシミュレーション

エネルギーバンド図のシミュレーションを、ATLAS(シルバコ・インターナショナル社製)により行った。シミュレーションでは、Ag₂O/SiC/Siの構造体についてのエネルギーバンドギャップを計算した。Ag₂Oの厚さを200nm、SiCの厚さを80nm、およびSiの厚さを300nmとした。なお、ドーブ濃度は、図7のI-V特性を測定した実施例に係る半導体メモリ装置に合わせて、Siのn型ドーブ濃度を $5 \times 10^{17} / \text{cm}^3$ 、SiCのn型ドーブ濃度を $1 \times 10^{15} / \text{cm}^3$ 、Ag₂Oのp型ドーブ濃度を $1 \times 10^{15} / \text{cm}^3$ とした。また、Siのバンドギャップエネルギーを1.1eV、SiCのバンドギャップエネルギーを2.2eV、Ag₂Oのバンドギャップエネルギーを1.4eVとした。

40

【0065】

図8は、Ag₂OとSiCとの間にアクセプター型の欠陥が存在しない状態のエネルギーバンド図のシミュレーション結果である。図9は、Ag₂OとSiCとの間にアクセプター型の欠陥が存在する状態のエネルギーバンド図のシミュレーション結果である。図8および図9において、横軸は、Ag₂O/SiC/Si構造体の厚さ方向における距離(Ag₂Oの表面からの距離)であり、縦軸は、バンドギャップエネルギーである。なお、

50

図 8 および図 9 では、S i の一部を省略している。

【 0 0 6 6 】

図 8 および図 9 より、上記の図 2 (B) に示すように、A g₂ O と S i C との間にアクセプター型の欠陥に電子が捕獲されていると、A g₂ O と S i C との界面のポテンシャルが上方にシフトしていることがわかる。このように、このアクセプター型の欠陥に電子が捕獲されていると、電子を S i (第 1 半導体層) から A g₂ O (第 2 半導体層) 側に流れなくするポテンシャル障壁が、A g₂ O と S i C との界面に形成されることが、シミュレーションからもわかる。

【 0 0 6 7 】

4 . 半導体メモリ装置の変形例

次に、本実施形態の変形例に係る半導体メモリ装置について、図面を参照しながら説明する。図 1 0 は、本実施形態の変形例に係る半導体メモリ装置 2 0 0 を模式的に示す平面図である。図 1 1 は、本実施形態の変形例に係る半導体メモリ装置 2 0 0 を模式的に示す図 1 0 の X I - X I 線断面図である。図 1 2 は、本実施形態の変形例に係る半導体メモリ装置 2 0 0 を模式的に示す回路図であって、図 1 0 に対応している。図 1 3 は、本実施形態の変形例に係る半導体メモリ装置 2 0 0 を模式的に示す回路図である。

【 0 0 6 8 】

以下、本実施形態の変形例に係る半導体メモリ装置 2 0 0 において、本実施形態に係る半導体メモリ装置 1 0 0 の構成部材と同様の機能を有する部材については同一の符号を付し、その詳細な説明を省略する。

【 0 0 6 9 】

なお、便宜上、図 1 0 では、絶縁層 2 6 0 の図示を省略している。また、図 1 3 では、電子捕獲層 2 0 および第 2 半導体層 3 0 からなる積層体 2 2 5 を、簡略化して図示している。また、図 1 0 および図 1 1 では、互いに直交する 3 つの軸として、X 軸、Y 軸、Z 軸を図示している。

【 0 0 7 0 】

半導体メモリ装置 1 0 0 では、図 1 に示すように、電子捕獲層 2 0 および第 2 半導体層 3 0 からなる積層体は、1 つ設けられていた。これに対し、半導体メモリ装置 2 0 0 では、図 1 0 ~ 図 1 3 に示すように、電子捕獲層 2 0 および第 2 半導体層 3 0 からなる積層体 2 2 5 は、複数設けられている。

【 0 0 7 1 】

半導体メモリ装置 2 0 0 では、複数の積層体 2 2 5 は、X 軸方向および Y 軸方向に、マトリクス状に配置されている。積層体 2 2 5 は、ワード線として機能する第 1 半導体層 1 0 と、ビット線として機能する配線層 2 5 0 と、の交点に配置されている。なお、図 1 0 および図 1 2 の例では、積層体 2 2 5 は、4 つ設けられているが、その数は特に限定されず、例えば図 1 3 に示すように、積層体 2 2 5 は、4 つより多く設けられていてもよい。

【 0 0 7 2 】

ワード線として機能する第 1 半導体層 1 0 は、p 型のシリコン基板 2 1 0 に、n 型の不純物をドーピングすることにより形成された n 型のウェルである。図示の例では、第 1 半導体層 1 0 は、X 軸方向に延在し、Y 軸方向に複数配列されている。なお、図示はしないが、複数の第 1 半導体層 1 0 の各々には、第 1 電極が接続されている。

【 0 0 7 3 】

ビット線として機能する配線層 2 5 0 は、積層体 2 2 5 上に形成された第 2 電極 5 0 に接続されている。図示の例では、配線層 2 5 0 は、Y 軸方向に延在し、X 軸方向に複数配列されている。配線層 2 5 0 の材質は、例えば、第 2 電極 5 0 の材質と同じである。第 2 電極 5 0 は、絶縁層 2 6 0 に設けられたコンタクトホール 2 6 2 内に形成されている。絶縁層 2 6 0 の材質は、例えば、酸化シリコンである。

【 0 0 7 4 】

半導体メモリ装置 2 0 0 は、半導体メモリ装置 1 0 0 と同様に、ダイオード特性を有す

10

20

30

40

50

ることができる。そのため、回り込み電流の発生を抑制することができる。以下、図 10 および図 12 を参照して、詳細に説明する。

【0075】

半導体メモリ装置 200 の読み出し動作において、例えば、積層体 225 によって構成されるメモリセル CEL11 が選択されたとする。このとき、ビット線 BL1 の電位は、H レベル（第 1 の電位）に設定され、ワード線 WL0 の電位は、L レベル（第 1 の電位よりも低い第 2 の電位）に設定される。ビット線 BL1 の H レベルは、OFF 状態から ON 状態への遷移が起きるほど高くはない。これにより、メモリセル CEL11 に読み出し電流が流れる。このとき、非選択のワード線 WL1 は、H レベルに設定され、非選択のビット線 BL0 は、L レベルに設定される。そのため、メモリセル CEL13 には逆方向電圧（マイナスの電圧）が印加されるが、上述のように、半導体メモリ装置 200 は、ダイオード特性を有することができるため、回り込み電流の発生を抑制することができる。

10

【0076】

例えば、ダイオード特性を有していない半導体メモリ装置では、ワード線 WL1 から、メモリセル CEL13 を通って、ワード線 WL0 に電流が流れ込む。その結果、消費電流が大きくなってしまふことがある。また、ワード線 WL0 の電位が上昇し、選択されたメモリセル CEL11 に流れる電流が小さくなってしまふ。したがって、ダイオード特性を有していない半導体メモリ装置では、メモリセルにダイオードを直列に接続する必要があり、メモリセルの高密度化や半導体メモリ装置のコンパクト化を図ることができない。

【0077】

半導体メモリ装置 200 では、このような問題を回避することができるので、積層体 225（メモリセル）を、ワード線とビット線との交点に配置し（クロスポイント配列）、メモリセルを高密度に配置することができる。したがって、コンパクトな大容量メモリ装置を実現することができる。

20

【0078】

本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

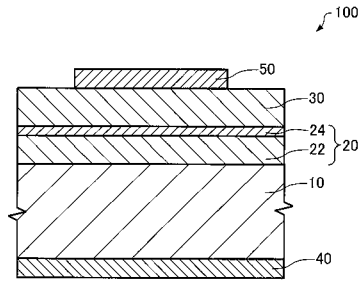
30

【符号の説明】

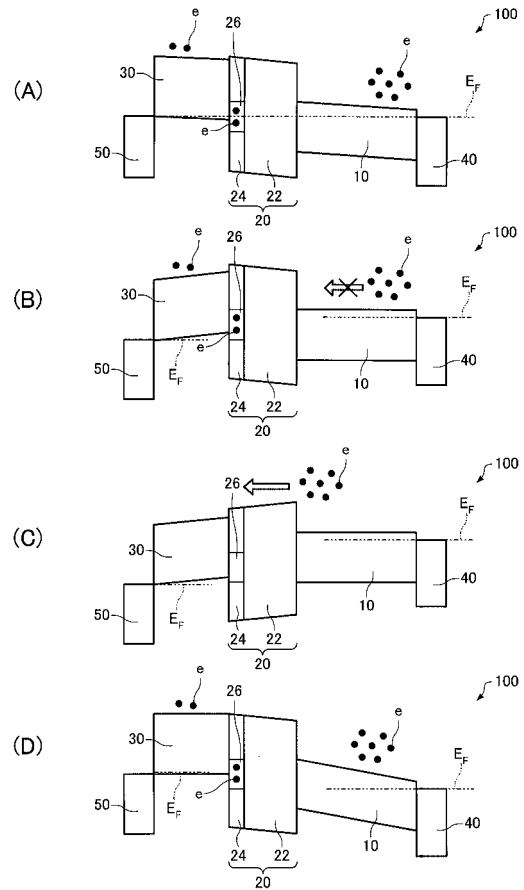
【0079】

10 ... 第 1 半導体層、20 ... 電子捕獲層、22 ... SiC 層、23 ... 第 1 層、24 ... SiC_xO_y 層、26 ... 欠陥、30 ... 第 2 半導体層、32 ... 第 2 層、40 ... 第 1 電極、50 ... 第 2 電極、100 ... 半導体メモリ装置、200 ... 半導体メモリ装置、210 ... シリコン基板、225 ... 積層体、250 ... 配線層、260 ... 絶縁層、262 ... コンタクトホール

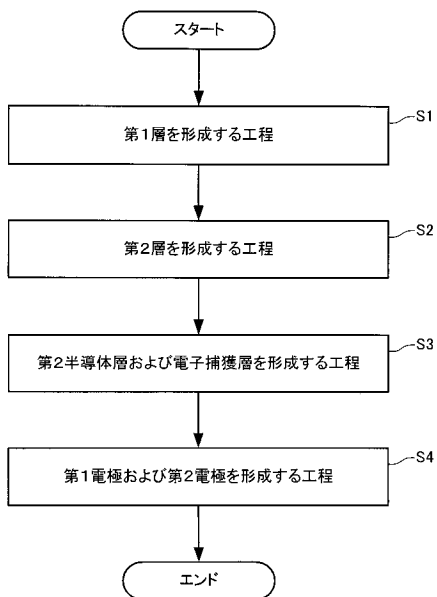
【 図 1 】



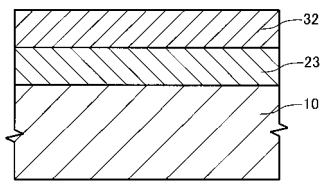
【 図 2 】



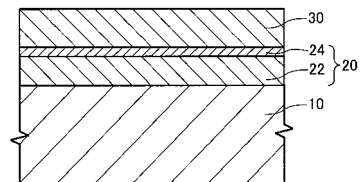
【 図 3 】



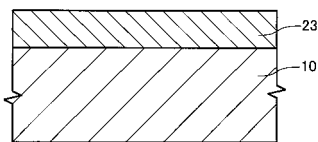
【 図 5 】



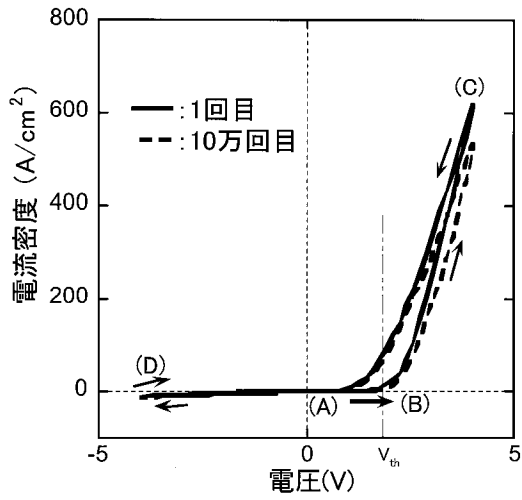
【 図 6 】



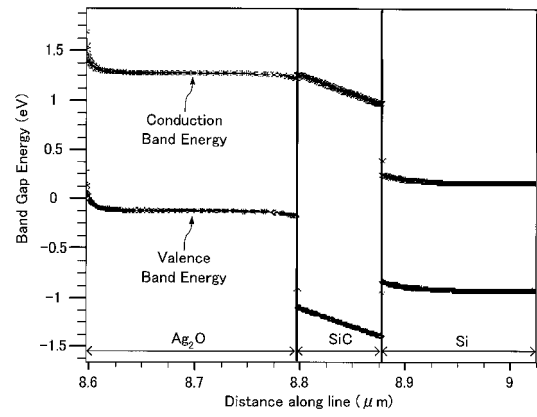
【 図 4 】



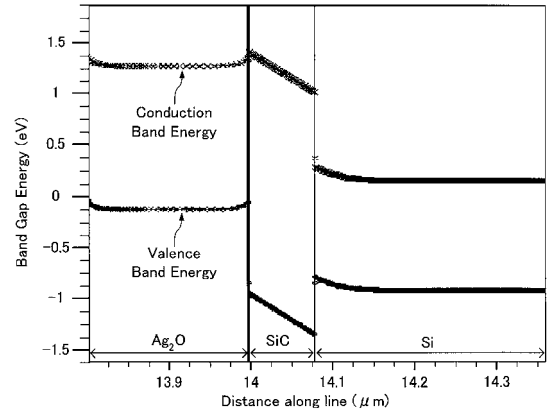
【 図 7 】



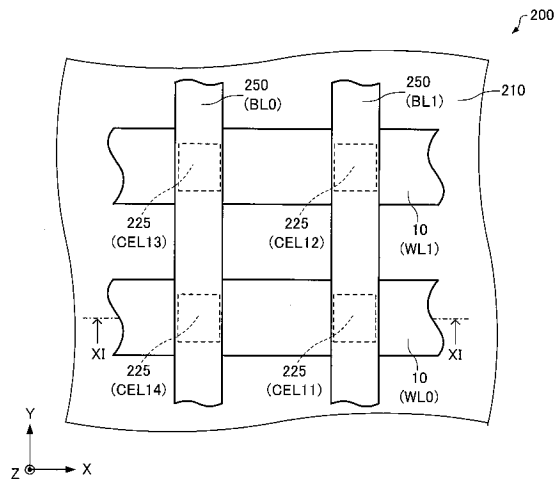
【 図 8 】



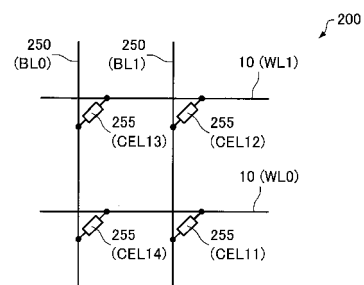
【 図 9 】



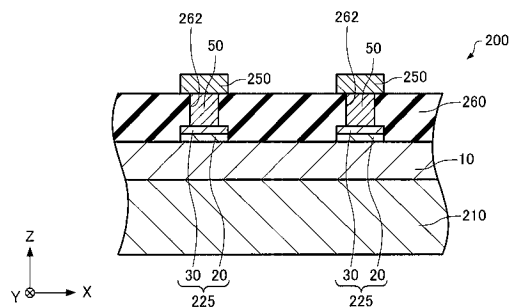
【 図 10 】



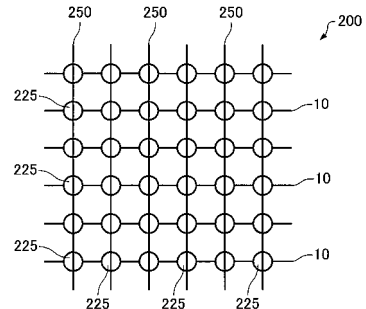
【 図 12 】



【 図 11 】



【 図 13 】



フロントページの続き

Fターム(参考) 5F083 FZ10 GA09 GA12 GA15 GA21 JA36 JA38 JA60 KA01 KA05
LA12 LA16 LA21 MA06 MA16 NA03 PR33