

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5958812号  
(P5958812)

(45) 発行日 平成28年8月2日(2016.8.2)

(24) 登録日 平成28年7月1日(2016.7.1)

(51) Int.Cl. F I  
 H03L 7/22 (2006.01) H03L 7/22  
 H03L 7/087 (2006.01) H03L 7/08 P

請求項の数 4 (全 18 頁)

(21) 出願番号 特願2012-170091 (P2012-170091)  
 (22) 出願日 平成24年7月31日(2012.7.31)  
 (65) 公開番号 特開2014-30120 (P2014-30120A)  
 (43) 公開日 平成26年2月13日(2014.2.13)  
 審査請求日 平成27年6月4日(2015.6.4)

(73) 特許権者 504136568  
 国立大学法人広島大学  
 広島県東広島市鏡山1丁目3番2号  
 (74) 代理人 100095407  
 弁理士 木村 満  
 (74) 代理人 100138955  
 弁理士 末次 涉  
 (74) 代理人 100109449  
 弁理士 毛受 隆典  
 (72) 発明者 吉川 公麿  
 広島県東広島市鏡山一丁目4番2号 国立  
 大学法人広島大学ナノデバイス・バイオ融  
 合科学研究所内

最終頁に続く

(54) 【発明の名称】 位相同期ループ回路及びデッドゾーン生成回路

(57) 【特許請求の範囲】

【請求項1】

分周器を介した電圧制御発振器からの第1の帰還パルス信号と基準パルス信号との位相差に基づいて電圧制御発振器を制御する第1の制御ループと、前記分周器を介さない前記電圧制御発振器からの第2の帰還パルス信号と前記基準パルス信号との位相差に基づいて前記電圧制御発振器を制御する第2の制御ループとを備える位相同期ループ回路であって、

前記第1の制御ループに設けられ、前記基準パルス信号の立ち上がりとは前記第1の帰還パルス信号の立ち上がりとの間でハイレベルとなる位相差パルス信号を出力する比較回路と、

前記第1の制御ループに設けられ、前記比較回路から出力された位相差パルス信号を所定時間遅延させ、遅延した位相差パルス信号と、前記基準パルス信号及び前記第1の帰還パルス信号のうちの立ち上がりの遅い方の反転信号との論理積に対応する信号を前記位相差パルス信号として出力するデッドゾーン生成回路と、

前記第1の制御ループに前記第2の制御ループから独立して設けられ、前記デッドゾーン生成回路から出力された信号に応じた電流パルスを生成するチャージポンプと、

前記チャージポンプで生成された電流パルスに基づいて、前記電圧制御発振器を制御する制御電圧を生成するループフィルタと、

を備える位相同期ループ回路。

【請求項2】

前記デッドゾーン生成回路は、  
 前記比較回路から出力された位相差パルス信号を所定時間遅延させる遅延回路と、  
 前記遅延回路で遅延した位相差パルス信号と、前記基準パルス信号及び前記第 1 の帰還パルス信号のうちの立ち上がりの遅い方の反転信号との論理積を示す信号を、前記位相差パルス信号として出力する論理積回路と、  
 を備える、  
 ことを特徴とする請求項 1 に記載の位相同期ループ回路。

【請求項 3】

前記電圧制御発振器が、リング型である、  
 ことを特徴とする請求項 1 又は 2 に記載の位相同期ループ回路。

10

【請求項 4】

分周器を介した電圧制御発振器からの第 1 の帰還パルス信号と基準パルス信号との位相差に基づいて電圧制御発振器を制御する第 1 の制御ループと、前記分周器を介さない前記電圧制御発振器からの第 2 の帰還パルス信号と前記基準パルス信号との位相差に基づいて前記電圧制御発振器を制御する第 2 の制御ループと、前記第 1 の制御ループに設けられ、前記基準パルス信号の立ち上がりと前記第 1 の帰還パルス信号の立ち上がりとの間でハイレベルとなる位相差パルス信号を出力する比較回路とを備える位相同期ループ回路に設けられ、前記基準パルス信号と前記第 1 の帰還パルス信号との位相差が所定範囲内にある場合にその位相差を 0 とするデッドゾーン生成回路であって、

前記第 1 の制御ループに設けられ、前記位相差パルス信号を所定時間遅延させる遅延回路と、

20

前記位相差パルス信号と、前記基準パルス信号及び前記第 1 の帰還パルス信号のうち立ち上がりの遅い方の反転信号との論理積を示す信号を、前記位相差パルス信号として出力する論理積回路と、

を備えるデッドゾーン生成回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位相同期ループ (Phase Locked Loop ; PLL) 回路及びデッドゾーン生成回路に関する。

30

【背景技術】

【0002】

PLL 回路は、一般的に、出力信号の N 分の 1 の周波数の帰還信号を参照信号の周波数と比較することにより、出力信号の発振周波数を参照信号の周波数の N 倍の周波数に安定させる回路である。PLL 回路では、参照信号と帰還信号の位相の比較も行うため、参照信号に対する出力信号の同期精度を高めることができる。

【0003】

PLL 回路は、通信機器やデジタル機器に必須の発振回路である。PLL 回路は、通信機器やデジタル機器の動作周波数や動作タイミングを決定する重要な役割を担っている。例えば、アナログ信号をデジタル信号に変換するアナログ - デジタル変換回路の特性限界は、発振周波数の精度により制限されている。このため、PLL 回路における出力信号の発振周波数の同期精度を向上して、通信速度やデジタル回路の処理能力を上げることが期待されている。

40

【0004】

図 20 には、従来の PLL 回路の発振特性の一例が示されている。図 20 では、横軸は周波数で、縦軸が出力信号のパワーである。図 20 に示すように、PLL 回路の出力パワーは、参照信号  $f_{in}$  の N (N は分周比) 倍の周波数、すなわち発振周波数 ( $f_{out} = f_{in} \times N$ ) にピークを持っているが、発振周波数の回りに大きな雑音成分 (位相雑音) を持っている。PLL 回路の出力信号の発振周波数の同期精度の向上の妨げとなっているのが、このような雑音成分である。

50

## 【 0 0 0 5 】

図 2 1 には、発振周波数近傍の従来の P L L 回路の雑音特性の一例が示されている。図 2 1 では、横軸が発振周波数  $f_{out}$  からの離調周波数  $f_{offset}$  であり、縦軸が位相雑音  $L(f)$  である。P L L 回路の位相雑音は、参照信号及びそれぞれの回路ブロック、すなわち位相周波数比較回路 ( P F D )、チャージポンプ ( C P )、ループフィルタ ( L F )、電圧制御発振回路 ( V C O )、分周器 ( D i v i d e r ) から発生する雑音の和になる ( 図 2 2 参照 )。

## 【 0 0 0 6 】

位相雑音  $L(f)$  は、参照信号及びそれぞれの回路ブロックの雑音特性への寄与率、寄与特性は、ループ帯域  $f_{LOOP}$  と呼ばれる帰還ループの特性により決定づけられる。例えば、 $f_{offset}$  が低い領域 A における位相雑音  $L(f)$  は、主として参照信号に含まれる雑音によるものである。また、 $f_{offset}$  が領域 A よりも高く  $f_{LOOP}$  よりも低い領域 B における位相雑音  $L(f)$  は、主として位相周波数比較回路 ( P F D )、チャージポンプ ( C P )、分周器に起因するものである。また、 $f_{offset}$  が  $f_{LOOP}$  よりも高い領域 C における位相雑音  $L(f)$  は、主として電圧制御発振回路 ( V C O ) に起因するものである。

## 【 0 0 0 7 】

このような位相雑音は、発振波形の周期のばらつき ( ジッタ ) の原因となる。ジッタは、以下の式 ( 1 ) に基づいて導出可能である。

## 【 数 1 】

$$\sigma_{RMS} = \frac{1}{2\pi f_0} \times \sqrt{2 \times \int_{f_L}^{f_H} 10^{\frac{L(f)}{10}} df} \quad \dots (1)$$

ここで、 $f_0$  は、発振周波数であり、 $L(f)$  は、上述のとおり位相雑音である。また、 $f_H$  は、上側周波数であり、 $f_L$  は、下側周波数である。

## 【 0 0 0 8 】

また、従来の P L L 回路のループ帯域  $f_{LOOP}$  内の位相周波数比較器 ( P F D ) 及びチャージポンプ ( C P ) に起因する位相雑音  $L_{in\_band, PFD+CP}(f)$  は、以下の式 ( 2 ) に示すように、P L L 回路の構成要素の一部である分周器の分周比  $N$  の二乗に比例することが明らかとなっている。

## 【 数 2 】

$$L_{in\_band, PFD-CP}(f) \approx \frac{S_i}{2} \times \frac{N^2}{K\phi} \quad \dots (2)$$

ここで、 $S_i$  は、位相周波数比較器 ( P F D ) 及びチャージポンプ ( C P ) が寄与するパワースペクトル密度であり、 $K$  は P F D 及び C P のゲインである。

## 【 0 0 0 9 】

ジッタにより、アナログ - デジタル変換器や通信システムの性能が劣化する。このため、近年では、無線通信システムの高速化に伴い、高精度 ( 低ジッタ ) の P L L 回路の登場が求められている。そこで、実質的に分周器を不要とするサブサンプリング P L L 回路が提案されている ( 例えば、非特許文献 1 参照 )。

## 【 0 0 1 0 】

図 2 2 には、このサブサンプリング P L L 回路の構成が示されている。図 2 2 に示すように、このサブサンプリング P L L 回路は、周波数帰還ループと位相帰還ループ ( メインループ ) との 2 つの制御ループを有している。2 つの制御ループは、ともに電圧制御発振器を制御するためのものであるが、それぞれ異なる特徴を有する。まず、周波数帰還ループには、分周器 ( D i v i d e r ) が設けられているが、位相帰還ループには分周器 ( D

10

20

30

40

50

divider) が設けられていない。また、周波数帰還ループには、デッドゾーン (Dead Zone) 生成回路が設けられており、位相帰還ループには、パルサ (Pulsar) が設けられている。

【0011】

パルサは、位相比較回路から出力される信号が、正確に位相差を示しているタイミングだけ、チャージポンプ (CP) をオンにするための信号を出力している。デッドゾーン生成回路は、位相周波数比較回路 (PFD) から入力される参照信号と帰還信号との位相差を示す信号を出力する。デッドゾーン生成回路は、その信号で示される位相差が、参照信号の半周期内であれば、その出力を 0 とする。

【0012】

すなわち、デッドゾーン生成回路では、参照信号の半周期をデッドゾーン (不感帯) としている。このデッドゾーン生成回路の作用により、このサブサンプリング PLL 回路は、周波数帰還ループで出力信号の周波数及び位相を参照信号の周波数及び位相にラフに合わせた後、位相帰還ループで位相を調整するように動作する。

【0013】

この結果、最終的には、この PLL 回路は、分周器のない位相帰還ループのみで動作するようになるので、分周器からの雑音は位相帰還ループに混入することがない。また、分周比が 1 となるため、チャージポンプの雑音が N によって増大することがなく、帯域内の雑音を低減することが可能となる。

【先行技術文献】

【非特許文献】

【0014】

【非特許文献 1】X. Gao et al., "A Low Noise Sub-Sampling PLL in Which Divider Noise is Eliminated and PD/CP Noise is Not Multiplied by N<sup>2</sup>", JSSC, VOL.44, N012, DECEMBER2009

【発明の概要】

【発明が解決しようとする課題】

【0015】

上記非特許文献 1 に開示されたサブサンプリング PLL 回路では、電圧制御発振器 (VCO) として LC 型の VCO (コイルやコンデンサが組み込まれた VCO) が用いられている。VCO には、LC 型 VCO の他にリング型 VCO がある。リング型 VCO を採用すれば、チップ面積を小さくすることができる。

【0016】

一方で、リング型 VCO は、LC 型 VCO よりも、高いチューニングゲインを有し、制御電圧に対する発振周波数の感度が大きいため、デッドゾーン生成回路におけるデッドゾーンを狭く (例えば  $\pm 0.5 \text{ ns}$  程度) する必要がある。しかしながら、非特許文献 1 に開示されたデッドゾーン生成回路の回路構成では、デッドゾーンの幅が基準信号の半周期に拘束されてしまう。したがって、リング型 VCO を用いた場合に、非特許文献 1 に開示されたサブサンプリング PLL 回路を用いても、周波数帰還ループにより、参照信号と帰還信号との周波数を正確に合わせるのが困難になる。

【0017】

本発明は、上記実情に鑑みてなされたものであり、より高精度な発振制御が可能となる位相同期ループ回路及びデッドゾーン生成回路を提供することを目的とする。

【課題を解決するための手段】

【0018】

上記目的を達成するために、本発明の第 1 の観点に係る位相同期ループ回路は、

分周器を介した電圧制御発振器からの第 1 の帰還パルス信号と基準パルス信号との位相差に基づいて電圧制御発振器を制御する第 1 の制御ループと、前記分周器を介さない前記電圧制御発振器からの第 2 の帰還パルス信号と前記基準パルス信号との位相差に基づいて前記電圧制御発振器を制御する第 2 の制御ループとを備える位相同期ループ回路であって

10

20

30

40

50

前記第 1 の制御ループに設けられ、前記基準パルス信号の立ち上がりと前記第 1 の帰還パルス信号の立ち上がりとの間でハイレベルとなる位相差パルス信号を出力する比較回路と、

前記第 1 の制御ループに設けられ、前記比較回路から出力された位相差パルス信号を所定時間遅延させ、遅延した位相差パルス信号と、前記基準パルス信号及び前記第 1 の帰還パルス信号のうちの立ち上がりの遅い方の反転信号との論理積に対応する信号を前記位相差パルス信号として出力するデッドゾーン生成回路と、

前記第 1 の制御ループに前記第 2 の制御ループから独立して設けられ、前記デッドゾーン生成回路から出力された信号に応じた電流パルスを生成するチャージポンプと、

前記チャージポンプで生成された電流パルスに基づいて、前記電圧制御発振器を制御する制御電圧を生成するループフィルタと、

を備える。

【 0 0 1 9 】

この場合、前記デッドゾーン生成回路は、

前記比較回路から出力された位相差パルス信号を所定時間遅延させる遅延回路と、

前記遅延回路で遅延した位相差パルス信号と、前記基準パルス信号及び前記第 1 の帰還パルス信号のうちの立ち上がりの遅い方の反転信号との論理積を示す信号を、前記位相差パルス信号として出力する論理積回路と、

を備える、

こととしてもよい。

【 0 0 2 0 】

また、前記電圧制御発振器が、リング型である、

こととしてもよい。

【 0 0 2 1 】

本発明の第 2 の観点に係るデッドゾーン生成回路は、

分周器を介した電圧制御発振器からの第 1 の帰還パルス信号と基準パルス信号との位相差に基づいて電圧制御発振器を制御する第 1 の制御ループと、前記分周器を介さない前記電圧制御発振器からの第 2 の帰還パルス信号と前記基準パルス信号との位相差に基づいて前記電圧制御発振器を制御する第 2 の制御ループと、前記第 1 の制御ループに設けられ、前記基準パルス信号の立ち上がりと前記第 1 の帰還パルス信号の立ち上がりとの間でハイレベルとなる位相差パルス信号を出力する比較回路とを備える位相同期ループ回路に設けられ、前記基準パルス信号と前記第 1 の帰還パルス信号との位相差が所定範囲内にある場合にその位相差を 0 とするデッドゾーン生成回路であって、

前記第 1 の制御ループに設けられ、前記位相差パルス信号を所定時間遅延させる遅延回路と、

前記位相差パルス信号と、前記基準パルス信号及び前記第 1 の帰還パルス信号のうち立ち上がりの遅い方の反転信号との論理積を示す信号を、前記位相差パルス信号として出力する論理積回路と、

を備える。

【発明の効果】

【 0 0 2 2 】

この発明によれば、分周器が設けられた第 1 の制御ループを構成するデッドゾーン生成回路によってチャージポンプに出力する位相差パルス信号を 0 にするデッドゾーンの幅を自由に設定することができる。これにより、電圧制御発振器を制御するループを第 1 の制御ループから第 2 の制御ループに切り替えるタイミングを、制御ループの特性に適したものとすることができるので、より高精度な発振制御が可能となる。

【図面の簡単な説明】

【 0 0 2 3 】

【図 1】本発明の実施形態に係る位相同期ループ回路の概略的な構成を示すブロック図で

10

20

30

40

50

ある。

【図2】図1の電圧制御発振器の回路構成を示す図である。

【図3】図1の位相周波数比較器の回路構成を示す図である。

【図4】図4(A)乃至図4(D)は、図3の位相周波数比較器の入出力信号のタイミングチャート(その1)である。

【図5】図5(A)乃至図5(D)は、図3の位相周波数比較器の入出力信号のタイミングチャート(その2)である。

【図6】図1のデッドゾーン生成回路の回路構成を示す図である。

【図7】図7(A)乃至図7(E)は、図6のデッドゾーン生成回路の入出力信号のタイミングチャート(その1)である。

10

【図8】図8(A)乃至図8(E)は、図6のデッドゾーン生成回路の入出力信号のタイミングチャート(その2)である。

【図9】図9(A)乃至図9(E)は、図6のデッドゾーン生成回路の入出力信号のタイミングチャート(その3)である。

【図10】図10(A)乃至図10(E)は、図6のデッドゾーン生成回路の入出力信号のタイミングチャート(その4)である。

【図11】図6のデッドゾーン生成回路の入出力の関係の一例を示すグラフである。

【図12】図1のチャージポンプの回路構成を示す図である。

【図13】図1のサブサンプリング位相比較器の回路構成を示す図である。

【図14】図14(A)及び図14(B)は、図1のサブサンプリング位相比較器の出力信号のタイミングチャートである。

20

【図15】図1のパルサの回路構成を示す図である。

【図16】図1のチャージポンプの回路構成を示す図である。

【図17】図1の位相ループ同期回路の動作を説明するための図(その1)である。

【図18】図1の位相ループ同期回路の動作を説明するための図(その2)である。

【図19】図19(A)乃至図19(C)は、制御信号及び制御電圧の変化の一例を示すグラフである。

【図20】従来のPLL回路の発振特性の一例を示すグラフである。

【図21】発振周波数近傍の従来のPLL回路の雑音特性の一例を示すグラフである。

【図22】従来のサブサンプリングPLL回路の構成を示すブロック図である。

30

【発明を実施するための形態】

【0024】

本発明の実施形態について、図面を参照して詳細に説明する。

【0025】

図1には、本実施形態に係る位相同期ループ(PLL)回路100の概略的な構成が示されている。図1に示すように、PLL回路100には、周波数同期ループ1と、コアループ2との2つの制御ループが設けられている。

【0026】

周波数同期ループ1は、電圧制御発振器10を制御する制御ループであり、ループ内に分周器(ディバイダ)14が設けられている。コアループ2は、周波数同期ループ1と同様に、電圧制御発振器10を制御する制御ループであるが、ループ内に分周器が設けられていない。本実施形態では、周波数同期ループ1が第1の制御ループに対応し、コアループ2が第2の制御ループに対応する。

40

【0027】

すなわち、PLL回路100は、ディバイダ14を介した電圧制御発振器10からの帰還パルス信号(第1の帰還パルス信号)Divと基準パルス信号Refとの位相差に基づいて電圧制御発振器10を制御する周波数同期ループと、ディバイダ14を介さない電圧制御発振器10からの帰還パルス信号(後述するV COP、V CON;第2の帰還パルス信号)と基準パルス信号Refとの位相差に基づいて電圧制御発振器10を制御するコアループとを備える位相同期ループ回路である。

50

## 【 0 0 2 8 】

まず、周波数同期ループ 1 内の各構成要素について説明する。図 1 に示すように、周波数同期ループ 1 には、電圧制御発振器 1 0 と、位相周波数比較器 1 1 と、デッドゾーン生成回路 1 2 と、チャージポンプ 1 3 と、ディバイダ 1 4 と、ループフィルタ 1 5 とを備える。

## 【 0 0 2 9 】

電圧制御発振器 1 0 は、リング型の V C O、いわゆるリング V C O である。電圧制御発振器 (リング V C O) 1 0 は、図 2 に示すように、複数個 ( 5 個 ) のインバータ回路 5 がループ状に接続された回路である。インバータ回路 5 の数は、通常奇数個であるが偶数個であってもよい。

10

## 【 0 0 3 0 】

インバータ回路 5 をこのように接続すると、安定した状態が得られず、インバータ回路 5 の伝播遅延時間で決定される周波数で発振する。リング V C O は、L C 型の V C O に比べ、非常に小型に製造することができる。

## 【 0 0 3 1 】

続いて、位相周波数比較器 1 1 の構成について説明する。

## 【 0 0 3 2 】

位相周波数比較器 1 1 は、基準パルス信号 R e f の立ち上がりと帰還パルス信号 D i v の立ち上がりとの間でハイレベルとなる位相差パルス信号を出力する。

## 【 0 0 3 3 】

図 3 には、位相周波数比較器 1 1 の回路構成が示されている。図 3 に示すように、位相周波数比較器 1 1 は、2 つの D (ディレイ) フリップフロップ 3 1、3 2 と、論理積回路 3 3 とを備える。

20

## 【 0 0 3 4 】

D フリップフロップ 3 1 では、C L K 端子に基準パルス信号 R e f が入力され、D 入力はハイレベル " 1 " にプルアップされている。D フリップフロップ 3 1 の Q 出力から出力される信号を位相差パルス信号 U P とする。

## 【 0 0 3 5 】

D フリップフロップ 3 2 では、C L K 端子に帰還パルス信号 D i v が入力され、D 入力はハイレベル " 1 " にプルアップされている。D フリップフロップ 3 2 の Q 出力から出力される信号を位相差パルス信号 D O W N とする。

30

## 【 0 0 3 6 】

論理積回路 3 3 には、位相差パルス信号 U P、D O W N が入力され、これらの信号の論理積に相当する信号を出力する。論理積回路 3 3 の出力は、D フリップフロップ回路 3 1、3 2 の R S T 端子に入力されている。

## 【 0 0 3 7 】

図 4 ( A ) 乃至図 4 ( D )、図 5 ( A ) 乃至図 5 ( D ) には、位相周波数比較器 1 1 における入出力信号のタイミングチャートが示されている。図 4 ( A )、図 5 ( A ) には、基準パルス信号 R e f が示され、図 4 ( B )、図 5 ( B ) には、帰還パルス信号 D i v が示されている。また、図 4 ( C )、図 5 ( C ) には、位相差パルス信号 U P が示され、図 4 ( D )、図 5 ( D ) には、位相差パルス信号 D O W N が示されている。

40

## 【 0 0 3 8 】

基準パルス信号 R e f の位相に対して、帰還パルス信号 D i v の位相が遅れている場合について考える。この場合、図 4 ( A ) 及び図 4 ( B ) に示すように、基準パルス信号 R e f の立ち上がりよりも、帰還パルス信号 D i v の立ち上がりの方が遅れている。位相周波数比較器 1 1 は、図 4 ( C ) に示すように、位相差パルス信号 U P は、基準パルス信号 R e f が立ち上がってから帰還パルス信号 D i v が立ち上がるまでの間にハイレベルとなる信号となる。また、この場合、図 4 ( B ) に示すように、位相差パルス信号 D O W N はローレベルのままとなる。

## 【 0 0 3 9 】

50

また、図5(A)、図5(B)に示すように、基準パルス信号Refの位相に対して、帰還パルス信号Divの位相が進んでいる場合、図5(D)に示すように、位相差信号DOWNは、帰還パルス信号Divが立ち上がってから基準パルス信号Refが立ち上がるまでの間にハイレベルとなる信号となる。また、図5(C)に示すように、位相差パルス信号UPはローレベルのままとなる。

【0040】

すなわち、位相周波数比較器11は、基準パルス信号Refに対して帰還パルス信号Divが遅れている場合には、位相差パルス信号UPを出力し、基準パルス信号Refに対して帰還パルス信号Divが進んでいる場合には、位相差パルス信号DOWNを出力する。

10

【0041】

続いて、デッドゾーン生成回路12の構成について説明する。デッドゾーン生成回路12は、周波数同期ループ1に設けられ、位相周波数比較器11から出力された位相差パルス信号を所定時間遅延させる。そして、デッドゾーン生成回路12は、遅延した位相差パルス信号と、基準パルス信号Ref及び帰還パルス信号Divのうちの立ち上がりの遅い方の反転信号との論理積に対応する信号を位相差パルス信号として出力する。

【0042】

図6には、デッドゾーン生成回路12の回路構成が示されている。図6に示すように、デッドゾーン生成回路12は、インバータ回路40~45と、遅延回路46、47と、インバータ回路48、49と、論理積回路50、51と、バッファ52とを備える。

20

【0043】

基準パルス信号Refは、インバータ回路40に入力され、反転された後、論理積回路50に入力される。位相差パルス信号DOWNは、インバータ回路41、44を経て、遅延回路46に入力される。遅延回路46は、入力した信号を、外部から調整用電圧VTUNE2に応じた時間、すなわち所定時間dtだけ遅延させるとともにその信号を反転して出力する。すなわち、遅延回路46からは、所定時間dtだけ遅延した位相差パルス信号DOWNの反転信号が出力され、インバータ回路48を経て、論理積回路50に入力される。調整用電圧VTUNE2は、例えば、製造時に調整されている。この調整により、所定時間dtを調整することができる。

【0044】

位相差パルス信号UPは、インバータ回路42、45を経て、遅延回路47に入力される。遅延回路47は、入力した信号を、調整用電圧VTUNE2に応じた時間、すなわち所定時間dtだけ遅延させるとともにその信号を反転して出力する。すなわち、遅延回路47からは、遅延した位相差パルス信号UPの反転信号が出力され、インバータ回路49を経て、論理積回路51に入力される。帰還パルス信号Divは、インバータ回路43に入力され、反転された後、論理積回路51に入力される。

30

【0045】

論理積回路50は、基準パルス信号Refの反転信号RefRと、遅延した位相差パルス信号DOWNとの論理積に相当する信号を出力する。論理積回路51は、帰還パルス信号Divの反転信号DivRと、遅延した位相差パルス信号UPとの論理積に相当する信号を出力する。これらの信号は、バッファ52を経て、位相差パルス信号UPdz、DOWNdzとして出力される。

40

【0046】

図7(A)乃至図7(E)には、デッドゾーン生成回路12における入出力信号のタイミングチャートが示されている。図7(A)に示す基準パルス信号Refは、インバータ回路40によって図7(B)に示す反転信号RefRに変換される。一方、図7(C)に示す位相差パルス信号DOWNは、インバータ回路41、44、遅延回路46、インバータ回路48により、図7(D)に示すような時間dtだけ遅延した位相差パルス信号DOWN(delay)に変換される。論理積回路50は、反転信号RefRと位相差パルス信号DOWN(delay)との論理積である、図7(A)に示す位相差パルス信号DO

50



WN<sub>dz</sub>を出力する。

【0047】

図7(C)に示すように、位相差パルス信号DOWNがハイレベルとなっている時間が、遅延時間d<sub>t</sub>以上となっているため、位相差パルス信号DOWN<sub>dz</sub>では、ハイレベルとローレベルを繰り返し、アクティブになる。

【0048】

図8(A)乃至図8(E)には、デッドゾーン生成回路12における入出力信号のタイミングチャートが示されている。図8(A)には、基準パルス信号Refが示され、図8(B)には、反転信号RefRが示されている。また、図8(C)には、位相差パルス信号DOWNが示され、図8(D)には、位相差パルス信号DOWN(delay)が示されている。また、図8(E)には、位相差パルス信号DOWN<sub>dz</sub>が示されている。

10

【0049】

この場合には、図8(C)に示す位相差パルス信号DOWNにおけるハイレベルとなっている時間が、遅延時間d<sub>t</sub>より短くなっているため、図8(E)に示すように、位相差パルス信号DOWN<sub>dz</sub>は、ローレベルのままとなる。

【0050】

すなわち、デッドゾーン生成回路12は、位相差パルス信号DOWNがハイレベルとなっている時間が、遅延時間d<sub>t</sub>よりも長い場合に、位相差パルス信号DOWN<sub>dz</sub>がアクティブとなる。一方、位相差パルス信号DOWNがハイレベルとなっている時間が、遅延時間d<sub>t</sub>よりも短い場合に、位相差パルス信号DOWN<sub>dz</sub>がノンアクティブとなる。

20

【0051】

図9(A)乃至図9(E)には、デッドゾーン生成回路12における入出力信号のタイミングチャートが示されている。図9(A)に示す基準パルス信号Divは、インバータ回路43によって図9(B)に示す反転信号DivRに変換される。

【0052】

一方、図9(C)に示す位相差パルス信号UPは、インバータ回路42、45、遅延回路47、インバータ回路49により、図9(D)に示すような時間d<sub>t</sub>だけ遅延した位相差パルス信号UP(delay)に変換される。論理積回路50は、反転信号DivRと位相差パルス信号UP(delay)との論理積である、図9(E)に示す位相差パルス信号UP<sub>dz</sub>を出力する。

30

【0053】

図9(C)に示す位相差パルス信号UPがハイレベルとなっている時間が、遅延時間d<sub>t</sub>以上となっているため、位相差パルス信号UP<sub>dz</sub>は、ハイレベルとローレベルを繰り返し、アクティブになる。

【0054】

図10(A)乃至図10(E)には、デッドゾーン生成回路12における入出力信号のタイミングチャートが示されている。図10(A)には、帰還パルス信号Divが示され、図10(B)には、反転信号DivRが示されている。

【0055】

また、図10(C)には、位相差パルス信号UPが示され、図10(D)には、位相差パルス信号UP(delay)が示されている。また、図10(E)には、位相差パルス信号UP<sub>dz</sub>が示されている。

40

【0056】

この場合には、図10(C)に示す位相差パルス信号UPがハイレベルとなっている時間が、遅延時間d<sub>t</sub>より短くなっているため、図10(E)に示すように、位相差パルス信号UP<sub>dz</sub>は、ローレベルのままとなる。

【0057】

すなわち、デッドゾーン生成回路12は、位相差パルス信号UPがハイレベルとなっている時間が、遅延時間d<sub>t</sub>よりも長い場合に、位相差パルス信号UP<sub>dz</sub>がアクティブとなる。一方、位相差パルス信号UPがハイレベルとなっている時間が、遅延時間d<sub>t</sub>よりも

50

短い場合に、位相差パルス信号  $UP_{dz}$  がノンアクティブとなる。

【 0 0 5 8 】

このように、デッドゾーン生成回路 1 2 は、位相周波数比較回路 1 1 から出力された位相差パルス信号を所定時間  $dt$  遅延させる遅延回路 4 6、4 7 と、遅延回路 4 6、4 7 で遅延した位相差パルス信号と、基準パルス信号及び帰還パルス信号  $Div$  のうちの立ち上がりの遅い方の反転信号との論理積を示す信号を、位相差パルス信号  $UP_{dz}$ 、 $DOWN_{dz}$  として出力する論理積回路 5 0、5 1 と、を備えている。これらの構成により、デッドゾーン生成回路 1 2 は、基準パルス信号  $Ref$  と、帰還パルス信号  $Div$  との位相差が  $dt$  以内である場合には、位相差を 0 とする。言い換えると、デッドゾーン生成回路 1 2 は、位相差パルス信号にデッドゾーン（不感帯）を与える。

10

【 0 0 5 9 】

図 1 1 には、デッドゾーン生成回路の入出力の関係の一例が示されている。図 1 1 では、横軸は位相差（Phase error）であり、縦軸はデッドゾーン生成回路 1 2 から出力される電荷（Dead Zone Creator output）である。図 1 1 に示すように、この例は、 $dt = 0.5 ns$  となっており、位相差が  $0.5 ns$  以内である場合には、デッドゾーン生成回路 1 2 の出力（電荷）は、0.0 となっている。

【 0 0 6 0 】

チャージポンプ 1 3 は、位相差パルス信号  $UP_{dz}$  と、 $DOWN_{dz}$  に応じた電流パルス  $I_{cp2}$  を出力する。図 1 2 には、チャージポンプ 1 3 の回路構成が示されている。図 1 2 に示すように、チャージポンプ 1 3 は、2 つの電流ミラー 6 0 を備えている。 $VBP$ 、 $VBN$  は、一定の電源電圧である。

20

【 0 0 6 1 】

チャージポンプ 1 3 では、位相差パルス信号  $UP_{dz}$  が入力されると、A の方向に電流パルス  $I_{cp2}$  が出力され、位相差パルス信号  $DOWN_{dz}$  が入力されると、B の方向に電流パルス  $I_{cp2}$  が出力される。

【 0 0 6 2 】

図 1 に戻り、ループフィルタ 1 5 は、容量  $C1$ 、 $C2$  及び抵抗  $R1$  などから構成される。ループフィルタ 1 5 は、チャージポンプ 1 3 から出力された電流パルス  $I_{cp2}$  を入力し、電流パルス  $I_{cp2}$  に基づいて、電圧制御発振器 1 0 を制御する制御電圧  $Vc$  を生成して出力する。電流パルス  $I_{cp2}$  を制御信号  $I_{cp2}$  とも呼ぶ。

30

【 0 0 6 3 】

電流制御発振器 1 0 は、制御電圧  $Vc$  に応じた周波数の出力パルス信号  $V_{out}$  を出力する。出力パルス信号  $V_{out}$  の周波数  $f_t$  は、基準パルス信号  $V_{in}$  の周波数の  $N$  倍となっている。この出力パルス信号  $V_{out}$  は、ディバイダ 1 4 に入力される。

【 0 0 6 4 】

ディバイダ 1 4 は、出力パルス信号  $V_{out}$  の周波数を  $1/N$  した信号を、帰還パルス信号  $Div$  として出力する。

【 0 0 6 5 】

周波数同期ループ 1 は、上述のような構成により、基準パルス信号  $Ref$  に対応する出力パルス信号  $V_{out}$  に対応する期間パルス信号  $Div$  の周波数及び位相が、基準パルス信号  $Ref$  の周波数及び位相に同期するように、電圧制御発振器 1 0 を制御する。

40

【 0 0 6 6 】

次に、コアループ 2 の構成について説明する。

【 0 0 6 7 】

図 1 に戻り、コアループ 2 は、上述の電圧制御発振器 1 0、ループフィルタ 1 5 に加え、サブサンプリング位相比較器 2 0 と、パルサ 2 1 と、チャージポンプ 2 2 とを備える。

【 0 0 6 8 】

図 1 3 には、サブサンプリング位相比較器 2 0 の回路構成が示されている。図 1 3 に示すように、サブサンプリング位相比較器 2 0 は、電圧制御発振器 1 0 からの帰還パルス信号として、 $V_{COP}$ 、 $V_{CON}$  を入力する。 $V_{COP}$  は、出力パルス信号  $f_{OUT}$  と同じ信

50

号であり、 $V_{CON}$ は、その反転信号である。

【0069】

サブサンプリング位相比较器20は、基準パルス信号 $Ref$ と電圧制御発振器10からの帰還パルス信号( $V_{COP}$ 、 $V_{CON}$ )との間の位相差を、サンプリング電圧 $V_{sam}$ ( $V_{samP}$ 、 $V_{samN}$ )に変換する。すなわち、サンプリング電圧 $V_{samP}$ は、基準パルス信号 $Ref$ よりも帰還パルス信号 $V_{COP}$ が遅れているときの位相差であり、サンプリング電圧 $V_{samN}$ は、基準パルス信号 $Ref$ よりも帰還パルス信号 $V_{COP}$ 進んでいるときの位相差である。

【0070】

サブサンプリング位相比较器20の2つの容量は、基準パルス信号 $Ref$ が高いときに、電圧制御発振器10からの帰還信号 $V_{COP}$ 、 $V_{CON}$ によってチャージされる。サブサンプリング位相比较器20は、基準信号 $Ref$ の立ち下がりエッジで出力 $V_{samP}$ 、 $V_{samN}$ を発生させる。

10

【0071】

図14(A)、図14(B)には、サブサンプリング位相比较器20の出力パルス信号 $V_{samP}$ 、 $V_{samN}$ 及び基準パルス信号 $Ref$ のタイミングチャートが示されている。図14(A)に示すように、基準パルス信号 $Ref$ が高レベルのときには、出力パルス信号 $V_{samP}$ 、 $V_{samN}$ は振動するが、基準パルス信号 $Ref$ がローレベルのときには、出力パルス信号 $V_{samP}$ 、 $V_{samN}$ は一定レベルとなる。このレベルは、基準パルス信号 $Ref$ と、帰還パルス信号 $V_{COP}$ 、 $V_{CON}$ との位相差を表している。

20

【0072】

図15には、パルサ21の回路構成が示されている。図15に示すように、パルサ21は、遅延回路、ANDゲート及びインバータ回路等を備える。遅延回路による遅延時間は $V_{tune}$ によって制御され得る。この制御により、パルサ21は、パルス信号 $pul$ 及びその反転信号 $pulR$ を発生させる。パルス信号 $pul$ は、基準パルス信号 $Ref$ がローレベルである期間内で高レベルとなる信号である。

【0073】

図16には、チャージポンプ22の回路構成が示されている。図16に示すように、チャージポンプ22は、電圧を電流に変換する差動対70と、電流をループフィルタ15に流すカスコード電流ミラー71とを備える。差動対70は、 $V_{samP}$ 、 $V_{samN}$ を入力とする。電流ミラー71は、パルス信号 $pul$ が高レベルであるときだけ、 $V_{samP}$ と $V_{samN}$ との間の電圧差に応じた電流パルス $I_{cp1}$ を出力する。チャージポンプ22の電流パルス $I_{cp1}$ は、 $V_{samP}$ と $V_{samN}$ との間の電圧差によって変化する。電流パルス $I_{cp1}$ の全体量は、 $V_{bias}$ によって制御される。電流パルス $I_{cp1}$ を以下では、制御信号 $I_{cp1}$ とも呼ぶ。

30

【0074】

このように、コアループ2では、サブサンプリング位相比较器20の出力が、基準パルス信号 $Ref$ と、帰還パルス信号 $V_{COP}$ 、 $V_{CON}$ との位相差を表しているときだけ、パルサ21が、チャージポンプ22をアクティブとして、電流パルス $I_{cp1}$ を出力する。これにより、コアループ2による電圧制御発振器10の制御が可能となる。

40

【0075】

図1に戻り、ループフィルタ15は、チャージポンプ22から出力された電流パルス $I_{cp1}$ を入力し、電流パルス $I_{cp1}$ に応じた制御電圧 $V_c$ を出力する。

【0076】

電流制御発振器10は、制御電圧 $V_c$ に応じた周波数の出力パルス信号 $V_{out}$ を出力する。この出力パルス信号 $V_{out}$ は、ディバイダ14に入力される。

【0077】

次に、PLL回路100の動作について説明する。

【0078】

まず、基準パルス信号 $Ref$ と、出力パルス信号 $V_{out}$ との間の周波数が同期していな

50

い状態では、図17に示すように、周波数同期ループ1及びコアループ2が両方動作し、出力パルス信号 $V_{out}$ の周波数及び位相を基準パルス信号 $Ref$ に同期させる。

【0079】

帰還パルス信号 $Div$ と基準パルス信号 $Ref$ との位相差が $0.5ns$ 以内になると、デッドゾーン生成回路12から出力される位相差パルス信号は0となり、電流パルス $I_{cp2}$ は、0となる。その後は、図18に示すように、コアループ2によって電流制御発振器10が制御される。

【0080】

図19(A)には、コアループ2における制御信号 $I_{cp1}$ の変化の一例が示されている。また、図19(B)には、周波数同期ループ1における制御信号 $I_{cp2}$ の変化の一例が示されている。さらに、図19(C)には、制御電圧 $Vc$ の変化の一例が示されている。図19(A)に示すように、PLL回路100の動作中、コアループ2は、常に制御信号 $I_{cp1}$ を出力しているが、図19(B)に示すように、周波数同期ループ1が制御信号 $I_{cp2}$ を出力するのは、図19(C)に示すように制御電圧 $Vc$ が収束するまでの初期の段階となる。

10

【0081】

以上詳細に説明したように、本実施形態によれば、ディバイダ14が設けられた周波数同期ループ1を構成するデッドゾーン生成回路12によってチャージポンプ13に出力する位相差パルス信号を0にするデッドゾーンの幅を自由に設定することができる。これにより、電圧制御発振器10を制御するループを周波数同期ループからコアループ2に切り替えるタイミングを、制御ループの特性に適したものとすることができるので、より高精度な発振制御が可能となる。

20

【0082】

より具体的には、デッドゾーン生成回路12のデッドゾーンの幅を、基準パルス信号の周期に関わらず、設定できるので、リングVCOのようなチューニングゲインの高いVCOを用いた場合にも有効的に位相雑音を低減することができる。

【0083】

また、本実施形態によれば、実質的に、分周器のない制御ループ(コアループ2)で、電圧制御発振器10を制御させるようになるので、位相雑音を低減することができる。

【0084】

また、本実施形態によれば、電圧制御発振器10としてリング型のVCOを採用しているので、位相雑音を低減しながらも、装置を小型化し、かつ消費電力を低減することができる。

30

【0085】

本実施形態に係るPLL回路100と、従来のPLL回路(リング型VCO)との比較結果を、以下の表にまとめる。比較対象としては、以下のものが採用された。

A.Sai et al., "A 570fsrms Integrated-Jitter Ring VCO-Based 1.21GHz PLL with Hybrid Loop", ISSCC, pp.98-100, 2011

【表 1】

	PLL回路100	従来のRing VCOを組み込んだPLL回路 (世界トップ性能)
出力周波数 $f_0$ (GHz)	2.08	1.21
入力周波数 $f_{ref}$ (MHz)	130	55
VCOタイプ	Ring	Ring
帯域内位相雑音 $L_{in\_band}(f)$ (dBc/Hz)	-119.1 (1MHz)	-119.6 (1MHz)
RMSジッタ $\sigma_{RMS}$ (ps)	0.73 (1k-10M)	0.57 (1k-10M)
消費電力 (mW)	20.4	51.6
コア面積 (mm <sup>2</sup> )	0.46	0.12
FOM (Figure Of Merit) (dB)	-229.7	-227.7
回路製造技術	65nmCMOS	65nmCMOS

10

20

ここで、性能指標として、次式で示されるFOM (Figure Of Merit)を導入した。

【数 3】

$$FOM = 10 \log \left[ \left( \frac{\sigma_f}{1s} \right)^2 \times \left( \frac{P}{1mW} \right) \right] \dots (3)$$

【0086】

上記表1に示すように、本実施形態に係るPLL回路100により、帯域内位相雑音が-119.1dBc/Hz、RMSジッタが0.73ps、消費電力が20.4mW、FOMが-229.7dB、チップ面積が2.74mm<sup>2</sup>という数値性能が達成された。RMSジッタ0.73psは、リング型VCOを用いた場合には、格段に低いジッタとなっている。ループ帯域の制御パラメータを変更するなどしてフィルタを最適化すれば、帯域内位相雑音、RMSジッタはさらに改善することが可能であることが予想される。

30

【0087】

PLL回路100及び各構成要素の回路構成は、上記実施形態のものには限られない。例えば、チャージポンプ13、サブサンプリング位相比較器20、パルサ21、チャージポンプ22、ループフィルタ15などは、電流制御発振器10は、他の回路構成を有するものであってもよい。

【0088】

本発明は、この発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明を説明するためのものであり、本発明の範囲を限定するものではない。すなわち、本発明の範囲は、実施形態ではなく、特許請求の範囲によって示される。そして、特許請求の範囲内及びそれと同等の発明の意義の範囲内で施される様々な変形が、本発明の範囲内とみなされる。

40

【産業上の利用可能性】

【0089】

本発明は、通信機器やデジタル機器に用いられるPLL回路に好適である。

【符号の説明】

【0090】

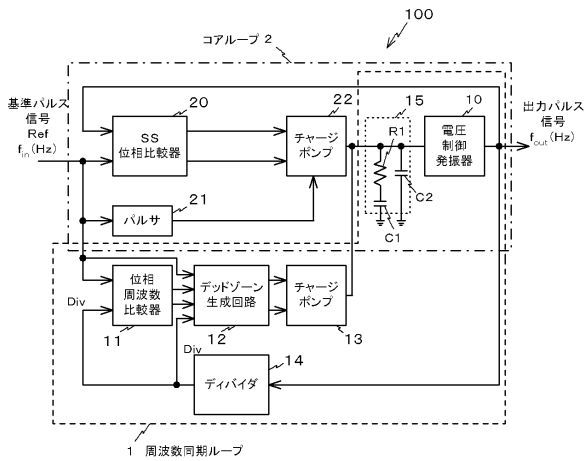
50

- 1 周波数同期ループ
- 2 コアループ
- 5 インバータ回路
- 10 電圧制御発振器
- 11 位相周波数比較器
- 12 デッドゾーン生成回路
- 13 チャージポンプ
- 14 分周器 (ディバイダ)
- 15 ループフィルタ
- 20 サブサンプリング位相比較器
- 21 パルス
- 22 チャージポンプ
- 31、32 Dフリップフロップ
- 33 論理積回路
- 40 ~ 45 インバータ回路
- 46、47 遅延回路
- 48、49 インバータ回路
- 50、51 論理積回路
- 60 電流ミラー
- 70 差動対
- 71 電流ミラー
- 100 位相同期ループ (PLL) 回路

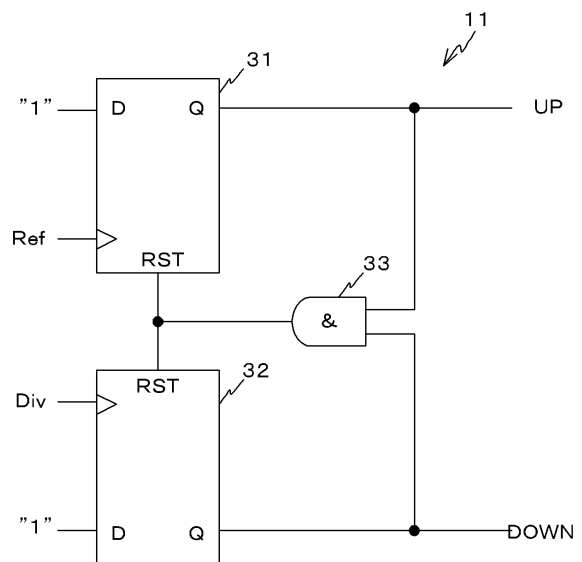
10

20

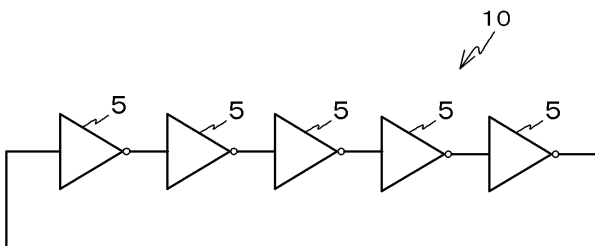
【図1】



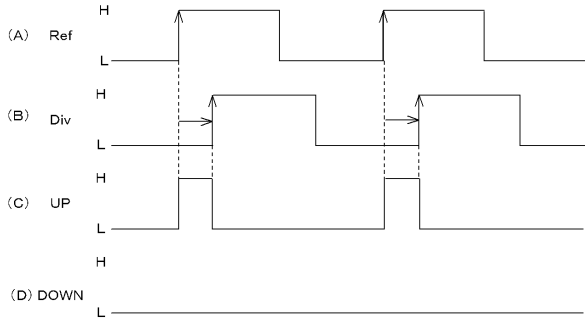
【図3】



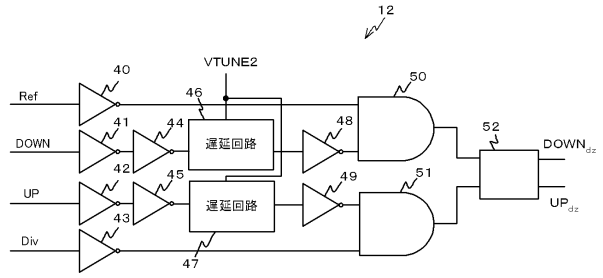
【図2】



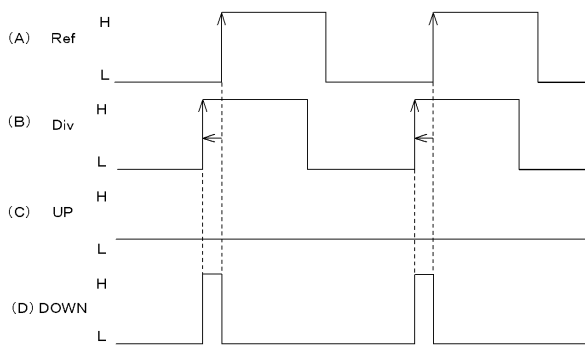
【 図 4 】



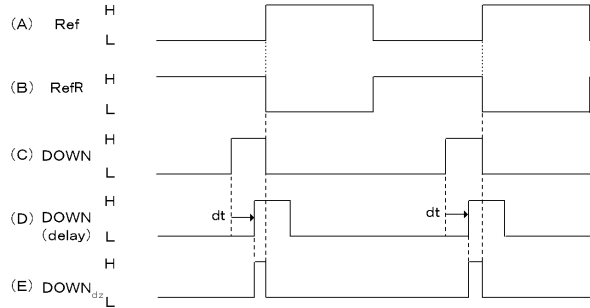
【 図 6 】



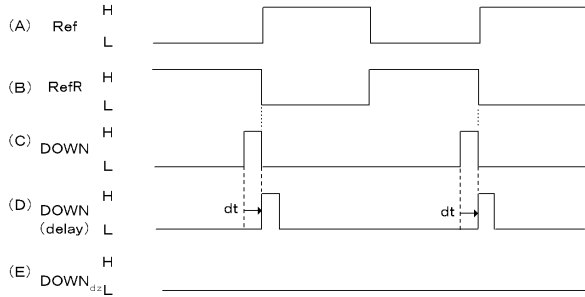
【 図 5 】



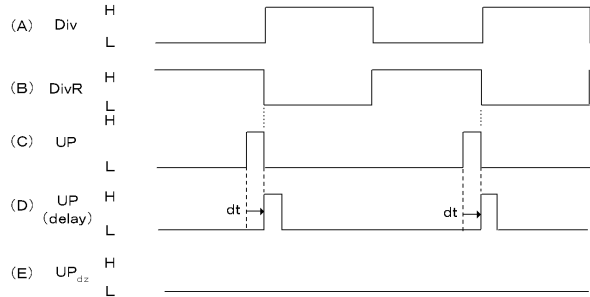
【 図 7 】



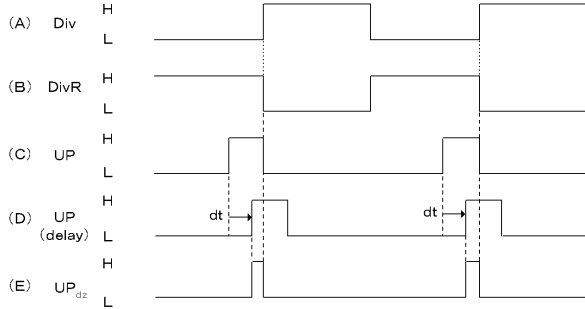
【 図 8 】



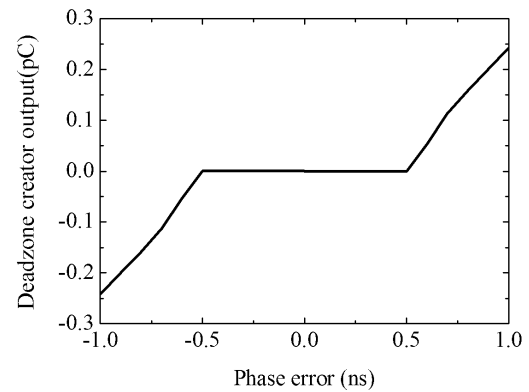
【 図 10 】



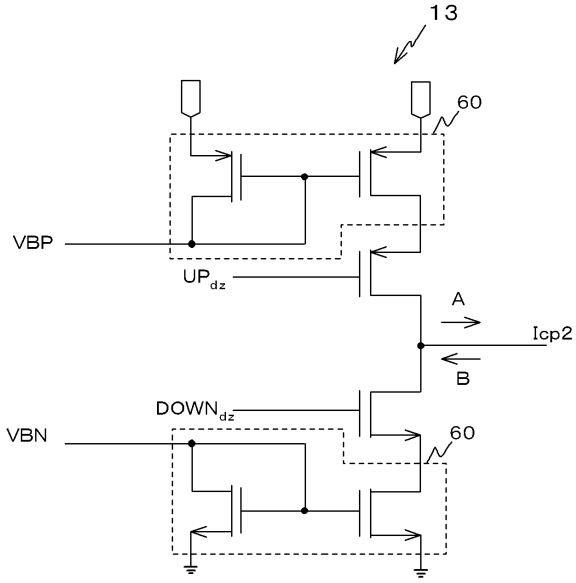
【 図 9 】



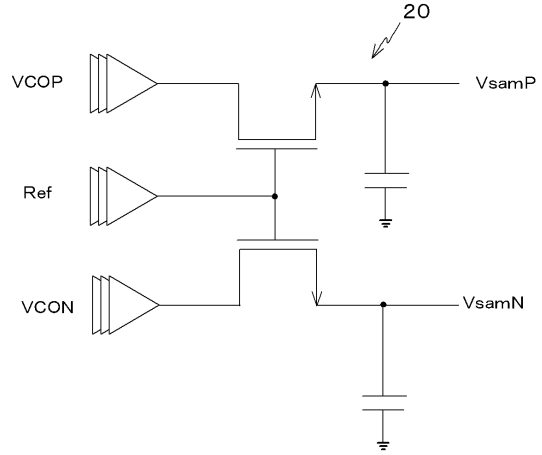
【 図 11 】



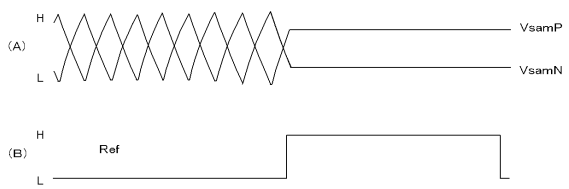
【図12】



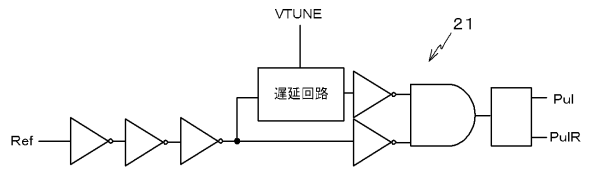
【図13】



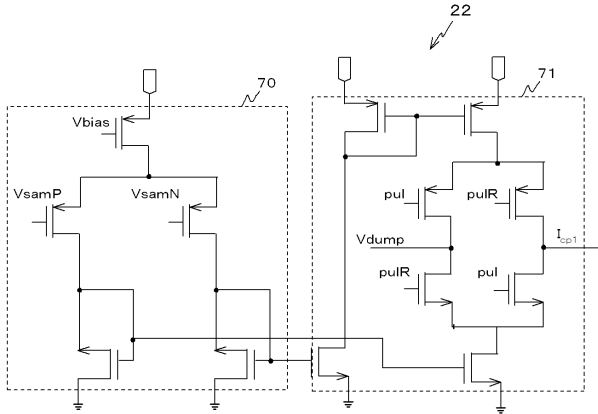
【図14】



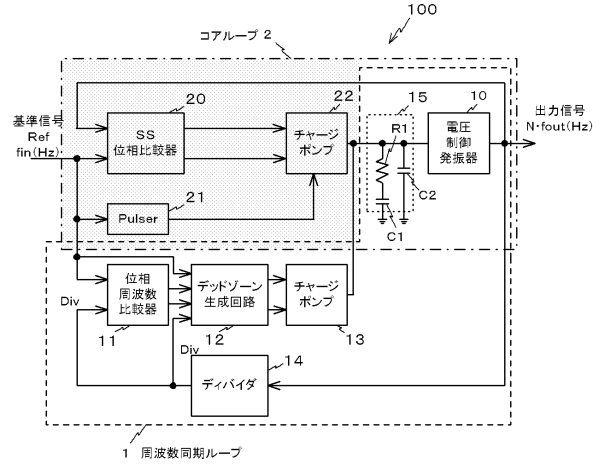
【図15】



【図16】

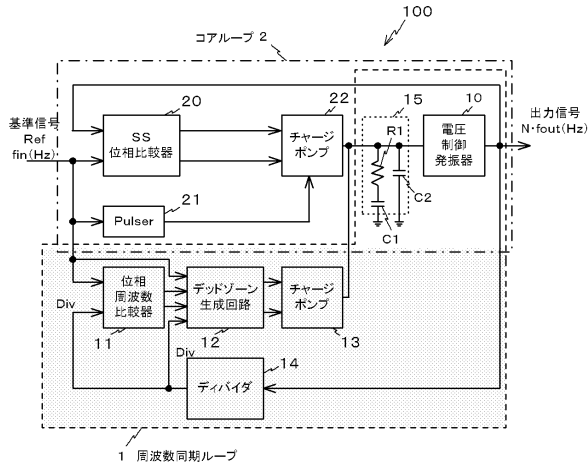


【図17】

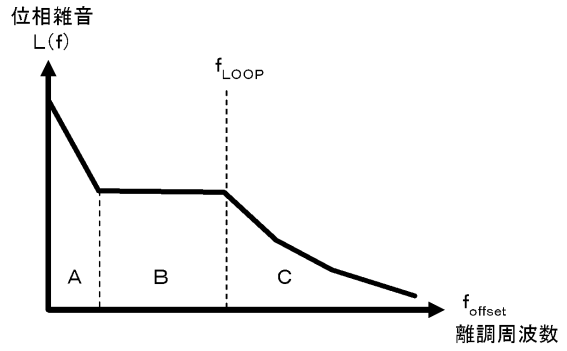




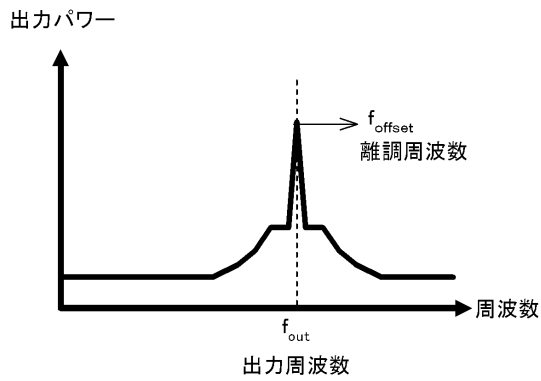
【図18】



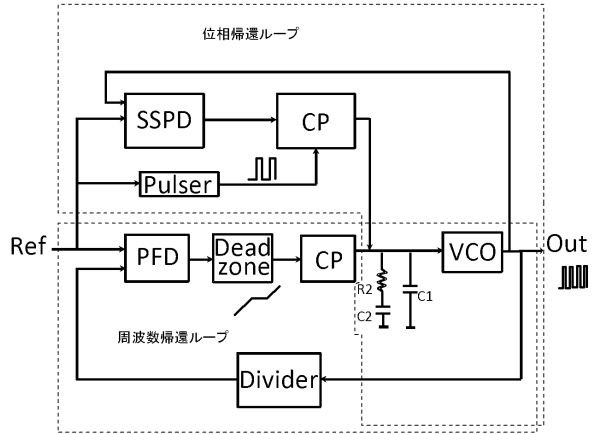
【図21】



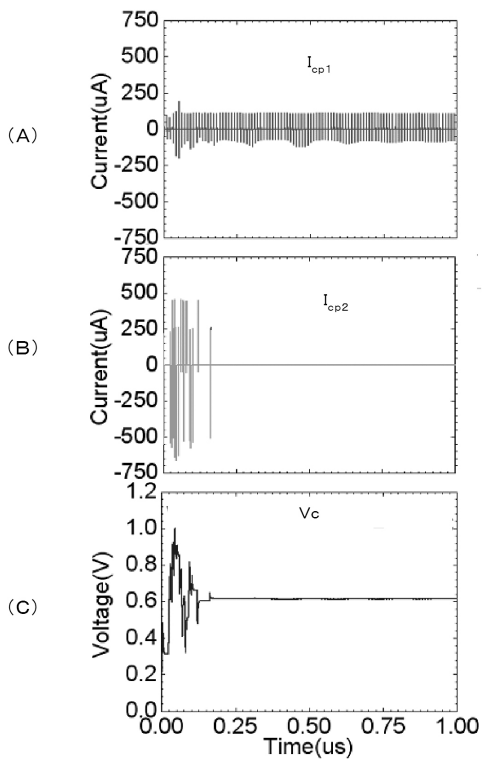
【図20】



【図22】



【図19】



---

フロントページの続き

(72)発明者 外谷 昭洋

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所  
内

(72)発明者 十河 健太

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所  
内

審査官 高 橋 義昭

(56)参考文献 特開2009-194611(JP,A)

特開平11-127076(JP,A)

特開2001-053601(JP,A)

特開2002-198805(JP,A)

特開2000-201070(JP,A)

特開昭63-260317(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/22