

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-101729

(P2013-101729A)

(43) 公開日 平成25年5月23日(2013.5.23)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 15/04 (2006.01)</b>	G 1 1 C 15/04 F	
	G 1 1 C 15/04 6 3 1 F	
	G 1 1 C 15/04 6 0 1 S	

審査請求 未請求 請求項の数 9 O L (全 99 頁)

(21) 出願番号	特願2011-243733 (P2011-243733)	(71) 出願人	504136568
(22) 出願日	平成23年11月7日 (2011.11.7)		国立大学法人広島大学
特許法第30条第1項適用申請有り	1. 発行者名 社 団法人 電子情報通信学会	(74) 代理人	100104444
	2. 刊行物名、巻数、号数 電子情報通信学会技術研究報告 信学技報 V o l .		弁理士 上羽 秀敏
	1 1 1 N o . 4 0	(74) 代理人	100112715
	3. 発行日 平成23年 5月1 1日		弁理士 松山 隆夫
	(出願人による申告) 平成22年度、独立行政法人科学 技術振興機構 科学技術コモンズ 産業技術力強化法第 19条の適用を受ける特許出願	(74) 代理人	100125704
			弁理士 坂根 剛
		(74) 代理人	100120662
			弁理士 川上 桂子
		(72) 発明者	小出 哲士
			広島県東広島市鏡山一丁目4番2号 国立 大学法人広島大学ナノデバイス・バイオ融 合科学研究所内

最終頁に続く

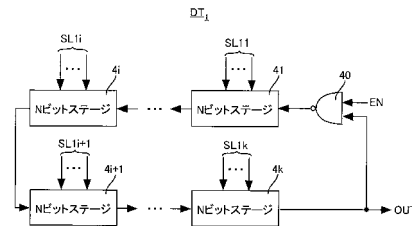
(54) 【発明の名称】 連想メモリ

(57) 【要約】

【課題】 誤検索を抑制可能な連想メモリを提供する。

【解決手段】 連想メモリは、R個の距離/時間変換回路  $DT_1 \sim DT_R$  を備える。R個の距離/時間変換回路  $DT_1 \sim DT_R$  の各々は、NAND回路40と、Nビットステージ41~4kとを含む。Nビットステージ41~4kは、それぞれ、参照データと検索データとの間の距離が大きいくほど、より長い遅延時間によってNAND回路40からの信号を遅延して発振信号を発振し、参照データと検索データとの間の距離が小さいほど、より短い遅延時間によってNAND回路40からの信号を遅延して発振信号を発振する。そして、距離/時間変換回路  $DT_1 \sim DT_R$  から出力されたR個の発振信号のうち、最も早く変化する発振信号がWinner行の発振信号として検出される。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

各々が  $W$  ( $W$  は 2 以上の整数) ビットのビット長を有する  $R$  ( $R$  は 2 以上の整数) 個の参照データを保存する参照データ保存回路と、

$W$  ビットのビット長を有し、かつ、検索対象である検索データを前記  $R$  個の参照データの各々とビット毎に比較し、各々が前記検索データと前記参照データとの間の距離を表し、かつ、 $W$  ビットのビット値からなる  $R$  個の距離信号を前記検索データと前記  $R$  個の参照データとの比較結果として出力する比較回路と、

前記  $R$  個の距離信号に対応して設けられ、各々が  $k$  ( $k$  は、 $W/N$  または  $(W/N) + 1$  を満たす整数、 $N$  は、3 以上の整数) 個の遅延回路をリング状に接続した発振回路を含む  $R$  個の変換回路と、

前記  $R$  個の距離信号および前記  $R$  個の変換回路に対応して設けられ、各々が  $k$  個の経路選択回路を含む  $R$  個の選択回路と、

前記  $R$  個の変換回路から出力された  $R$  個の出力信号のうち、最も早く変化する出力信号を検出し、その検出した出力信号を前記検索データに最も類似した参照データを示す信号として出力する検出回路とを備え、

前記  $R$  個の選択回路の各々は、対応する  $W$  ビットの距離信号によって表される距離が小さいほど前記  $k$  個の遅延回路における遅延時間が短くなり、かつ、前記対応する  $W$  ビットの距離信号によって表される距離が大きいほど前記  $k$  個の遅延回路における遅延時間が長くなるように前記  $k$  個の遅延回路の各々における  $N + 1$  個の遅延経路から 1 つの遅延経路を選択するための  $k$  個の選択信号を前記対応する  $W$  ビットの距離信号に基づいて生成し、その生成した  $k$  個の選択信号を前記対応する変換回路へ出力し、

前記  $R$  個の変換回路の各々は、前記対応する選択回路から前記  $k$  個の選択信号を受けると、その受けた  $k$  個の選択信号によって選択された  $k$  個の遅延経路を介して発振し、その発振した発振信号を出力信号として前記検出回路へ出力する、連想メモリ。

## 【請求項 2】

前記  $R$  個の変換回路から出力された  $R$  個の出力信号を分周し、その分周した  $R$  個の出力信号を前記検出回路へ出力する分周器をさらに備える、請求項 1 に記載の連想メモリ。

## 【請求項 3】

前記  $k$  個の経路選択回路は、前記  $k$  個の遅延回路に対応して設けられ、

前記  $k$  個の経路選択回路の各々は、前記  $k$  個の経路選択回路が含まれる選択回路へ出力される  $W$  ビットの距離信号のうち、 $N$  ビットの距離信号を受け、その受けた  $N$  ビットの距離信号によって表される距離が小さいほど遅延時間が短くなり、かつ、前記受けた  $N$  ビットの距離信号によって表される距離が大きいほど遅延時間が長くなるように前記  $N + 1$  個の遅延経路から 1 つの遅延経路を選択するための選択信号を生成し、その生成した選択信号を前記対応する遅延回路へ出力し、

前記  $k$  個の遅延回路の各々は、前記  $N + 1$  個の遅延経路を含み、前記対応する経路選択回路から前記選択信号を受けると、その受けた選択信号によって選択された前記 1 つの遅延経路によって信号を遅延して出力する、請求項 1 または請求項 2 に記載の連想メモリ。

## 【請求項 4】

前記  $k$  個の遅延回路の各々は、

入力ノードと、

出力ノードと、

前記入力ノードと前記出力ノードとの間に接続された第 1 のゲートからなる第 1 の遅延経路と、

各々が、前記入力ノード側に配置された第 2 のゲートと、前記出力ノードに接続された第 3 のゲートと、前記第 2 のゲートと前記第 3 のゲートとの間に接続された遅延器とからなる  $N$  個の遅延経路とを含み、

前記  $N$  個の遅延経路のうち、前記第 1 の遅延経路に隣接する第 2 の遅延経路の前記第 2 のゲートは、前記入力ノードに接続され、

10

20

30

40

50

前記  $N$  個の遅延経路のうち、前記第 2 の遅延経路以外の  $N - 1$  個の遅延経路に含まれる  $N - 1$  個の前記第 2 のゲートは、それぞれ、前記第 1 の遅延経路側で隣接する遅延経路に含まれる前記遅延器の出力側に接続され、

前記第 1 のゲート、前記  $N$  個の第 2 のゲートおよび前記  $N$  個の第 3 のゲートは、前記  $N$  ビットの距離信号によって表される距離が  $d$  ( $d = 0, 1, 2, \dots, N$ ) であるとき前記入力ノードから  $i$  個の前記遅延器を介して前記出力ノードへ信号が出力されるように前記選択信号によって開閉される、請求項 3 に記載の連想メモリ。

【請求項 5】

前記  $k$  個の経路選択回路の各々は、

直列に接続された  $N - 1$  個の第 1 の選択信号生成回路と、

10

前記  $N - 1$  個の第 1 の選択信号生成回路のうち、入力側から  $N - 1$  番目の第 1 の選択信号生成回路から出力された  $N$  個の出力信号に基づいて、前記第 1 の遅延経路から最も離れた位置に配置された第  $N + 1$  番目の遅延経路に含まれる前記第 3 のゲートと前記第 1 のゲートとを除いた  $N - 2$  個の前記第 3 のゲートを開閉する  $N - 2$  個の第 1 の選択信号と、前記  $N$  個の第 2 のゲートを開閉する  $N$  個の第 2 の選択信号とを生成する第 2 の選択信号生成回路とを含み、

前記  $N - 1$  個の第 1 の選択信号生成回路は、

前記  $W$  ビットの距離信号のうち第 1 および第 2 番目のビット値に基づいて 2 個の選択信号を生成する第 1 の信号生成回路と、

20

各々が、 $m$  ( $m$  は  $2 \leq m \leq N - 1$  を満たす整数) 個の選択信号と、前記  $W$  ビットの距離信号のうち第  $n$  ( $n$  は  $3 \leq n \leq N$  を満たす整数) 番目のビット値とに基づいて  $m + 1$  個の選択信号を生成する  $N - 2$  個の第 2 の信号生成回路とを含み、

前記  $N - 2$  個の第 2 の信号生成回路の各々は、前記第 1 の信号生成回路、または前記第 1 の信号生成回路側の第 2 の信号生成回路から前記  $m$  個の選択信号を受け、

前記第 2 の選択信号生成回路は、前記  $N - 2$  個の第 1 の選択信号を前記  $N - 2$  個の第 3 のゲートへ出力し、前記  $N$  個の第 2 の選択信号を前記  $N$  個の第 2 のゲートへ出力し、前記第 2 の遅延経路に含まれる前記第 2 のゲートへ出力する前記第 2 の選択信号の反転信号を前記第 1 のゲートへ出力し、前記第  $N + 1$  番目の遅延経路に含まれる前記第 2 のゲートへ出力する前記第 2 の選択信号と同じ選択信号を前記第  $N + 1$  番目の遅延経路に含まれる前記第 3 のゲートへ出力する、請求項 4 に記載の連想メモリ。

30

【請求項 6】

$K$  ( $K$  は 2 以上の整数) ビットのビット長を有する参照データを列方向に  $W$  ( $W$  は 2 以上の整数) 個配列し、かつ、行方向に  $R$  ( $R$  は 2 以上の整数) 個配列して  $W \times R$  個の参照データを保存する参照データ保存回路と、

$K$  ビットのビット長を有し、かつ、検索対象である検索データを前記  $W \times R$  個の参照データの各々とビット毎に比較し、各々が前記検索データと前記参照データとの間の距離を表し、かつ、各々が  $K$  ビットのビット値からなる  $W \times R$  個の距離信号を前記検索データと前記  $W \times R$  個の参照データとの比較結果として出力する比較回路と、

各々が前記列方向に配列された  $W$  個の参照データと前記検索データとの比較結果を示す  $R$  個の距離信号に対応して設けられた  $R$  個の変換回路と、

40

前記  $R$  個の距離信号および前記  $R$  個の変換回路に対応して設けられた  $R$  個の選択回路と

、前記  $R$  個の変換回路から出力された  $R$  個の出力信号のうち、最も早く変化する出力信号を検出し、その検出した出力信号を前記検索データに最も類似した参照データを示す信号として出力する検出回路とを備え、

前記  $R$  個の選択回路の各々は、前記  $R$  個の距離信号のうち、対応する距離信号の  $W \times K$  個のビット値に基づいて、前記参照データと前記検索データとの同位ビット同士が異なるとき第 1 の遅延時間を有する第 1 の遅延経路を選択し、前記同位ビット同士が一致するとき前記第 1 の遅延時間よりも短い第 2 の遅延時間を有する第 2 の遅延経路を選択するための選択信号を生成し、

50

前記 R 個の変換回路の各々は、前記対応する選択回路から受けた選択信号によって選択された前記第 1 の遅延経路または前記第 2 の遅延経路を用いて、前記参照データと前記検索データとの最上位ビット同士の距離を示す第 1 の距離信号から前記参照データと前記検索データとの最下位ビット同士の距離を示す第 2 の距離信号に向かって遅延時間が順次短くなり、かつ、周波数が順次高くなるように前記第 1 の距離信号から前記第 2 の距離信号に向かって前記距離信号を発振信号に順次変換し、その変換した発振信号を出力信号として前記検出回路へ出力する、連想メモリ。

【請求項 7】

前記 R 個の変換回路の各々は、

各々がリング状に接続された W 個の遅延回路を含み、前記参照データおよび前記検索データの K 個のビット位に対応して配置された K 個の発振回路と、

各々が隣接する 2 つの発振回路間に配置され、前記 K 個の発振回路を直列に接続する K - 1 個の選択器と、

前記直列に接続された K 個の発振回路のうち一方端の発振回路と他方端の発振回路との間に配置され、当該変換回路を活性化するための活性化信号を前記一方端の発振回路へ出力する活性化回路とを含み、

前記 K - 1 の選択器の各々は、前記 2 つの発振回路のうち一方の発振回路の出力信号を入力信号として前記一方の発振回路へ出力するとともに、前記一方の発振回路への出力回数が所望回数に達すると、前記一方の発振回路の出力信号を前記 2 つの発振回路のうち他方の発振回路へ出力し、

前記 W 個の遅延回路の各々は、前記第 1 および第 2 の遅延経路を有し、前記選択信号によって選択された前記第 1 または第 2 の遅延経路を用いて入力信号を遅延して隣接する遅延回路へ出力し、

前記 K 個の発振回路は、前記一方端の発振回路から前記他方端の発振回路へ向かうに従って前記第 1 の遅延経路における前記第 1 の遅延時間が順次短くなっており、

前記 R 個の選択回路の各々は、前記  $W \times K$  個のビット値に基づいて、前記 W 個の参照データと前記検索データとの同位ビット同士の比較結果を示す W ビットの距離信号を K 個生成し、その生成した K 個の W ビットの距離信号に基づいて、各々が前記 W ビットの距離信号によって表される距離が大きいほど遅延時間が長くなり、かつ、前記 W ビットの距離信号によって表される距離が小さいほど遅延時間が短くなるように前記第 1 または第 2 の遅延経路を選択するための K 個の選択信号を生成し、各選択信号が各ビット位に対応して配置された発振回路へ出力されるように前記生成した K 個の選択信号をそれぞれ前記 K 個の発振回路へ出力する、請求項 6 に記載の連想メモリ。

【請求項 8】

前記 R 個の変換回路の各々は、

各々がリング状に接続された W 個の遅延回路を含み、前記参照データおよび前記検索データの K 個のビット位に対応して配置された K 個の発振回路と、

各々が隣接する 2 つの発振回路間に配置され、前記 K 個の発振回路を直列に接続する K - 1 個の分周器と、

前記直列に接続された K 個の発振回路のうち一方端の発振回路と他方端の発振回路との間に配置され、当該変換回路を活性化するための活性化信号を前記一方端の発振回路へ出力する活性化回路とを含み、

前記 K - 1 の分周器の各々は、前記 2 つの発振回路のうち一方の発振回路の出力信号を分周して前記一方の発振回路へ出力するとともに、分周回数が所望回数に達すると、分周後の信号を前記 2 つの発振回路のうち他方の発振回路へ出力し、

前記 W 個の遅延回路の各々は、前記第 1 および第 2 の遅延経路を有し、前記選択信号によって選択された前記第 1 または第 2 の遅延経路を用いて入力信号を遅延して隣接する遅延回路へ出力し、

前記 W 個の遅延回路に含まれる W 個の前記第 1 の遅延経路における W 個の前記第 1 の遅延時間は、相互に同じであり、

10

20

30

40

50

前記 K - 1 個の分周器は、前記一方端の発振回路の出力信号を受ける分周器から前記他方端の発振回路へ信号を出力する分周器に向かうに従って分周回数が増加し、

前記 R 個の選択回路の各々は、前記  $W \times K$  個のビット値に基づいて、前記 W 個の参照データと前記検索データとの同位ビット同士の比較結果を示す W ビットの距離信号を K 個生成し、その生成した K 個の W ビットの距離信号に基づいて、各々が前記 W ビットの距離信号によって表される距離が大きいほど遅延時間が長くなり、かつ、前記 W ビットの距離信号によって表される距離が小さいほど遅延時間が短くなるように前記第 1 または第 2 の遅延経路を選択するための K 個の選択信号を生成し、各選択信号が各ビット位に対応して配置された発振回路へ出力されるように前記生成した K 個の選択信号をそれぞれ前記 K 個の発振回路へ出力する、請求項 6 に記載の連想メモリ。

10

【請求項 9】

前記 R 個の変換回路の各々は、

各々が前記第 1 および第 2 の遅延経路を有し、リング状に接続された W 個の遅延回路を含む第 1 の発振回路と、

各々が前記第 1 および第 2 の遅延経路を有し、リング状に接続された W 個の遅延回路を含む第 2 の発振回路と、

前記第 1 の発振回路の出力信号を所望回数だけ分周し、その分周した信号を前記第 2 の発振回路へ出力する第 1 の分周器と、

前記第 2 の発振回路の出力信号を所望回数だけ分周し、その分周した信号を前記第 1 の発振回路へ出力する第 2 の分周器と、

20

前記第 2 の分周器と前記第 1 の発振回路との間に配置され、当該変換回路を活性化するための活性化信号を前記第 1 の発振回路へ出力する活性化回路とを含み、

前記第 1 の分周器は、前記参照データと前記検索データとの最上位ビットから奇数番目のビット同士の比較結果を示す第 1 の距離信号を変換した発振信号を前記第 1 の発振回路から受け、前記第 1 の距離信号がより下位のビット同士の比較結果を示すほど少ない回数だけ前記受けた発振信号を分周して前記第 2 の発振回路へ出力し、

前記第 2 の分周器は、前記参照データと前記検索データとの最上位ビットから偶数番目のビット同士の比較結果を示す第 2 の距離信号を変換した発振信号を前記第 2 の発振回路から受け、前記第 2 の距離信号がより下位のビット同士の比較結果を示すほど少ない回数だけ前記受けた発振信号を分周して前記第 1 の発振回路へ出力し、

30

前記 R 個の選択回路の各々は、前記  $W \times K$  個のビット値に基づいて、前記 W 個の参照データと前記検索データとの同位ビット同士の比較結果を示す W ビットの距離信号を K 個生成し、その生成した K 個の W ビットの距離信号に基づいて、各々が前記 W ビットの距離信号によって表される距離が大きいほど遅延時間が長くなり、かつ、前記 W ビットの距離信号によって表される距離が小さいほど遅延時間が短くなるように前記第 1 または第 2 の遅延経路を選択するための K 個の選択信号を生成し、前記第 1 の距離信号に基づいて生成された選択信号が前記第 1 の発振回路へ出力され、前記第 2 の距離信号に基づいて生成された選択信号が前記第 2 の発振回路へ出力されるように前記 K 個の選択信号を交互に前記第 1 および第 2 の発振回路へ出力する、請求項 6 に記載の連想メモリ。

【発明の詳細な説明】

40

【技術分野】

【0001】

この発明は、連想メモリに関するものである。

【背景技術】

【0002】

近年、文字認識・画像認識などに代表されるパターンマッチングを必要とするアプリケーションが大変注目されている。特に、パターンマッチングを L S I (Large Scale Integrated circuit) 上で実現することにより、将来、人工知能およびモバイル機器等の高機能アプリケーションに適用可能になり、この技術の実現は、非常に注目を浴びている。

50

## 【 0 0 0 3 】

パターンマッチングでは、データベースに保存された複数の参照データの中から、完全に検索データと一致するパターンを検索する「完全一致検索処理」と、検索データと最も類似するパターンを検索する「最類似検索処理」とがある。

## 【 0 0 0 4 】

前者は、CAM (Contents Addressable Memory) と呼ばれ、ネットワークルータのIPアドレステーブルのルーティングおよびプロセッサのキャッシュ等の実現に用いられる。人間の脳のような柔軟な検索・比較をコンピュータに処理させるには、後者の最類似検索処理を実現することが必要不可欠である。このような柔軟な比較を実現する機能を持つメモリのことを特に連想メモリ (Associative Memory) と呼ぶ。

10

## 【 0 0 0 5 】

連想メモリを実現する手段として (1) デジタル方式による実現方法 (非特許文献1)、(2) アナログ方式による実現方法および (3) デジタル・アナログ融合方式 (非特許文献2) 等が提案されている。

## 【 先行技術文献 】

## 【 非特許文献 】

## 【 0 0 0 6 】

【非特許文献1】Y. Oike, et al., "A High-Speed and Low-Voltage Associative Co-Processor with Exact Hamming/Manhattan-Distance Estimation Using Word-Parallel and Hierarchical Search Architecture," IEEE J. Solid-State Circuits, vol. 39, no. 8, pp. 1383-1387, 2004.

20

【非特許文献2】M. A. Abedin, et al., "Nearest-euclidean-distance search associative memory with fully parallel mixed digital-analog match circuitry," Proc. of SSDM2006, pp. 282-283, 2006.

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 7 】

しかし、従来のアナログ方式による連想メモリにおいては、検索データと参照データとの類似度を表す距離を電圧に変換するので、誤検索が生じるという問題がある。

30

## 【 0 0 0 8 】

そこで、この発明は、かかる問題を解決するためになされたものであり、その目的は、誤検索を抑制可能な連想メモリを提供することである。

## 【 課題を解決するための手段 】

## 【 0 0 0 9 】

この発明の実施の形態によれば、連想メモリは、参照データ保存回路と、比較回路と、R個の変換回路と、R個の選択回路と、検出回路とを備える。参照データ保存回路は、各々がW (Wは2以上の整数) ビットのビット長を有するR (Rは2以上の整数) 個の参照データを保存する。比較回路は、Wビットのビット長を有し、かつ、検索対象である検索データをR個の参照データの各々とビット毎に比較し、各々が検索データと参照データとの間の距離を表し、かつ、Wビットのビット値からなるR個の距離信号を検索データとR個の参照データとの比較結果として出力する。R個の変換回路は、R個の距離信号に対応して設けられ、各々がk (kは、W/Nまたは(W/N)+1を満たす整数、Nは、3以上の整数) 個の遅延回路をリング状に接続した発振回路を含む。R個の選択回路は、R個の距離信号およびR個の変換回路に対応して設けられ、各々がk個の経路選択回路を含む。検出回路は、R個の変換回路から出力されたR個の出力信号のうち、最も早く変化する出力信号を検出し、その検出した出力信号を検索データに最も類似した参照データを示す信号として出力する。そして、R個の選択回路の各々は、対応するWビットの距離信号によって表される距離が小さいほどk個の遅延回路における遅延時間が短くなり、かつ、対応するWビットの距離信号によって表される距離が大きいほどk個の遅延回路における

40

50

遅延時間が長くなるように  $k$  個の遅延回路の各々における  $N + 1$  個の遅延経路から 1 つの遅延経路を選択するための  $k$  個の選択信号を対応する  $W$  ビットの距離信号に基づいて生成し、その生成した  $k$  個の選択信号を対応する変換回路へ出力する。  $R$  個の変換回路の各々は、対応する選択回路から  $k$  個の選択信号を受けると、その受けた  $k$  個の選択信号によって選択された  $k$  個の遅延経路を介して発振し、その発振した発振信号を出力信号として検出回路へ出力する。

【 0 0 1 0 】

また、この発明の実施の形態によれば、連想メモリは、参照データ保存回路と、比較回路と、  $R$  個の変換回路と、  $R$  個の選択回路と、検出回路とを備える。参照データ保存回路は、  $K$  (  $K$  は 2 以上の整数 ) ビットのビット長を有する参照データを列方向に  $W$  (  $W$  は 2 以上の整数 ) 個配列し、かつ、行方向に  $R$  (  $R$  は 2 以上の整数 ) 個配列して  $W \times R$  個の参照データを保存する。比較回路は、  $K$  ビットのビット長を有し、かつ、検索対象である検索データを  $W \times R$  個の参照データの各々とビット毎に比較し、各々が検索データと参照データとの間の距離を表し、かつ、各々が  $K$  ビットのビット値からなる  $W \times R$  個の距離信号を検索データと  $W \times R$  個の参照データとの比較結果として出力する。  $R$  個の変換回路は、各々が列方向に配列された  $W$  個の参照データと検索データとの比較結果を示す  $R$  個の距離信号に対応して設けられる。  $R$  個の選択回路は、  $R$  個の距離信号および  $R$  個の変換回路に対応して設けられる。検出回路は、  $R$  個の変換回路から出力された  $R$  個の出力信号のうち、最も早く変化する出力信号を検出し、その検出した出力信号を検索データに最も類似した参照データを示す信号として出力する。そして、  $R$  個の選択回路の各々は、  $R$  個の距離信号のうち、対応する距離信号の  $W \times K$  個のビット値に基づいて、参照データと検索データとの同位ビット同士が異なるとき第 1 の遅延時間を有する第 1 の遅延経路を選択し、同位ビット同士が一致するとき第 1 の遅延時間よりも短い第 2 の遅延時間を有する第 2 の遅延経路を選択するための選択信号を生成する。  $R$  個の変換回路の各々は、対応する選択回路から受けた選択信号によって選択された第 1 の遅延経路または第 2 の遅延経路を用いて、参照データと検索データとの最上位ビット同士の距離を示す第 1 の距離信号から参照データと検索データとの最下位ビット同士の距離を示す第 2 の距離信号に向かって遅延時間が順次短くなり、かつ、周波数が順次高くなるように第 1 の距離信号から第 2 の距離信号に向かって距離信号を発振信号に順次変換し、その変換した発振信号を出力信号として検出回路へ出力する。

【発明の効果】

【 0 0 1 1 】

この発明の実施の形態による連想メモリは、参照データと検索データとの間の距離を示す距離信号を時間領域の信号である発振信号に変換し、その変換した発振信号のうち、最も早く変化した発振信号を  $W i n n e r$  行 ( 参照データと検索データとが最も類似することを示す ) の発振信号として出力する。これによって、検索データに最も類似する参照データが検索される。そして、時間領域の信号は、無限に設定可能である。その結果、  $W i n n e r$  行と  $L o s e r$  行 ( 参照データと検索データとが  $W i n n e r$  行よりも類似しないことを示す ) との時間差を検出可能に設定できる。

【 0 0 1 2 】

従って、誤検索を抑制できる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】この発明の実施の形態 1 による連想メモリの構成を示す概略ブロック図である。

【図 2】図 1 に示す距離 / 時間変換回路の構成を示すブロック図である。

【図 3】図 2 に示す  $N$  ビットステージの構成を示す回路図である。

【図 4】図 1 に示すパスエンコーダの構成を示すブロック図である。

【図 5】図 4 に示すパスエンコーダの構成図である。

【図 6】図 5 に示すパス選択信号生成回路の回路図である。

【図 7】図 5 に示すパス選択信号生成回路の回路図である。

- 【図 8】図 5 に示すパス選択信号生成回路の回路図である。
- 【図 9】図 4 に示すパスエンコーダの一般的な概念図である。
- 【図 10】図 1 に示す分周回路の構成図である。
- 【図 11】図 10 に示す分周器の回路図である。
- 【図 12】図 11 に示す分周器の入力信号および出力信号のタイミングチャートである。
- 【図 13】図 1 に示す時間領域 W T A 回路の構成図である。
- 【図 14】図 13 に示す W i n n e r 検出回路の回路図である。
- 【図 15】図 14 に示す N A N D 回路の回路図である。
- 【図 16】図 14 に示す N O R 回路の回路図である。
- 【図 17】図 13 に示す時間領域 W T A 回路におけるタイミングチャートである。 10
- 【図 18】図 13 に示す W i n n e r 検出回路の他の回路図である。
- 【図 19】図 18 に示すプリチャージ / キーパーの回路図である。
- 【図 20】図 13 に示すフィードバック回路の回路図である。
- 【図 21】図 1 に示すメモリ部の具体例を示す図である。
- 【図 22】図 21 に示す 4 ビットステージの構成を示す回路図である。
- 【図 23】図 21 に示す 4 ビットパスエンコーダの構成図である。
- 【図 24】図 23 に示すパス選択信号生成回路の回路図である。
- 【図 25】従来のパスエンコーダの回路図である。
- 【図 26】従来の 4 ビットステージの回路図である。
- 【図 27】図 26 に示す 4 ビットステージの動作を説明するための図である。 20
- 【図 28】実施の形態 2 による連想メモリの構成を示す概略ブロック図である。
- 【図 29】図 28 に示すパスエンコーダの動作を説明するための図である。
- 【図 30】図 28 に示す距離 / 時間変換回路の構成を示すブロック図である。
- 【図 31】図 28 に示す距離 / 時間変換回路の他の構成を示すブロック図である。
- 【図 32】図 28 に示す距離 / 時間変換回路の更に他の構成を示すブロック図である。
- 【図 33】図 32 に示すマルチプレクサの回路図である。
- 【図 34】図 32 に示す E N 選択回路の回路図である。
- 【図 35】図 32 に示す一方の段数可変分周器の回路図である。
- 【図 36】図 32 に示す他方の段数可変分周器の回路図である。
- 【図 37】図 32 に示すスイッチング回路のブロック図である。 30
- 【図 38】図 37 に示すシフトレジスタの回路図である。
- 【図 39】図 37 に示すセレクタの回路図である。
- 【図 40】信号のタイミングチャートである。
- 【図 41】図 32 に示す距離 / 時間変換回路を備える連想メモリの動作を説明するための第 1 の概念図である。
- 【図 42】図 32 に示す距離 / 時間変換回路を備える連想メモリの動作を説明するための第 2 の概念図である。
- 【図 43】図 28 に示す距離 / 時間変換回路の更に他の構成を示すブロック図である。
- 【図 44】図 43 に示すマルチプレクサの回路図である。
- 【図 45】図 43 に示す段数可変分周器の回路図である。 40
- 【発明を実施するための形態】
- 【0014】
- 本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。
- 【0015】
- [実施の形態 1]
- 図 1 は、この発明の実施の形態 1 による連想メモリの構成を示す概略ブロック図である。図 1 を参照して、この発明の実施の形態 1 による連想メモリ 100 は、メモリアレイ部 10 と、分周回路 20 と、時間領域 W T A ( W i n n e r T a k e A l l ) 回路 30 とを備える。



## 【0016】

メモリアレイ部10は、メモリ部1と、行デコーダ2と、列デコーダ3と、読出/書込回路4と、検索データ保存回路5とを含む。

## 【0017】

メモリ部1は、参照データ保存回路(Storage Cell: SC)  $SC_{11} \sim SC_{1W}$ ,  $SC_{21} \sim SC_{2W}$ ,  $\dots$ ,  $SC_{R1} \sim SC_{RW}$ と、ユニット比較回路(Unit Comparator: UC)  $UC_{11} \sim UC_{1W}$ ,  $UC_{21} \sim UC_{2W}$ ,  $\dots$ ,  $UC_{R1} \sim UC_{RW}$ と、パスエンコーダ  $PE_1 \sim PE_R$ と、距離/時間変換回路  $DT_1 \sim DT_R$ とを含む。なお、WおよびRの各々は、2以上の整数である。

## 【0018】

ユニット比較回路  $UC_{11} \sim UC_{1W}$  は、それぞれ、参照データ保存回路  $SC_{11} \sim SC_{1W}$  に対応して設けられる。また、ユニット比較回路  $UC_{21} \sim UC_{2W}$  は、それぞれ、参照データ保存回路  $SC_{21} \sim SC_{2W}$  に対応して設けられる。以下、同様にして、ユニット比較回路  $UC_{R1} \sim UC_{RW}$  は、それぞれ、参照データ保存回路  $SC_{R1} \sim SC_{RW}$  に対応して設けられる。

## 【0019】

パスエンコーダ  $PE_1$  は、参照データ保存回路  $SC_{11} \sim SC_{1W}$  およびユニット比較回路  $UC_{11} \sim UC_{1W}$  に対応して配置される。パスエンコーダ  $PE_2$  は、参照データ保存回路  $SC_{21} \sim SC_{2W}$  およびユニット比較回路  $UC_{21} \sim UC_{2W}$  に対応して配置される。以下、同様にして、パスエンコーダ  $PE_R$  は、参照データ保存回路  $SC_{R1} \sim SC_{RW}$  およびユニット比較回路  $UC_{R1} \sim UC_{RW}$  に対応して配置される。

## 【0020】

距離/時間変換回路  $DT_1$  は、パスエンコーダ  $PE_1$  に対応して設けられる。距離/時間変換回路  $DT_2$  は、パスエンコーダ  $PE_2$  に対応して設けられる。以下、同様にして、距離/時間変換回路  $DT_R$  は、パスエンコーダ  $PE_R$  に対応して設けられる。

## 【0021】

参照データ保存回路  $SC_{11} \sim SC_{1W}$ ,  $SC_{21} \sim SC_{2W}$ ,  $\dots$ ,  $SC_{R1} \sim SC_{RW}$  は、行デコーダ2、列デコーダ3および読出/書込回路4によって書き込まれた参照データを保存する。この場合、参照データ保存回路  $SC_{11} \sim SC_{1W}$  は、Wビットの参照データ1を保存し、参照データ保存回路  $SC_{21} \sim SC_{2W}$  は、Wビットの参照データ2を保存し、以下、同様にして、参照データ保存回路  $SC_{R1} \sim SC_{RW}$  は、Wビットの参照データRを保存する。つまり、参照データ保存回路  $SC_{11} \sim SC_{1W}$ ,  $SC_{21} \sim SC_{2W}$ ,  $\dots$ ,  $SC_{R1} \sim SC_{RW}$  の各々は、参照データの1ビットを保存する。

## 【0022】

ユニット比較回路  $UC_{11} \sim UC_{1W}$  は、参照データ保存回路  $SC_{11} \sim SC_{1W}$  に保存されたWビットの参照データ1と、検索データ保存回路5に保存されたWビットの検索データとを比較する。また、ユニット比較回路  $UC_{21} \sim UC_{2W}$  は、参照データ保存回路  $SC_{21} \sim SC_{2W}$  に保存されたWビットの参照データ2と、検索データ保存回路5に保存されたWビットの検索データとを比較する。以下、同様にして、ユニット比較回路  $UC_{R1} \sim UC_{RW}$  は、参照データ保存回路  $SC_{R1} \sim SC_{RW}$  に保存されたWビットの参照データRと、検索データ保存回路5に保存されたWビットの検索データとを比較する。そして、ユニット比較回路  $UC_{11} \sim UC_{1W}$ 、ユニット比較回路  $UC_{21} \sim UC_{2W}$ 、 $\dots$ 、およびユニット比較回路  $UC_{R1} \sim UC_{RW}$  における参照データと検索データとの比較は、並列に行なわれる。

## 【0023】

そして、ユニット比較回路  $UC_{11} \sim UC_{1W}$  は、参照データ1と検索データとの比較結果をWビットの距離信号としてパスエンコード  $PE_1$  へ出力し、ユニット比較回路  $UC_{21} \sim UC_{2W}$  は、参照データ2と検索データとの比較結果をWビットの距離信号としてパスエンコード  $PE_2$  へ出力し、以下、同様にして、ユニット比較回路  $UC_{R1} \sim UC_{RW}$  は、参照データRと検索データとの比較結果をWビットの距離信号としてパスエンコー

10

20

30

40

50

ド P E<sub>R</sub> へ出力する。これらの R 個の距離信号の各々は、参照データと検索データとの間の距離を表す。

【0024】

なお、ユニット比較回路 U C<sub>1 1</sub> ~ U C<sub>1 W</sub>、ユニット比較回路 U C<sub>2 1</sub> ~ U C<sub>2 W</sub>、  
 ・ ・ ・、およびユニット比較回路 U C<sub>R 1</sub> ~ U C<sub>R W</sub>における参照データと検索データとの比較は、ハミング距離を用いて行なわれる。

【0025】

すなわち、ユニット比較回路 U C<sub>1 1</sub> ~ U C<sub>1 W</sub>、ユニット比較回路 U C<sub>2 1</sub> ~ U C<sub>2 W</sub>、  
 ・ ・ ・、およびユニット比較回路 U C<sub>R 1</sub> ~ U C<sub>R W</sub>は、次式を用いて検索データと参照データとの比較を行なう。

【0026】

【数1】

$$D_h = \sum_{j=1}^W |A_j \oplus B_j| \quad \cdot \cdot \cdot \quad (1)$$

【0027】

式(1)において、D<sub>h</sub>は、ハミング距離であり、A<sub>j</sub>は、参照データであり、B<sub>j</sub>は、検索データである。そして、各データ A<sub>j</sub>、B<sub>j</sub>は、1ビットからなる。

【0028】

パスエンコーダ P E<sub>1</sub>は、ユニット比較回路 U C<sub>1 1</sub> ~ U C<sub>1 W</sub>から W ビットの距離信号を受け、その受けた W ビットの距離信号に基づいて後述する方法によって距離/時間変換回路 D T<sub>1</sub>における遅延経路を選択するための選択信号を生成し、その生成した選択信号を距離/時間変換回路 D T<sub>1</sub>へ出力する。パスエンコーダ P E<sub>2</sub>は、ユニット比較回路 U C<sub>2 1</sub> ~ U C<sub>2 W</sub>から W ビットの距離信号を受け、その受けた W ビットの距離信号に基づいて後述する方法によって距離/時間変換回路 D T<sub>2</sub>における遅延経路を選択するための選択信号を生成し、その生成した選択信号を距離/時間変換回路 D T<sub>2</sub>へ出力する。以下、同様にして、パスエンコーダ P E<sub>R</sub>は、ユニット比較回路 U C<sub>R 1</sub> ~ U C<sub>R W</sub>から W ビットの距離信号を受け、その受けた W ビットの距離信号に基づいて後述する方法によって距離/時間変換回路 D T<sub>R</sub>における遅延経路を選択するための選択信号を生成し、その生成した選択信号を距離/時間変換回路 D T<sub>R</sub>へ出力する。

【0029】

距離/時間変換回路 D T<sub>1</sub>は、パスエンコーダ P E<sub>1</sub>から選択信号を受け、その受けた選択信号によって選択された遅延経路の遅延量だけ遅延させた発振信号 S<sub>1</sub>を生成し、その生成した発振信号 S<sub>1</sub>を分周回路 20へ出力する。距離/時間変換回路 D T<sub>2</sub>は、パスエンコーダ P E<sub>2</sub>から選択信号を受け、その受けた選択信号によって選択された遅延経路の遅延量だけ遅延させた発振信号 S<sub>2</sub>を生成し、その生成した発振信号 S<sub>2</sub>を分周回路 20へ出力する。以下、同様にして、距離/時間変換回路 D T<sub>R</sub>は、パスエンコーダ P E<sub>R</sub>から選択信号を受け、その受けた選択信号によって選択された遅延経路の遅延量だけ遅延させた発振信号 S<sub>R</sub>を生成し、その生成した発振信号 S<sub>R</sub>を分周回路 20へ出力する。

【0030】

したがって、メモリ部 1 は、複数の参照データ 1 ~ R の各々と検索データとの比較を並列して行ない、その比較結果を示す複数の発振信号 S<sub>1</sub> ~ S<sub>R</sub>を生成して分周回路 20へ出力する。

【0031】

行デコーダ 2 は、メモリ部 1 の行方向のアドレスを指定する。列デコーダ 3 は、メモリ部 1 の列方向のアドレスを指定する。読出/書込回路 4 は、参照データを行デコーダ 2 および列デコーダ 3 によって指定された参照データ保存回路 S C<sub>1 1</sub> ~ S C<sub>1 W</sub>、S C<sub>2 1</sub> ~ S C<sub>2 W</sub>、  
 ・ ・ ・、S C<sub>R 1</sub> ~ S C<sub>R W</sub>に書き込むとともに、検索データを検索データ保存回路 5 に書き込む。

【0032】

10

20

30

40

50

検索データ保存回路5は、読出/書込回路4によって書き込まれた検索データ(Wビットのデータ)を保存する。

【0033】

分周回路20は、発振信号 $S_1 \sim S_R$ をそれぞれ距離/時間変換回路 $DT_1 \sim DT_R$ から受け、その受けた発振信号 $S_1 \sim S_R$ を分周し、その分周した発振信号 $S_{d1} \sim S_{dR}$ を時間領域WTA回路30へ出力する。

【0034】

時間領域WTA回路30は、発振信号 $S_{d1} \sim S_{dR}$ を分周回路20から受け、その受けた発振信号 $S_{d1} \sim S_{dR}$ のうち、最も早く変化する発振信号(発振信号 $S_{d1} \sim S_{dR}$ のいずれか)を検出する。そして、時間領域WTA回路30は、最も早く変化する発振信号に対応した行をWinner行(=1)とし、最も早く変化する発振信号以外の発振信号に対応した行をLoser行(=0)としてマッチ信号 $M_1 \sim M_R$ を出力する。

10

【0035】

図2は、図1に示す距離/時間変換回路 $DT_1$ の構成を示すブロック図である。図2を参照して、距離/時間変換回路 $DT_1$ は、NAND回路40と、Nビットステージ41~4kとを含む。ここで、Nは、3以上の整数であり、kは、 $k = W/N$ または $(W/N) + 1$ を満たす整数であり、iは、 $2 \leq i \leq k$ である。

【0036】

NAND回路40およびNビットステージ41~4kは、リング状に接続される。NAND回路40は、連想メモリ100の制御回路(図示せず)からイネーブル信号SE(=1)を受け、Nビットステージ4kから発振信号を受ける。そして、NAND回路40は、イネーブル信号SEと発振信号との論理積を演算し、その演算した論理積を反転した信号をNビットステージ41へ出力する。

20

【0037】

Nビットステージ41~4kは、パスエンコーダ $PE_1$ からそれぞれ選択信号 $SL_{11} \sim SL_{1k}$ を受ける。そして、Nビットステージ41は、選択信号 $SL_{11}$ によって選択された遅延経路の遅延量だけ、NAND回路40からの信号を遅延し、その遅延した信号をNビットステージ42へ出力する。Nビットステージ4iは、選択信号 $SL_{1i}$ によって選択された遅延経路の遅延量だけ入力信号を遅延し、その遅延した信号をNビットステージ4i+1へ出力する。以下、同様にして、Nビットステージ4kは、選択信号 $SL_{1k}$ によって選択された遅延経路の遅延量だけ入力信号を遅延し、その遅延した信号をNAND回路40または外部(=分周回路20)へ出力する。

30

【0038】

なお、図1に示す距離/時間変換回路 $DT_2 \sim DT_R$ の各々も、図2に示す距離/時間変換回路 $DT_1$ と同じ構成からなる。

【0039】

図3は、図2に示すNビットステージ41の構成を示す回路図である。図3を参照して、Nビットステージ41は、トランスファゲート51~5N, 80~8N, 90と、N型MOS(Metal Oxide Semiconductor)トランジスタ61~6Nと、遅延器71~7Nと、インバータ91とを含む。

40

【0040】

トランスファゲート51~5N, 80~8N, 90の各々は、N型MOSトランジスタAとP型MOSトランジスタBとを並列に接続した構成からなる。

【0041】

トランスファゲート51は、入力端子であるノード $N_0$ と、ノード $N_{11}$ との間に接続される。トランスファゲート52は、ノード $N_{21}$ とノード $N_{12}$ との間に接続される。トランスファゲート53は、ノード $N_{22}$ とノード $N_{13}$ との間に接続される。以下、同様にして、トランスファゲート5Nは、ノード $N_{2N-1}$ とノード $N_{1N}$ との間に接続される。このように、トランスファゲート52~5Nは、それぞれ、遅延器71~7N-1の出力側に接続される。

50

## 【 0 0 4 2 】

N型MOSトランジスタ61～6Nは、ソース端子がそれぞれノード $N_{11}$ ～ $N_{1N}$ に接続され、ドレイン端子が接地ノードGNDに接続され、ゲート端子がそれぞれトランスファゲート51～5NのP型MOSトランジスタBのゲート端子に接続される。

## 【 0 0 4 3 】

遅延器71は、ノード $N_{11}$ とノード $N_{21}$ との間に接続され、遅延器72は、ノード $N_{12}$ とノード $N_{22}$ との間に接続され、遅延器73は、ノード $N_{13}$ とノード $N_{23}$ との間に接続され、以下、同様にして、遅延器7Nは、ノード $N_{1N}$ とノード $N_{2N}$ との間に接続される。そして、遅延器71～7Nの各々は、偶数個のインバータが直列に接続された構成からなる。

10

## 【 0 0 4 4 】

トランスファゲート80は、ノード $N_0$ とノード $N_1$ との間に接続される。トランスファゲート81は、ノード $N_{21}$ とノード $N_1$ との間に接続され、トランスファゲート82は、ノード $N_{22}$ とノード $N_1$ との間に接続され、トランスファゲート83は、ノード $N_{23}$ とノード $N_1$ との間に接続され、以下、同様にして、トランスファゲート8Nは、ノード $N_{2N}$ とノード $N_1$ との間に接続される。トランスファゲート90は、ダミーであり、ノード $N_{2N}$ と、接地ノードGNDとの間に接続される。

## 【 0 0 4 5 】

インバータ91は、その入力端子がノード $N_1$ に接続される。

## 【 0 0 4 6 】

トランスファゲート51～5Nは、それぞれ、信号EN1, EN1Q～信号ENN, ENNQをパスエンコーダPE<sub>1</sub>から受ける。この場合、トランスファゲート51～5NのN型MOSトランジスタAは、それぞれ、信号EN1～ENNをゲート端子に受け、トランスファゲート51～5NのP型MOSトランジスタBは、それぞれ、信号EN1Q～ENNQをゲート端子に受ける。

20

## 【 0 0 4 7 】

トランスファゲート80～8Nは、それぞれ、信号Dist0, Dist0Q～信号DistN, DistNQをパスエンコーダPE<sub>1</sub>から受ける。この場合、トランスファゲート80～8NのN型MOSトランジスタAは、それぞれ、信号Dist0～DistNをゲート端子に受け、トランスファゲート80～8NのP型MOSトランジスタBは、それぞれ、信号Dist0Q～DistNQをゲート端子に受ける。

30

## 【 0 0 4 8 】

なお、トランスファゲート90のN型MOSトランジスタAは、ゲート端子が接地ノードGNDに接続され、トランスファゲート90のP型MOSトランジスタBは、ゲート端子が電源ノードVDDに接続されているので、トランスファゲート90は、常時、オフされている。

## 【 0 0 4 9 】

信号Dist0～DistN, Dist0Q～DistNQおよび信号EN1～ENN, EN1Q～ENNQは、図2に示す選択信号SL11を構成する。そして、信号Dist0Q～DistNQは、それぞれ、信号Dist0～DistNの反転信号であり、信号EN1Q～ENNQは、それぞれ、信号EN1～ENNの反転信号である。

40

## 【 0 0 5 0 】

信号Dist0, Dist1Q～DistNQおよび信号EN1Q～ENNQの全てが“1”(=論理ハイ、以下、同じ。)であり、信号Dist0Q, Dist1～DistNおよび信号EN1～ENNの全てが“0”(=論理ロー、以下、同じ。)である場合、トランスファゲート80は、開き、トランスファゲート51～5N, 81～8Nは、閉じ、N型MOSトランジスタ61～6Nは、オンされる。

## 【 0 0 5 1 】

その結果、信号は、ノード $N_0$ からトランスファゲート80を介してインバータ91へ入力し、インバータ91で反転されて出力される。この場合、ノード $N_{11}$ ～ $N_{1N}$ の電

50

位は、接地ノードGNDの電位に等しい。

【0052】

また、信号Dist1, Dist0Q, Dist2Q~DistNQおよび信号EN1, EN2Q~ENNQの全てが“1”であり、信号Dist1Q, Dist0, Dist2~DistNおよび信号EN1Q, EN2~ENNの全てが“0”である場合、トランスファゲート51, 81は、開き、トランスファゲート52~5N, 80, 82~8Nは、閉じ、N型MOSトランジスタ61は、オフされ、N型MOSトランジスタ62~6Nは、オンされる。

【0053】

その結果、信号は、ノードN<sub>0</sub>からトランスファゲート51を介して遅延器71へ入力され、遅延器71で所定時間だけ遅延された後、トランスファゲート81を介してインバータ91へ入力され、インバータ91で反転されて出力される。この場合、ノードN<sub>11</sub>の電位は、入力された信号の電位に等しく、ノードN<sub>12</sub>~N<sub>1N</sub>の電位は、接地ノードGNDの電位に等しい。

10

【0054】

更に、信号Dist2, Dist0Q, Dist1Q, Dist3Q~DistNQおよび信号EN1, EN2, EN3Q~ENNQの全てが“1”であり、信号Dist2Q, Dist0, Dist1, Dist3~DistNおよび信号EN1Q, EN2Q, EN3~ENNの全てが“0”である場合、トランスファゲート51, 52, 82は、開き、トランスファゲート53~5N, 80, 81, 83~8Nは、閉じ、N型MOSトランジスタ61, 62は、オフされ、N型MOSトランジスタ63~6Nは、オンされる。

20

【0055】

その結果、信号は、ノードN<sub>0</sub>からトランスファゲート51を介して遅延器71へ入力され、遅延器71で所定時間だけ遅延された後、トランスファゲート52を介して遅延器72へ入力され、遅延器72で所定時間だけ更に遅延された後、トランスファゲート82を介してインバータ91へ入力され、インバータ91で反転されて出力される。つまり、信号は、2つの遅延器71, 72によって遅延された後、インバータ91へ入力され、インバータ91で反転されて出力される。この場合、ノードN<sub>11</sub>, N<sub>12</sub>の電位は、入力された信号の電位に等しく、ノードN<sub>13</sub>~N<sub>1N</sub>の電位は、接地ノードGNDの電位に等しい。

30

【0056】

以下、同様にして、信号DistN, Dist0Q~DistN-1Qおよび信号EN1~ENNの全てが“1”であり、信号DistNQ, Dist0~DistN-1および信号EN1Q~ENNQの全てが“0”である場合、トランスファゲート51~5N, 8Nは、開き、トランスファゲート80~8N-1は、閉じ、N型MOSトランジスタ61~6Nは、オフされる。

【0057】

その結果、信号は、ノードN<sub>0</sub>からトランスファゲート51を通過した後、遅延器71~7Nの全てによって遅延された後、トランスファゲート8Nを介してインバータ91へ入力され、インバータ91で反転されて出力される。この場合、ノードN<sub>11</sub>~N<sub>1N</sub>の電位は、入力された信号の電位に等しい。

40

【0058】

上述したように、遅延器71~7Nの各々は、偶数個のインバータが直列接続された構成からなり、信号は、選択信号SL11によっていずれの経路が選択されてもインバータ91を必ず通過するので、Nビットステージ41は、選択信号SL11によっていずれの経路が選択されても信号を奇数回反転して出力する。そして、Nビットステージ41は、選択信号SL11によって選択された経路に応じた遅延量だけ信号を遅延して出力する。即ち、Nビットステージ41は、図3において、最も下側の経路が選択された場合、最も少ない遅延量だけ信号を遅延して出力し、最も上側の経路が選択された場合、最も多い遅延量だけ信号を遅延して出力する。

50

## 【 0 0 5 9 】

なお、図 2 に示す N ビットステージ 4 2 ~ 4 k の各々も、図 3 に示す N ビットステージ 4 1 と同じ構成からなる。

## 【 0 0 6 0 】

再び、図 2 を参照して、N ビットステージ 4 1 ~ 4 k は、上述したように、それぞれ、選択信号 S L 1 1 ~ S L 1 k によって選択された遅延経路の遅延量だけ信号を遅延して出力する。即ち、N ビットステージ 4 1 ~ 4 k は、それぞれ、選択信号 S L 1 1 ~ S L 1 k によって選択された遅延経路に含まれるインバータの個数（奇数個）分だけ信号を反転して出力する。そして、N ビットステージ 4 1 ~ 4 k および N A N D 回路 4 0 は、環状に接続されている。従って、N ビットステージ 4 1 ~ 4 k および N A N D 回路 4 0 は、発振信号を生成し、その生成した発振信号を出力する。

10

## 【 0 0 6 1 】

このように、距離 / 時間変換回路 D T 1 は、k 個の N ビットステージ 4 1 ~ 4 k (= k 個の遅延回路) をリング状に接続した発振回路からなる。距離 / 時間変換回路 D T 1 ~ D T R の各々も、同様に、k 個の N ビットステージ 4 1 ~ 4 k (= k 個の遅延回路) をリング状に接続した発振回路からなる。

## 【 0 0 6 2 】

図 4 は、図 1 に示すパスエンコーダ P E 1 の構成を示すブロック図である。図 4 を参照して、パスエンコーダ P E 1 は、パスエンコーダ P E 1 1 ~ P E 1 k を含む。

## 【 0 0 6 3 】

パスエンコーダ P E 1 1 は、N ビットの距離信号をユニット比較回路 U C 1 1 ~ U C 1 N から受ける。そして、パスエンコーダ P E 1 1 は、後述する方法によって、N ビットの距離信号に基づいて選択信号 S L 1 1 を生成し、その生成した選択信号 S L 1 1 を N ビットステージ 4 1 へ出力する。

20

## 【 0 0 6 4 】

パスエンコーダ P E 1 2 は、N ビットの距離信号をユニット比較回路 U C 1 N + 1 ~ U C 1 2 N から受ける。そして、パスエンコーダ P E 1 2 は、後述する方法によって、N ビットの距離信号に基づいて選択信号 S L 1 2 を生成し、その生成した選択信号 S L 1 2 を N ビットステージ 4 2 へ出力する。

## 【 0 0 6 5 】

以下、同様にして、パスエンコーダ P E 1 k は、N ビットの距離信号をユニット比較回路 U C 1 W - N ~ U C 1 W から受ける。そして、パスエンコーダ P E 1 k は、後述する方法によって、N ビットの距離信号に基づいて選択信号 S L 1 k を生成し、その生成した選択信号 S L 1 k を N ビットステージ 4 k へ出力する。

30

## 【 0 0 6 6 】

図 5 は、図 4 に示すパスエンコーダ P E 1 1 の構成図である。図 5 を参照して、パスエンコーダ P E 1 1 は、パス選択信号生成回路 1 1 ~ 1 N - 1 と、インバータ I V 1 ~ I V N - 2 , I V 1 1 ~ I V 1 N , I V 2 1 ~ I V 2 N と、N O R 回路 N R 1 ~ N R N - 1 とを含む。

## 【 0 0 6 7 】

パス選択信号生成回路 1 1 ~ 1 N - 1 は、直列に接続される。パス選択信号生成回路 1 1 は、N ビットの距離信号 M 1 ~ M N のうち、2 ビットの距離信号 M 1 , M 2 をユニット比較回路 U C 1 1 , U C 1 2 から受ける。そして、パス選択信号生成回路 1 1 は、後述する方法によって、2 ビットの距離信号 M 1 , M 2 に基づいて 2 ビットの選択信号 E N 1 Q 2 , E N 2 Q 2 を生成し、その生成した 2 ビットの選択信号 E N 1 Q 2 , E N 2 Q 2 をパス選択信号生成回路 1 2 へ出力する。

40

## 【 0 0 6 8 】

パス選択信号生成回路 1 2 は、パス選択信号生成回路 1 1 から選択信号 E N 1 Q 2 , E N 2 Q 2 を受け、ユニット比較回路 U C 1 3 から距離信号 M 3 を受け、インバータ I V 1 から距離信号 M 3 の反転信号 / M 3 を受ける。そして、パス選択信号生成回路 1 2 は、後

50

述する方法によって、選択信号  $EN1Q_2$ 、 $EN2Q_2$ 、距離信号  $M3$  および反転信号 /  $M3$  に基づいて3ビットの選択信号  $EN1Q_3$ 、 $EN2Q_3$ 、 $EN3Q_3$  を生成し、その生成した選択信号  $EN1Q_3$ 、 $EN2Q_3$ 、 $EN3Q_3$  をパス選択信号生成回路13 (図示せず) へ出力する。

【0069】

以下、同様にして、パス選択信号生成回路1 $N-1$ は、パス選択信号生成回路1 $N-2$ から $N-1$ ビットの選択信号  $EN1Q_{N-1}$ 、 $EN2Q_{N-1}$ 、 $\dots$ 、 $EN_{N-1}Q_{N-1}$  を受け、ユニット比較回路  $UC_{1N}$  から距離信号  $MN$  を受け、インバータ  $IV_{N-2}$  から距離信号  $MN$  の反転信号 /  $MN$  を受ける。そして、パス選択信号生成回路1 $N-1$ は、後述する方法によって、選択信号  $EN1Q_{N-1}$ 、 $EN2Q_{N-1}$ 、 $\dots$ 、 $EN_{N-1}Q_{N-1}$ 、距離信号  $MN$  および反転信号 /  $MN$  に基づいて $N$ ビットの選択信号  $EN1Q_N$ 、 $EN2Q_N$ 、 $\dots$ 、 $EN_NQ_N$  を生成し、その生成した選択信号  $EN1Q_N$ 、 $EN2Q_N$ 、 $\dots$ 、 $EN_NQ_N$  をそれぞれインバータ  $IV_{11} \sim IV_{1N}$  へ出力する。

10

【0070】

インバータ  $IV_1 \sim IV_{N-2}$  は、それぞれ、距離信号  $M3 \sim MN$  を反転し、その反転した反転信号 /  $M3 \sim /MN$  をそれぞれパス選択信号生成回路12  $\sim$  1 $N-1$  へ出力する。

【0071】

インバータ  $IV_{11} \sim IV_{1N}$  は、それぞれ、選択信号  $EN1Q_N$ 、 $EN2Q_N$ 、 $\dots$ 、 $EN_NQ_N$  を受け、その受けた選択信号  $EN1Q_N$ 、 $EN2Q_N$ 、 $\dots$ 、 $EN_NQ_N$  を反転する。そして、インバータ  $IV_{11} \sim IV_{1N}$  は、その反転した信号  $EN1_N \sim EN_N_N$  を $N$ ビットステージ41へ出力するとともに、その反転した信号  $EN1_N \sim EN_N_N$  を、それぞれ、インバータ  $IV_{21} \sim IV_{2N}$  へ出力する。また、インバータ  $IV_{22} \sim IV_{1N}$  は、その反転した信号  $EN2_N \sim EN_N_N$  を、それぞれ、NOR回路  $NR_1 \sim NR_{N-1}$  へ出力する。

20

【0072】

インバータ  $IV_{21} \sim IV_{2N}$  は、それぞれ、信号  $EN1_N \sim EN_N_N$  を反転し、その反転した信号  $EN1Q_N$ 、 $EN2Q_N$ 、 $\dots$ 、 $EN_NQ_N$  を $N$ ビットステージ41へ出力する。また、インバータ  $IV_{21} \sim IV_{2N-1}$  は、その反転した信号  $EN1Q_N$ 、 $EN2Q_N$ 、 $\dots$ 、 $EN_NQ_{N-1}$  を、それぞれ、NOR回路  $NR_1 \sim NR_{N-1}$  へ出力する。

30

【0073】

NOR回路  $NR_1$  は、信号  $EN1Q_N$  と信号  $EN2_N$  との論理和を演算し、その演算した論理和を反転した信号  $Dist1_N$  を $N$ ビットステージ41へ出力する。NOR回路  $NR_2$  は、信号  $EN2Q_N$  と信号  $EN3_N$  との論理和を演算し、その演算した論理和を反転した信号  $Dist2_N$  を $N$ ビットステージ41へ出力する。以下、同様にして、NOR回路  $NR_{N-1}$  は、信号  $EN_{N-1}Q_N$  と信号  $EN_N_N$  との論理和を演算し、その演算した論理和を反転した信号  $DistN-1_N$  を $N$ ビットステージ41へ出力する。

【0074】

なお、図5においては、図3に示す信号  $Dist0$  および信号  $DistN$  が生成されていないが、信号  $Dist0$  は、信号  $EN1_N$  の反転信号に等しく、信号  $DistN$  は、信号  $EN_N_N$  に等しい。従って、パスエンコーダ  $PE_{11}$  は、信号  $EN1_N$  を $N$ ビットステージ41のトランスファゲート51へ出力するとともに、信号  $EN1_N$  の反転信号をトランスファゲート80へ出力する。また、パスエンコーダ  $PE_{11}$  は、信号  $EN_N_N$  をトランスファゲート5 $N$  およびトランスファゲート8 $N$  へ出力する。

40

【0075】

図6は、図5に示すパス選択信号生成回路11の回路図である。図6を参照して、パス選択信号生成回路11は、NAND回路111と、NOR回路112とを含む。NAND回路111は、距離信号  $M1$  と距離信号  $M2$  との論理積を演算し、その演算した論理積を反転して信号  $EN1Q_2$  を生成し、その生成した信号  $EN1Q_2$  を出力する。

50

## 【 0 0 7 6 】

NOR回路112は、距離信号M1と距離信号M2との論理和を演算し、その演算した論理和を反転して信号EN2Q<sub>2</sub>を生成し、その生成した信号EN2Q<sub>2</sub>を出力する。

## 【 0 0 7 7 】

図7は、図5に示すパス選択信号生成回路12の回路図である。図7を参照して、パス選択信号生成回路12は、P型MOSトランジスタ121と、トランスファゲート122～125と、N型MOSトランジスタ126とを含む。

## 【 0 0 7 8 】

トランスファゲート122～125の各々は、P型MOSトランジスタとN型MOSトランジスタとが並列に接続された構成からなる。

## 【 0 0 7 9 】

P型MOSトランジスタ121は、ソース端子が接地ノードGNDに接続され、ドレイン端子がトランスファゲート122の出力端子に接続され、距離信号M3の反転信号M3Qをゲート端子に受ける。

## 【 0 0 8 0 】

トランスファゲート122は、信号EN1Q<sub>2</sub>を入力端子に受ける。そして、トランスファゲート122のP型MOSトランジスタは、距離信号M3をゲート端子に受け、トランスファゲート122のN型MOSトランジスタは、反転信号M3Qをゲート端子に受ける。

## 【 0 0 8 1 】

トランスファゲート123は、信号EN1Q<sub>2</sub>を入力端子に受ける。そして、トランスファゲート123のP型MOSトランジスタは、反転信号M3Qをゲート端子に受け、トランスファゲート123のN型MOSトランジスタは、距離信号M3をゲート端子に受ける。

## 【 0 0 8 2 】

トランスファゲート124は、信号EN2Q<sub>2</sub>を入力端子に受ける。そして、トランスファゲート124のP型MOSトランジスタは、距離信号M3をゲート端子に受け、トランスファゲート124のN型MOSトランジスタは、反転信号M3Qをゲート端子に受ける。

## 【 0 0 8 3 】

トランスファゲート125は、信号EN2Q<sub>2</sub>を入力端子に受ける。そして、トランスファゲート125のP型MOSトランジスタは、反転信号M3Qをゲート端子に受け、トランスファゲート125のN型MOSトランジスタは、距離信号M3をゲート端子に受ける。

## 【 0 0 8 4 】

N型MOSトランジスタ126は、ソース端子が電源ノードVDDに接続され、ドレイン端子がトランスファゲート125の出力端子に接続される。

## 【 0 0 8 5 】

距離信号M3が“0”であり、反転信号M3Qが“1”である場合、トランスファゲート123, 125は、閉じられ、P型MOSトランジスタ121がオフされ、N型MOSトランジスタ126がオンされ、トランスファゲート122, 124が開かれる。従って、信号EN1Q<sub>3</sub> = EN1Q<sub>2</sub>、信号EN2Q<sub>3</sub> = EN2Q<sub>2</sub>、信号EN3Q<sub>3</sub> = 1である。

## 【 0 0 8 6 】

一方、距離信号M3が“1”であり、反転信号M3Qが“0”である場合、トランスファゲート122, 124は、閉じられ、N型MOSトランジスタ126がオフされ、P型MOSトランジスタ121がオンされ、トランスファゲート123, 125が開かれる。従って、信号EN1Q<sub>3</sub> = 0、信号EN2Q<sub>3</sub> = EN1Q<sub>2</sub>、信号EN3Q<sub>3</sub> = EN2Q<sub>2</sub>である。

## 【 0 0 8 7 】

10

20

30

40

50



パス選択信号生成回路 1 2 の出力信号  $EN1Q_3 \sim EN3Q_3$  と距離信号  $M3$  との関係を表 1 に示す。

【 0 0 8 8 】

【 表 1 】

M3	M3Q	EN1Q <sub>3</sub>	EN2Q <sub>3</sub>	EN3Q <sub>3</sub>
0	1	EN1Q <sub>2</sub>	EN2Q <sub>2</sub>	1
1	0	0	EN1Q <sub>2</sub>	EN2Q <sub>2</sub>

10

【 0 0 8 9 】

表 1 から解るように、パス選択信号生成回路 1 2 は、距離信号  $M3$  が “ 0 ” である場合、信号  $EN1Q_2$  ,  $EN2Q_2$  をそのまま出力し、距離信号  $M3$  が “ 1 ” である場合、信号  $EN1Q_2$  ,  $EN2Q_2$  を 1 ビット分シフトして出力する。

【 0 0 9 0 】

図 8 は、図 5 に示すパス選択信号生成回路 1 N - 1 の回路図である。図 8 を参照して、パス選択信号生成回路 1 N - 1 は、P 型 MOS トランジスタ 1 3 1 と、トランスファゲート 1 3 2 ~ 1 3 5 + 2<sup>N - 3</sup> と、N 型 MOS トランジスタ 1 3 6 + 2<sup>N - 3</sup> とを含む。

【 0 0 9 1 】

P 型 MOS トランジスタ 1 3 1 は、ソース端子が接地ノード GND に接続され、ドレイン端子がトランスファゲート 1 3 2 の出力端子に接続され、距離信号 MN の反転信号 MNQ をゲート端子に受ける。

20

【 0 0 9 2 】

トランスファゲート 1 3 2 ~ 1 3 5 + 2<sup>N - 3</sup> の各々は、P 型 MOS トランジスタと N 型 MOS トランジスタとが並列に接続された構成からなる。

【 0 0 9 3 】

トランスファゲート 1 3 2 , 1 3 3、トランスファゲート 1 3 4 , 1 3 5、トランスファゲート 1 3 6 , 1 3 7、・・・、およびトランスファゲート 1 3 4 + 2<sup>N - 3</sup> , 1 3 5 + 2<sup>N - 3</sup> は、それぞれ、信号  $EN1Q_{N-1} \sim ENN-1Q_{N-1}$  を入力端子に受ける。

30

【 0 0 9 4 】

トランスファゲート 1 3 2 , 1 3 4 , 1 3 6 , ・・・, 1 3 4 + 2<sup>N - 3</sup> において、P 型 MOS トランジスタは、距離信号 MN をゲート端子に受け、N 型 MOS トランジスタは、距離信号 MN の反転信号 MNQ をゲート端子に受ける。

【 0 0 9 5 】

トランスファゲート 1 3 3 , 1 3 5 , 1 3 7 , ・・・, 1 3 5 + 2<sup>N - 3</sup> において、P 型 MOS トランジスタは、反転信号 MNQ をゲート端子に受け、N 型 MOS トランジスタは、距離信号 MN をゲート端子に受ける。

【 0 0 9 6 】

N 型 MOS トランジスタ 1 3 6 + 2<sup>N - 3</sup> は、ソース端子が電源ノード VDD に接続され、ドレイン端子がトランスファゲート 1 3 5 + 2<sup>N - 3</sup> の出力端子に接続され、反転信号 MNQ をゲート端子に受ける。

40

【 0 0 9 7 】

距離信号 MN が “ 0 ” であり、反転信号 MNQ が “ 1 ” である場合、トランスファゲート 1 3 3 , 1 3 5 , 1 3 7 , ・・・, 1 3 5 + 2<sup>N - 3</sup> は、閉じられ、P 型 MOS トランジスタ 1 3 1 がオフされ、N 型 MOS トランジスタ 1 3 6 + 2<sup>N - 3</sup> がオンされ、トランスファゲート 1 3 2 , 1 3 4 , 1 3 6 , ・・・, 1 3 4 + 2<sup>N - 3</sup> が開かれる。従って、信号  $EN1Q_N = EN1Q_{N-1}$ 、信号  $EN2Q_N = EN2Q_{N-1}$ 、信号  $EN3Q_N = EN3Q_{N-1}$ 、・・・、信号  $ENN-1Q_N = ENN-1Q_{N-1}$ 、信号  $ENNQ_N =$

50

1である。

【0098】

一方、距離信号MNが“1”であり、反転信号MNQが“0”である場合、トランスファゲート132, 134, 136, ..., 134 + 2^{N-3}は、閉じられ、N型MOSトランジスタ136 + 2^{N-3}がオフされ、P型MOSトランジスタ131がオンされ、トランスファゲート133, 135, 137, ..., 135 + 2^{N-3}が開かれる。従って、信号EN1Q\_N = 0、信号EN2Q\_N = EN1Q\_{N-1}、信号EN3Q\_N = EN2Q\_{N-1}、...、ENNQ\_N = ENN-1Q\_{N-1}である。

【0099】

パス選択信号生成回路1N-1の出力信号EN1Q\_N ~ ENNQ\_Nと距離信号MNとの関係を表2に示す。

10

【0100】

【表2】

MN	MNQ	EN1Q_N	EN2Q_N	EN3Q_N	...	ENN-1Q_N	ENNQ_N
0	1	EN1Q_{N-1}	EN2Q_{N-1}	EN3Q_{N-1}	...	ENN-1Q_{N-1}	1
1	0	0	EN1Q_{N-1}	EN2Q_{N-1}	...	ENN-2Q_{N-1}	ENN-1Q_{N-1}

20

【0101】

表2から解るように、パス選択信号生成回路1N-1は、距離信号MNが“0”である場合、信号EN1Q\_{N-1} ~ ENN-1Q\_{N-1}をそのまま出力し、距離信号MNが“1”である場合、信号EN1Q\_{N-1} ~ ENN-1Q\_{N-1}を1ビット分シフトして出力する。

【0102】

図9は、図4に示すパスエンコーダPE\_{1,1}の一般的な概念図である。図9を参照して、パスエンコーダPE\_{1,1}は、N-1ビットパスエンコーダ200と、選択器201 ~ 20Nとを含む。

【0103】

N-1ビットパスエンコーダ200は、N-1ビットの距離信号M1 ~ MN-1に基づいて、N-1ビットの信号EN1Q\_{N-1} ~ ENN-1Q\_{N-1}を生成し、その生成したN-1ビットの信号EN1Q\_{N-1} ~ ENN-1Q\_{N-1}を出力する。

30

【0104】

選択器201は、信号EN1Q\_{N-1}および距離信号MNを受ける。そして、選択器201は、距離信号MNが“0”であるとき、信号EN1Q\_{N-1}からなる信号EN1Q\_Nを出力し、距離信号MNが“1”であるとき、接地ノードGNDの電位からなる信号 (= 0)を信号EN1Q\_Nとして出力する。

【0105】

選択器202は、信号EN1Q\_{N-1}, EN2Q\_{N-1}および距離信号MNを受ける。そして、選択器202は、距離信号MNが“0”であるとき、信号EN2Q\_{N-1}からなる信号EN2Q\_Nを出力し、距離信号MNが“1”であるとき、信号EN1Q\_{N-1}からなる信号EN2Q\_Nを出力する。

40

【0106】

選択器203は、信号EN2Q\_{N-1}, EN3Q\_{N-1}および距離信号MNを受ける。そして、選択器203は、距離信号MNが“0”であるとき、信号EN3Q\_{N-1}からなる信号EN3Q\_Nを出力し、距離信号MNが“1”であるとき、信号EN2Q\_{N-1}からなる信号EN3Q\_Nを出力する。

【0107】

以下、同様にして、選択器20N-1は、信号ENN-2Q\_{N-1}, ENN-1Q\_{N-1}

50

1 および距離信号MNを受ける。そして、選択器20N-1は、距離信号MNが“0”であるとき、信号ENN-1QN-1からなる信号ENN-1QNを出力し、距離信号MNが“1”であるとき、信号ENN-2QN-1からなる信号ENN-1QNを出力する。また、選択器20Nは、信号ENN-1QN-1および距離信号MNを受ける。そして、選択器20Nは、距離信号MNが“0”であるとき、電源ノードVDDからなる信号(=1)を信号ENNQNとして出力し、距離信号MNが“1”であるとき、信号ENN-1QN-1からなる信号ENNQNを出力する。

【0108】

パスエンコーダPE<sub>11</sub>が3ビットパスエンコーダからなる場合、N-1ビットパスエンコーダ200は、2ビットパスエンコーダからなり、具体的には、図6に示すパス選択信号生成回路11からなる。従って、N-1ビットパスエンコーダ200は、信号EN1Q<sub>2</sub>, EN2Q<sub>2</sub>を出力する。

【0109】

距離信号M3が“0”であるとき、図7に示すトランスファゲート122は、信号EN1Q<sub>2</sub>を信号EN1Q<sub>3</sub>として出力し、距離信号M3が“1”であるとき、図7に示すP型MOSトランジスタ121は、“0”からなる信号を信号EN1Q<sub>3</sub>として出力する。従って、P型MOSトランジスタ121およびトランスファゲート122は、選択器201を構成する。

【0110】

また、距離信号M3が“0”であるとき、図7に示すトランスファゲート124は、信号EN2Q<sub>2</sub>を信号EN2Q<sub>3</sub>として出力し、距離信号M3が“1”であるとき、図7に示すトランスファゲート123は、信号EN1Q<sub>2</sub>を信号EN2Q<sub>3</sub>として出力する。従って、トランスファゲート123, 124は、選択器202を構成する。

【0111】

更に、距離信号M3が“0”であるとき、図7に示すN型MOSトランジスタ126は、“1”からなる信号を信号EN3Q<sub>3</sub>として出力し、距離信号M3が“1”であるとき、図7に示すトランスファゲート125は、信号EN2Q<sub>2</sub>を信号EN3Q<sub>3</sub>として出力する。従って、トランスファゲート125およびN型MOSトランジスタ126は、選択器203を構成する。

【0112】

また、パスエンコーダPE<sub>11</sub>がNビットパスエンコーダからなる場合、N-1ビットパスエンコーダ200は、パス選択信号生成回路11~1N-2からなり、N-1ビットの信号EN1QN-1~ENN-1QN-1を出力する。

【0113】

距離信号MNが“0”であるとき、図8に示すトランスファゲート132は、信号EN1QN-1を信号EN1QNとして出力し、距離信号MNが“1”であるとき、図8に示すP型MOSトランジスタ131は、“0”からなる信号を信号EN1QNとして出力する。従って、P型MOSトランジスタ131およびトランスファゲート132は、選択器201を構成する。

【0114】

また、距離信号MNが“0”であるとき、図8に示すトランスファゲート134は、信号EN2QN-1を信号EN2QNとして出力し、距離信号MNが“1”であるとき、図8に示すトランスファゲート133は、信号EN1QN-1を信号EN2QNとして出力する。従って、トランスファゲート133, 134は、選択器202を構成する。

【0115】

更に、距離信号MNが“0”であるとき、図8に示すトランスファゲート136は、信号EN3QN-1を信号EN3QNとして出力し、距離信号MNが“1”であるとき、図8に示すトランスファゲート135は、信号EN2QN-1を信号EN3QNとして出力する。従って、トランスファゲート135, 136は、選択器203を構成する。

【0116】

10

20

30

40

50

更に、距離信号MNが“0”であるとき、図8に示すN型MOSトランジスタ136 + 2<sup>N-3</sup>は、“1”からなる信号を信号ENNQ<sub>N</sub>として出力し、距離信号MNが“1”であるとき、図8に示すトランスファゲート135 + 2<sup>N-3</sup>は、信号ENN-1Q<sub>N-1</sub>を信号ENNQ<sub>N</sub>として出力する。従って、トランスファゲート135 + 2<sup>N-3</sup>およびN型MOSトランジスタ136 + 2<sup>N-3</sup>は、選択器20Nを構成する。

【0117】

このように、図5から図8において説明したパスエンコーダPE<sub>11</sub>は、一般的には、図9に示すN-1ビットパスエンコーダ200と、選択器201~20Nとからなる。そして、パスエンコーダPE<sub>11</sub>は、Nビットの距離信号M1~MNに基づいて、上述した方法によって、信号EN1<sub>N</sub>~ENN<sub>N</sub>, EN1Q<sub>N</sub>~ENNQ<sub>N</sub>, Dist0<sub>N</sub>~DistN<sub>N</sub>を生成し、その生成した信号EN1<sub>N</sub>~ENN<sub>N</sub>, EN1Q<sub>N</sub>~ENNQ<sub>N</sub>, Dist0<sub>N</sub>~DistN<sub>N</sub>をNビットステージ41へ出力する。従って、信号EN1<sub>N</sub>~ENN<sub>N</sub>, EN1Q<sub>N</sub>~ENNQ<sub>N</sub>, Dist0<sub>N</sub>~DistN<sub>N</sub>は、選択信号SL11を構成する。

10

【0118】

なお、図4に示すパスエンコーダPE<sub>12</sub>~PE<sub>1k</sub>の各々も、図5から図9に示すパスエンコーダPE<sub>11</sub>と同じ構成からなる。従って、パスエンコーダPE<sub>12</sub>~PE<sub>1k</sub>から出力される信号EN1<sub>N</sub>~ENN<sub>N</sub>, EN1Q<sub>N</sub>~ENNQ<sub>N</sub>, Dist0<sub>N</sub>~DistN<sub>N</sub>は、それぞれ、選択信号SL12~SL1kを構成する。

20

【0119】

再び、図4を参照して、パスエンコーダPE<sub>11</sub>~PE<sub>1k</sub>の各々は、パスエンコーダPE<sub>1</sub>へ出力されるWビットの距離信号のうち、Nビットの距離信号を受ける。そして、パスエンコーダPE<sub>11</sub>~PE<sub>1k</sub>は、その受けたNビットの距離信号に基づいて、上述した方法によってそれぞれ選択信号SL11~SL1kを生成し、その生成した選択信号SL11~SL1kをそれぞれNビットステージ41~4kへ出力する。従って、Nビットステージ41~4kは、それぞれ、パスエンコーダPE<sub>11</sub>~PE<sub>1k</sub>に対応して設けられる。

【0120】

図10は、図1に示す分周回路20の構成図である。図10を参照して、分周回路20は、分周器211~21Rを含む。

30

【0121】

分周器211~21Rは、それぞれ、距離/時間変換回路DT<sub>1</sub>~DT<sub>R</sub>に対応して設けられる。そして、分周器211~21Rは、それぞれ、距離/時間変換回路DT<sub>1</sub>~DT<sub>R</sub>から発振信号S<sub>1</sub>~S<sub>R</sub>を受け、その受けた発振信号S<sub>1</sub>~S<sub>R</sub>を所望の回数だけ分周する。そして、分周器211~21Rは、それぞれ、その分周した発振信号S<sub>d1</sub>~S<sub>dR</sub>を時間領域WTA回路30へ出力する。

【0122】

図11は、図10に示す分周器211の回路図である。図11を参照して、分周器211は、トランスファゲート2111, 2115, 2116, 2125と、N型MOSトランジスタ2112, 2113, 2114, 2118, 2119, 2120, 2124, 2126と、P型MOSトランジスタ2117, 2121, 2122, 2123, 2127とを含む。

40

【0123】

トランスファゲート2111, 2115, 2116の各々は、並列に接続された2個のP型MOSトランジスタからなり、トランスファゲート2125は、並列に接続された2個のN型MOSトランジスタからなる。

【0124】

トランスファゲート2111およびN型MOSトランジスタ2112, 2113は、電源ノードVDDと接地ノードGNDとの間に直列に接続される。トランスファゲート2111の一方のP型MOSトランジスタ(=図11の左側のP型MOSトランジスタ)およ

50

びN型MOSトランジスタ2113は、ゲート端子が入力端子Inに接続される。トランスファゲート2111の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)は、ゲート端子がN型MOSトランジスタ2112のゲート端子およびノードN<sub>32</sub>に接続される。

【0125】

N型MOSトランジスタ2114は、ノードN<sub>31</sub>とノードN<sub>32</sub>との間に接続される。N型MOSトランジスタ2114のゲート端子は、トランスファゲート2115の一方のP型MOSトランジスタ(=図11の左側のP型MOSトランジスタ)のゲート端子に接続される。

【0126】

トランスファゲート2115, 2116は、電源ノードVDDとノードN<sub>32</sub>との間に直列に接続される。トランスファゲート2115の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)は、ゲート端子が入力端子Inに接続される。トランスファゲート2116の一方のP型MOSトランジスタ(=図11の左側のP型MOSトランジスタ)のゲート端子は、ノードN<sub>33</sub>と、P型MOSトランジスタ2122およびN型MOSトランジスタ2126のゲート端子とに接続される。トランスファゲート2116の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)のゲート端子は、N型MOSトランジスタ2120のゲート端子およびノードN<sub>34</sub>に接続される。

【0127】

P型MOSトランジスタ2117は、電源ノードVDDと、ノードN<sub>37</sub>との間に接続される。そして、P型MOSトランジスタ2117のゲート端子は、ノードN<sub>32</sub>に接続される。

【0128】

N型MOSトランジスタ2118は、ノードN<sub>37</sub>と、接地ノードGNDとの間に接続される。そして、N型MOSトランジスタ2118のゲート端子は、ノードN<sub>32</sub>に接続される。

【0129】

N型MOSトランジスタ2119は、ノードN<sub>32</sub>と接地ノードGNDとの間に接続される。そして、N型MOSトランジスタ2119のゲート端子は、リセット信号Fr e \_ R S Tを受ける。

【0130】

N型MOSトランジスタ2120は、ノードN<sub>32</sub>とノードN<sub>35</sub>との間に接続される。そして、N型MOSトランジスタ2120のゲート端子は、トランスファゲート2116の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)のゲート端子およびノードN<sub>34</sub>に接続される。

【0131】

P型MOSトランジスタ2121は、ノードN<sub>34</sub>とノードN<sub>36</sub>との間に接続される。そして、P型MOSトランジスタ2121のゲート端子は、トランスファゲート2125の一方のN型MOSトランジスタ(=図11の左側のN型MOSトランジスタ)のゲート端子に接続される。

【0132】

P型MOSトランジスタ2122およびトランスファゲート2125は、電源ノードVDDとノードN<sub>35</sub>との間に直列に接続される。P型MOSトランジスタ2122のゲート端子は、ノードN<sub>33</sub>およびトランスファゲート2116の一方のP型MOSトランジスタ(=図11の左側のP型MOSトランジスタ)のゲート端子に接続される。

【0133】

トランスファゲート2125の一方のN型MOSトランジスタ(=図11の左側のN型MOSトランジスタ)のゲート端子は、P型MOSトランジスタ2121のゲート端子に接続される。トランスファゲート2125の他方のN型MOSトランジスタ(=図11の

10

20

30

40

50

右側のN型MOSトランジスタ)のゲート端子は、入力端子Inおよびトランスファゲート2115の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)に接続される。

【0134】

P型MOSトランジスタ2123は、電源ノードVDDと、ノードN<sub>38</sub>との間に接続される。そして、P型MOSトランジスタ2123のゲート端子は、ノードN<sub>34</sub>に接続される。

【0135】

N型MOSトランジスタ2124は、ノードN<sub>38</sub>と、接地ノードGNDとの間に接続される。そして、N型MOSトランジスタ2124のゲート端子は、ノードN<sub>34</sub>に接続される。

10

【0136】

N型MOSトランジスタ2126は、ノードN<sub>35</sub>と接地ノードGNDとの間に接続される。そして、N型MOSトランジスタ2126のゲート端子は、ノードN<sub>33</sub>と、P型MOSトランジスタ2122のゲート端子とに接続される。

【0137】

P型MOSトランジスタ2127は、電源ノードVDDとノードN<sub>34</sub>との間に接続される。そして、P型MOSトランジスタ2127のゲート端子は、リセット信号Fre\_\_RSTの反転信号Fre\_\_RSTQを受ける。

【0138】

出力端子Outは、ノードN<sub>32</sub>に接続される。

20

【0139】

図12は、図11に示す分周器211の入力信号および出力信号のタイミングチャートである。

【0140】

図12を参照して、発振信号S<sub>1</sub>, S<sub>2</sub>は、分周器211への入力信号であり、発振信号S<sub>d1</sub>, S<sub>d2</sub>は、分周器211からの出力信号である。そして、発振信号S<sub>1</sub>, S<sub>2</sub>, S<sub>d1</sub>, S<sub>d2</sub>は、一定の周期を有する周期信号である。

【0141】

発振信号S<sub>1</sub>が分周器211へ入力される場合を考える。分周器211がリセットされるとき、リセット信号Fre\_\_RSTは、“1”からなり、反転信号Fre\_\_RSTQは、“0”からなるので、ノードN<sub>32</sub>の電位は、接地ノードGNDの電位V<sub>0</sub>からなり、ノードN<sub>34</sub>の電位は、電源ノードVDDの電位V<sub>dd</sub>からなる。

30

【0142】

その結果、P型MOSトランジスタ2117およびトランスファゲート2111の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)は、オンされ、N型MOSトランジスタ2112, 2118は、オフされる。そうすると、ノードN<sub>37</sub>の電位は、電源ノードVDDの電位V<sub>dd</sub>からなり、トランスファゲート2115の一方のP型MOSトランジスタ(=図11の左側のP型MOSトランジスタ)は、オフされ、N型MOSトランジスタ2114は、オンされる。

40

【0143】

また、ノードN<sub>33</sub>の電位は、電源ノードVDDからトランスファゲート2111を介して流れる電流によって上昇し、電源ノードVDDの電位V<sub>dd</sub>になる。そして、トランスファゲート2116の一方のP型MOSトランジスタ(=図11の左側のP型MOSトランジスタ)およびP型MOSトランジスタ2122は、オフされ、N型MOSトランジスタ2126は、オンされる。

【0144】

更に、トランスファゲート2116の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)およびP型MOSトランジスタ2123は、オフされ、N型MOSトランジスタ2120, 2124は、オンされる。そうすると、ノードN<sub>38</sub>の電

50

位は、接地ノードGNDの電位 $V_0$ からなり、P型MOSトランジスタ2121は、オンされ、トランスファゲート2125の一方のN型MOSトランジスタ(=図11の左側のN型MOSトランジスタ)は、オフされる。

【0145】

このような状態において、発振信号 $S_1$ の“0”からなる成分 $SS_1$ が入力端子Inに入力されると、N型MOSトランジスタ2113およびトランスファゲート2125の他方のN型MOSトランジスタ(=図11の右側のN型MOSトランジスタ)は、オフされ、トランスファゲート2115の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)は、オンされる。

【0146】

その結果、N型MOSトランジスタ2112は、オフされ、トランスファゲート2115, 2125は、閉じられるので、ノード $N_{32}$ の電位は、接地ノードGNDの電位 $V_0$ に維持され、分周器211は、“0”からなる発振信号 $S_{d1}$ を出力端子Outから出力する。

【0147】

その後、発振信号 $S_1$ の“1”からなる成分 $SS_2$ が入力端子Inに入力されると、N型MOSトランジスタ2113およびトランスファゲート2125の他方のN型MOSトランジスタ(=図11の右側のN型MOSトランジスタ)は、オンされ、トランスファゲート2115の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)は、オフされる。

【0148】

その結果、ノード $N_{34}$ の電位は、電源ノードVDDの電位 $V_{dd}$ から接地ノードGNDの電位 $V_0$ へ変化し、N型MOSトランジスタ2120は、オフされ、トランスファゲート2116の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)は、オンされる。また、ノード $N_{38}$ の電位は、電源ノードVDDの電位 $V_{dd}$ へ変化し、P型MOSトランジスタ2121は、オフされ、トランスファゲート2125の一方のN型MOSトランジスタ(=図11の左側のN型MOSトランジスタ)は、オンされる。

【0149】

そうすると、3個の電源ノードVDDのいずれから、ノード $N_{32}$ へ電流が流れないので、ノード $N_{32}$ の電位は、接地ノードGNDの電位 $V_0$ に維持され、分周器211は、“0”からなる発振信号 $S_{d1}$ を出力端子Outから出力する。

【0150】

更に、その後、発振信号 $S_1$ の“0”からなる成分 $SS_3$ が入力端子Inに入力されると、N型MOSトランジスタ2113およびトランスファゲート2125の他方のN型MOSトランジスタ(=図11の右側のN型MOSトランジスタ)は、オフされ、トランスファゲート2111の一方のP型MOSトランジスタ(=図11の左側のP型MOSトランジスタ)およびトランスファゲート2115の他方のP型MOSトランジスタ(=図11の右側のN型MOSトランジスタ)は、オンされる。

【0151】

その結果、電流が電源ノードVDDからトランスファゲート2115, 2116を介してノード $N_{32}$ へ流れ、ノード $N_{32}$ の電位は、電源ノードVDDの電位 $V_{dd}$ からなる。そして、P型MOSトランジスタ2117がオフされ、N型MOSトランジスタ2118がオンされるので、ノード $N_{37}$ の電位は、接地ノードGNDの電位 $V_0$ になり、トランスファゲート2115の一方のP型MOSトランジスタ(=図11の左側のP型MOSトランジスタ)がオンされ、N型MOSトランジスタ2114がオフされる。また、トランスファゲート2111の他方のP型MOSトランジスタ(=図11の右側のP型MOSトランジスタ)は、オフされ、N型MOSトランジスタ2112は、オンされる。

【0152】

従って、分周器211は、“1”からなる発振信号 $S_{d1}$ を出力端子Outから出力す

10

20

30

40

50

る。

【0153】

引き続き、発振信号  $S_1$  の“1”からなる成分  $SS_4$  が入力端子  $I_n$  に入力されると、トランスファゲート 2111 の一方の P 型 MOS トランジスタ (= 図 11 の左側の P 型 MOS トランジスタ) がオフされ、N 型 MOS トランジスタ 2113 がオンされる。その結果、トランスファゲート 2111 は、閉じ、N 型 MOS トランジスタ 2112, 2113 がオンされるので、ノード  $N_{33}$  の電位は、接地ノード  $GND$  の電位  $V_0$  になる。

【0154】

そうすると、P 型 MOS トランジスタ 2122 がオンされ、N 型 MOS トランジスタ 2126 がオフされる。また、“1”からなる成分  $SS_4$  に応じて、トランスファゲート 2125 の他方の N 型 MOS トランジスタ (= 図 11 の右側の N 型 MOS トランジスタ) がオンされる。そして、電流が電源ノード  $V_{DD}$  から P 型 MOS トランジスタ 2122 を介してノード  $N_{34}$  へ流れ、ノード  $N_{34}$  の電位が電源ノード  $V_{DD}$  の電位  $V_{dd}$  になり、トランスファゲート 2116 の他方の P 型 MOS トランジスタ (= 図 11 の右側の P 型 MOS トランジスタ) がオフされ、N 型 MOS トランジスタ 2120 がオンされる。

【0155】

従って、電流が電源ノード  $V_{DD}$  から P 型 MOS トランジスタ 2122、トランスファゲート 2125 および N 型 MOS トランジスタ 2120 を介してノード  $N_{32}$  へ流れ、ノード  $N_{32}$  の電位は、電源ノード  $V_{DD}$  の電位  $V_{dd}$  からなる。そして、分周器 211 は、“1”からなる発振信号  $S_{d1}$  を出力端子  $O_{ut}$  から出力する。

【0156】

その後、発振信号  $S_1$  の“0”からなる成分  $SS_5$  が入力端子  $I_n$  に入力されると、トランスファゲート 2111 の一方の P 型 MOS トランジスタ (= 図 11 の左側の P 型 MOS トランジスタ) がオンされ、N 型 MOS トランジスタ 2113 がオフされる。その結果、ノード  $N_{33}$  の電位は、電源ノード  $V_{DD}$  の電位  $V_{dd}$  になり、P 型 MOS トランジスタ 2122 がオフされ、N 型 MOS トランジスタ 2126 がオンされる。また、ノード  $N_{33}$  の電位 (= 電位  $V_{dd}$ ) に応じて、トランスファゲート 2116 の一方の P 型 MOS トランジスタ (= 図 11 の左側の P 型 MOS トランジスタ) がオフされ、トランスファゲート 2116 は、閉じられる。更に、“0”からなる成分  $SS_5$  に応じて、トランスファゲート 2125 の他方の N 型 MOS トランジスタ (= 図 11 の右側の N 型 MOS トランジスタ) がオフされ、トランスファゲート 2125 は、閉じる。

【0157】

その結果、電流がノード  $N_{32}$  から N 型 MOS トランジスタ 2120, 2126 を介して接地ノード  $GND$  へ流れるので、ノード  $N_{32}$  の電位は、接地ノード  $GND$  の電位  $V_0$  になる。従って、分周器 211 は、“0”からなる発振信号  $S_{d1}$  を出力端子  $O_{ut}$  から出力する。

【0158】

その後、分周器 211 は、上述した動作を繰り返し行い、発振信号  $S_{d1}$  を出力端子  $O_{ut}$  から出力する。

【0159】

また、分周器 211 は、発振信号  $S_2$  が入力端子  $I_n$  に入力されたときも、同様にして発振信号  $S_{d2}$  を出力端子  $O_{ut}$  から出力する。

【0160】

発振信号  $S_{d1}$  は、発振信号  $S_1$  を遅延させた位相を有するとともに、発振信号  $S_1$  の周期を 2 倍した周期を有する。また、発振信号  $S_{d2}$  は、発振信号  $S_2$  を遅延させた位相を有するとともに、発振信号  $S_2$  の周期を 2 倍した周期を有する。

【0161】

そして、発振信号  $S_1$  と発振信号  $S_2$  との位相差を  $T_{d1}$  とし、発振信号  $S_{d1}$  と発振信号  $S_{d2}$  との位相差を  $T_{d2}$  とした場合、位相差  $T_{d2}$  は、位相差  $T_{d1}$  よりも大きくなる。その結果、分周器 211 が無い場合に比べ、発振信号  $S_{d1}$  を正確に検出できる。



## 【0162】

また、分周器211は、21個のトランジスタによって構成されているので、分周器211の占有面積を小さくできる。

## 【0163】

なお、図10に示す分周器212～21Rの各々も、図11に示す分周器211と同じ構成からなる。

## 【0164】

図13は、図1に示す時間領域WTA回路30の構成図である。図13を参照して、時間領域WTA回路30は、インバータ301～30R、340、360と、遅延回路311～31Rと、レジスタ321～32Rと、Winner検出回路330と、フィードバック回路350とを含む。

10

## 【0165】

インバータ301～30Rは、分周回路20の分周器211～21Rに対応して設けられ、それぞれ、発振信号 $S_{d1} \sim S_{dR}$ を受ける。そして、インバータ301～30Rは、それぞれ、発振信号 $S_{d1} \sim S_{dR}$ を反転し、その反転した反転信号 $/S_{d1} \sim /S_{dR}$ をそれぞれ遅延回路311～31Rへ出力するとともに、反転信号 $/S_{d1} \sim /S_{dR}$ をWinner検出回路330へ出力する。

## 【0166】

遅延回路311～31Rの各々は、直列に接続された偶数個のインバータからなる。遅延回路311～31Rは、それぞれ、反転信号 $/S_{d1} \sim /S_{dR}$ を受け、その受けた反転信号 $/S_{d1} \sim /S_{dR}$ を $R$ だけ遅延し、その遅延した反転信号 $/S_{d1} \sim /S_{dR}$ をそれぞれレジスタ321～32Rのデータ端子Dへ出力する。

20

## 【0167】

レジスタ321～32Rは、検索開始信号SB(=0)の反転信号 $/SB$ (=1)をインバータ360からリセット端子RSTに受け、フィードバック回路350から検索終了信号SEをクロック端子CLKに受ける。

## 【0168】

レジスタ321～32Rは、反転信号 $/SB$ をリセット端子RSTに受けると、リセットされる。また、レジスタ321～32Rは、それぞれ、反転信号 $/S_{d1} \sim /S_{dR}$ をデータ端子Dに受ける。更に、レジスタ321～32Rは、検索終了信号SEをクロック端子CLKに受けないとき、それぞれ、データ端子Dに受けた反転信号 $/S_{d1} \sim /S_{dR}$ を出力し、検索終了信号SEをクロック端子CLKに受けると、それぞれ、データ端子Dに受けた反転信号 $/S_{d1} \sim /S_{dR}$ をラッチ(保持)する。

30

## 【0169】

Winner検出回路330は、それぞれ、インバータ301～30Rから反転信号 $/S_{d1} \sim /S_{dR}$ を受け、その受けた反転信号 $/S_{d1} \sim /S_{dR}$ のうち、最も早く変化する反転信号(=反転信号 $/S_{d1} \sim /S_{dR}$ のいずれか)を検出する。

## 【0170】

Winner検出回路330は、最も早く変化する反転信号(=反転信号 $/S_{d1} \sim /S_{dR}$ のいずれか)を検出すると、検索終了信号SEを生成し、その生成した検索終了信号SEをインバータ340およびフィードバック回路350へ出力する。

40

## 【0171】

インバータ340は、Winner検出回路330から受けた検索終了信号SEを反転して反転信号 $/SE$ を出力する。

## 【0172】

フィードバック回路350は、Winner検出回路330から検索終了信号SEを受け、その受けた検索終了信号SEをR個のレジスタ321～32Rへ同時に出力する。

## 【0173】

インバータ360は、検索開始信号SBを外から受け、その受けた検索開始信号SBを反転して反転信号 $/SB$ をレジスタ321～32Rへ出力する。

50

## 【0174】

図14は、図13に示すWinner検出回路330の回路図である。図14を参照して、Winner検出回路330は、NOR回路3301~330p, 3321~332r, 3341, 3342と、NAND回路3311~331q, 3331~3334, 3351を含む。

## 【0175】

ここで、pは、 $p = R / 2$ を満たす整数であり、qは、 $q = p / 2$ を満たす整数であり、rは、 $r = q / 2$ を満たす整数である。

## 【0176】

NOR回路3301は、反転信号 $/S_{d1}$ ,  $/S_{d2}$ を受け、その受けた反転信号 $/S_{d1}$ ,  $/S_{d2}$ の論理和を演算し、その演算した論理和を反転してNAND回路3311へ出力する。

10

## 【0177】

NOR回路3302は、反転信号 $/S_{d3}$ ,  $/S_{d4}$ を受け、その受けた反転信号 $/S_{d3}$ ,  $/S_{d4}$ の論理和を演算し、その演算した論理和を反転してNAND回路3311へ出力する。

## 【0178】

以下、同様にして、NOR回路330p-1は、反転信号 $/S_{dR-3}$ ,  $/S_{dR-2}$ を受け、その受けた反転信号 $/S_{dR-3}$ ,  $/S_{dR-2}$ の論理和を演算し、その演算した論理和を反転してNAND回路331qへ出力する。NOR回路330pは、反転信号 $/S_{dR-1}$ ,  $/S_{dR}$ を受け、その受けた反転信号 $/S_{dR-1}$ ,  $/S_{dR}$ の論理和を演算し、その演算した論理和を反転してNAND回路331qへ出力する。

20

## 【0179】

NAND回路3311は、NOR回路3301の出力信号とNOR回路3302の出力信号との論理積を演算し、その演算した論理積を反転してNOR回路3321へ出力する。以下、同様にして、NAND回路331qは、NOR回路330p-1の出力信号とNOR回路330pの出力信号との論理積を演算し、その演算した論理積を反転してNOR回路332rへ出力する。

## 【0180】

NOR回路3321は、NAND回路3311の出力信号と、NAND回路3312(図示せず)の出力信号との論理和を演算し、その演算した論理和を反転してNAND回路3331へ出力する。以下、同様にして、NOR回路332rは、NAND回路331q-1(図示せず)の出力信号とNAND回路331qの出力信号との論理和を演算し、その演算した論理和を反転してNAND回路3334へ出力する。

30

## 【0181】

NAND回路3331は、NOR回路3321の出力信号と、NOR回路3322(図示せず)の出力信号との論理積を演算し、その演算した論理積を反転してNOR回路3341へ出力する。以下、同様にして、NAND回路3334は、NOR回路332r-1(図示せず)の出力信号とNOR回路332rの出力信号との論理積を演算し、その演算した論理積を反転してNOR回路3342へ出力する。

40

## 【0182】

NOR回路3341は、NAND回路3331の出力信号と、NAND回路3332(図示せず)の出力信号との論理和を演算し、その演算した論理和を反転してNAND回路3351へ出力する。NOR回路3342は、NAND回路3333(図示せず)の出力信号と、NAND回路3334の出力信号との論理和を演算し、その演算した論理和を反転してNAND回路3351へ出力する。

## 【0183】

NAND回路3351は、NOR回路3341の出力信号とNOR回路3342の出力信号との論理積を演算し、その演算した論理積を反転して検索終了信号SEを生成する。そして、NAND回路3351は、検索終了信号SEをインバータ340およびフォード

50

バック回路 350 へ出力する。

【0184】

反転信号 /  $S_{d1}$  が Winner 行の反転信号であり、反転信号 /  $S_{d2} \sim / S_{dR}$  が Loser 行の反転信号である場合、NOR 回路 3301 は、“0”を出力し、NOR 回路 3302 ~ 330p は、“1”を出力する。

【0185】

そして、NAND 回路 3311 は、“1”を出力し、NAND 回路 3312 ~ 331q は、“0”を出力する。その後、NOR 回路 3321 は、“0”を出力し、NOR 回路 3322 ~ 332r は、“1”を出力する。引き続き、NAND 回路 3331 は、“1”を出力し、NAND 回路 3332 ~ 3334 は、“0”を出力する。そして、NOR 回路 3341 は、“0”を出力し、NOR 回路 3342 は、“1”を出力する。そうすると、NAND 回路 3351 は、“1”からなる検索終了信号 SE を出力する。

10

【0186】

反転信号 /  $S_{d2} \sim / S_{dR}$  のいずれかが Winner 行の反転信号である場合も、Winner 検出回路 330 は、同様にして検索終了信号 SE を生成して出力する。

【0187】

Winner 検出回路 330 は、2 入力ゲートをトーナメント方式で接続した構成からなる。その結果、いずれの行が Winner 行になっても、Winner 行の反転信号が Winner 検出回路 330 へ入力されてから検索終了信号 SE が出力されるまでに通過する NOR 回路および NAND 回路の個数は、等しくなる。

20

【0188】

従って、いずれの行が Winner 行になっても、Winner 行の反転信号が Winner 検出回路 330 へ入力されてから検索終了信号 SE が出力されるまでの遅延時間を一定にできる。

【0189】

図 15 は、図 14 に示す NAND 回路 3311 の回路図である。図 15 を参照して、NAND 回路 3311 は、P 型 MOS トランジスタ 401, 402 と、N 型 MOS トランジスタ 403 ~ 406 とを含む。

【0190】

P 型 MOS トランジスタ 401, 402 は、電源ノード VDD とノード  $N_{41}$  との間に並列に接続される。

30

【0191】

N 型 MOS トランジスタ 403, 405 は、ノード  $N_{41}$  と接地ノード GND との間に直列に接続される。また、N 型 MOS トランジスタ 404, 406 は、ノード  $N_{41}$  と接地ノード GND との間に直列に接続される。そして、直列に接続された N 型 MOS トランジスタ 403, 405 は、ノード  $N_{41}$  と接地ノード GND との間で、直列に接続された N 型 MOS トランジスタ 404, 406 と並列に接続される。

【0192】

NAND 回路 3311 において、P 型 MOS トランジスタ 401 および N 型 MOS トランジスタ 403, 406 は、入力 A をゲート端子に受け、P 型 MOS トランジスタ 402 および N 型 MOS トランジスタ 404, 405 は、入力 B をゲート端子に受ける。

40

【0193】

このように、NAND 回路 3311 は、出力容量が一定である P 型 MOS トランジスタ および N 型 MOS トランジスタ を左右対称に配置した構成からなる。

【0194】

なお、図 14 に示す NAND 回路 3312 ~ 331q, 3331 ~ 3334, 3351 の各々も、図 15 に示す NAND 回路 3311 と同じ構成からなる。

【0195】

図 16 は、図 14 に示す NOR 回路 3301 の回路図である。図 16 を参照して、NOR 回路 3301 は、P 型 MOS トランジスタ 411 ~ 414 と、N 型 MOS トランジスタ

50

415, 416 とを含む。

【0196】

P型MOSトランジスタ411, 413は、電源ノードVDDとノードN<sub>42</sub>との間に直列に接続される。P型MOSトランジスタ412, 414は、電源ノードVDDとノードN<sub>42</sub>との間に直列に接続される。そして、直列に接続されたP型MOSトランジスタ411, 413は、電源ノードVDDとノードN<sub>42</sub>の間において、直列に接続されたP型MOSトランジスタ412, 414と並列に接続される。

【0197】

N型MOSトランジスタ415, 416は、ノードN<sub>42</sub>と接地ノードGNDとの間に並列に接続される。

10

【0198】

NOR回路3301において、P型MOSトランジスタ411, 414およびN型MOSトランジスタ415は、入力Aをゲート端子に受け、P型MOSトランジスタ412, 413およびN型MOSトランジスタ416は、入力Bをゲート端子に受ける。

【0199】

このように、NOR回路3301は、出力容量が一定であるP型MOSトランジスタおよびN型MOSトランジスタを左右対称に配置した構成からなる。

【0200】

なお、図14に示すNOR回路3302~330p, 3321~332r, 3341, 3342の各々も、図16に示すNOR回路3301と同じ構成からなる。

20

【0201】

上述したように、NOR回路3301~330p, 3321~332r, 3341, 3342およびNAND回路3311~331q, 3331~3334, 3351は、P型MOSトランジスタおよびN型MOSトランジスタを左右対称に配置した構成からなる。その結果、NOR回路3301~330p, 3321~332r, 3341, 3342における遅延時間が相互に等しくなり、NAND回路3311~331q, 3331~3334, 3351における遅延時間が相互に等しくなる。

【0202】

従って、いずれの行がWinner行になっても、Winner行の反転信号がWinner検出回路330へ入力されてから検索終了信号SEが出力されるまでの遅延時間を一定にできる。

30

【0203】

図17は、図13に示す時間領域WTA回路30におけるタイミングチャートである。

【0204】

Winner行の信号が変化してからレジスタ(=レジスタ321~32Rのいずれか)にデータが入力されるまでの時間を $t_R$ とし、Winner行の信号の変化を検出してからレジスタ321~32Rの全てをラッチするまでの時間を $t_{SE}$ とし、レジスタ321~32Rのセットアップ時間を $t_{ST}$ とし、ばらつきを打ち消すためのマージン時間を $t_M$ とし、距離1の時間差を $t_S$ とする。

【0205】

40

図17を参照して、タイミング $t_0$ (=時刻0)でWinner行の信号が変化する。そして、タイミング $t_1$ でWinner行の信号がレジスタ(=レジスタ321~32Rのいずれか)に入力される。

【0206】

その後、タイミング $t_2$ で全ての行のレジスタ321~32Rがラッチされる。そして、タイミング $t_3$ でWinner行に最も近いLoser行の信号がレジスタ(=レジスタ321~32Rのいずれか)に入力される。

【0207】

タイミング $t_0$ からタイミング $t_2$ までの時間である $t_{SE}$ は、 $t_{SE} = t_R + t_{ST} + t_M$ であるので、 $t_R$ は、 $t_R = t_{SE} - t_{ST} - t_M$ によって表される。

50

## 【0208】

そして、Winner 行の信号の変化を検出してからレジスタ321～32Rの全てをラッチするまでの時間である  $s_E$  がばらついて、Winner 行の信号と、Winner 行に最も近いLoser 行の信号とを判別できるように、 $t_R$  を調整してマージン時間  $t_M$  を決定する。

## 【0209】

再び、図13を参照して、発振信号  $S_{d1}$  が Winner 行の発振信号である場合、Winner 検出回路330は、反転信号  $/S_{d1} \sim /S_{dR}$  のうち、反転信号  $/S_{d1}$  の変化を最も早く検出し、検索終了信号  $SE$  を生成する。

## 【0210】

遅延回路311は、反転信号  $/S_{d1}$  を  $t_R$  だけ遅延してレジスタ321へ出力し、レジスタ321は、反転信号  $/S_{d1}$  をデータ端子Dに受ける。

## 【0211】

その後、フィードバック回路350は、検索終了信号  $SE$  をレジスタ321～32Rへ同時に出力し、レジスタ321～32Rは、検索終了信号  $SE$  に応じてデータをラッチする。この段階で反転信号を受けているのは、レジスタ321だけであり、レジスタ321は、“1”からなる信号  $M_1$  を出力し、レジスタ322～32Rは、それぞれ、“0”からなる信号  $M_2 \sim M_R$  を出力する。

## 【0212】

図18は、図13に示すWinner 検出回路330の他の回路図である。この発明の実施の形態においては、時間領域WTA回路30は、図18に示すWinner 検出回路330Aを備えていてもよい。

## 【0213】

図18を参照して、Winner 検出回路330Aは、N型MOSトランジスタ3361～336Rと、プリチャージ/キーパー3371～337s-1, ..., 337R-s～337R-1, 339sと、インバータ337s, 337R, 338s, 338R, 339Rとを含む。

## 【0214】

N型MOSトランジスタ3361～336s (sは2以上の整数)は、それぞれ、ノード  $N_{51} \sim N_{5s}$  と接地ノードGNDとの間に接続される。

## 【0215】

N型MOSトランジスタ336R-s～336Rは、それぞれ、ノード  $N_{5R-s} \sim N_{5R}$  と接地ノードGNDとの間に接続される。

## 【0216】

そして、N型MOSトランジスタ3361～336Rは、それぞれ、反転信号  $/S_{d1} \sim /S_{dR}$  をゲート端子に受ける。

## 【0217】

プリチャージ/キーパー3371～337s-1は、それぞれ、N型MOSトランジスタ3361～336sのソース端子に接続される。プリチャージ/キーパー337R-s～337R-1は、それぞれ、N型MOSトランジスタ336R-s～336R-1のソース端子に接続される。

## 【0218】

インバータ337sは、その入力端子がN型MOSトランジスタ336sのソース端子に接続され、出力端子がN型MOSトランジスタ338sのゲート端子に接続される。

## 【0219】

インバータ337Rは、その入力端子がN型MOSトランジスタ336Rのソース端子に接続され、出力端子がN型MOSトランジスタ338Rのゲート端子に接続される。

## 【0220】

s個のノード  $N_{51} \sim N_{5s}$  は、相互に接続され、s個のノード  $N_{5R-s} \sim N_{5R}$  は、相互に接続される。

10

20

30

40

50

## 【0221】

N型MOSトランジスタ338s, ..., 338Rは、それぞれ、ノード $N_{6s}$ , ...,  $N_{6R}$ と接地ノードGNDとの間に接続される。

## 【0222】

プリチャージ/キーパー339sは、N型MOSトランジスタ338sのソース端子に接続される。

## 【0223】

インバータ339Rは、反転信号/ $S_{dR}$ にのみ対応して設けられ、その入力端子がN型MOSトランジスタ338Rのソース端子に接続される。

## 【0224】

ノード $N_{6s}$ , ...,  $N_{6R}$ は、反転信号/ $S_{d1}$  ~ / $S_{dR}$ のs個毎に設けられ、相互に接続される。また、プリチャージ/キーパー339sは、反転信号/ $S_{d1}$  ~ / $S_{dR-1}$ のs個毎に設けられる。

10

## 【0225】

プリチャージ/キーパー3371 ~ 337s-1は、それぞれ、ノード $N_{51}$  ~  $N_{5s}$ を電源ノードVDDの電位にプリチャージするとともに、そのプリチャージした電位を保持する。

## 【0226】

プリチャージ/キーパー337R-s ~ 337Rは、それぞれ、ノード $N_{5R-s}$  ~  $N_{5R}$ を電源ノードVDDの電位にプリチャージするとともに、そのプリチャージした電位を保持する。

20

## 【0227】

プリチャージ/キーパー339s, ...は、それぞれ、ノード $N_{6s}$ , ...,  $N_{6R}$ を電源ノードVDDの電位にプリチャージするとともに、そのプリチャージした電位を保持する。

## 【0228】

図19は、図18に示すプリチャージ/キーパー3371の回路図である。図19を参照して、プリチャージ/キーパー3371は、インバータ421, 424, 426と、NOR回路422と、P型MOSトランジスタ423と、NAND回路425と、N型MOSトランジスタ427とを含む。

30

## 【0229】

P型MOSトランジスタ423およびN型MOSトランジスタ427は、電源ノードVDDと接地ノードGNDとの間に直列に接続される。P型MOSトランジスタ423のゲート端子は、NOR回路422の出力端子に接続される。N型MOSトランジスタ427のゲート端子は、インバータ426の出力端子に接続される。

## 【0230】

NOR回路422は、インバータ421の出力端子と、P型MOSトランジスタ423のゲート端子との間に接続される。インバータ424は、NOR回路422の入力端子およびノード $N_{71}$ と、NAND回路425の入力端子との間に接続される。

## 【0231】

NAND回路425は、インバータ421の入力端子およびインバータ424の出力端子と、インバータ426の入力端子との間に接続される。インバータ426は、NAND回路425の出力端子と、N型MOSトランジスタ427のゲート端子との間に接続される。

40

## 【0232】

インバータ421は、検索開始信号SBの反転信号/ $S_B$ を連想メモリ100の制御回路(図示せず)から受け、その受けた反転信号/ $S_B$ を反転してNOR回路422へ出力する。

## 【0233】

NOR回路422は、インバータ421の出力信号と、インバータ424の入力信号(

50

= ノード  $N_{71}$  の電位からなる信号) との論理和を演算し、その演算した論理和を反転して P 型 MOS トランジスタ 423 のゲート端子へ出力する。

【0234】

インバータ 424 は、ノード  $N_{71}$  の電位からなる信号を反転して NAND 回路 425 へ出力する。

【0235】

NAND 回路 425 は、反転信号 / SB と、インバータ 424 の出力信号との論理積を演算し、その演算した論理積を反転してインバータ 426 へ出力する。インバータ 426 は、NAND 回路 425 の出力信号を反転して N 型 MOS トランジスタ 427 のゲート端子へ出力する。

10

【0236】

プリチャージ / キーパー 3371 の動作について説明する。Winner 検出回路 330A が動作を開始する前、インバータ 421 は、“0” からなる反転信号 / SB を受け、その受けた反転信号 / SB を反転して “1” からなる信号を NOR 回路 422 へ出力する。

【0237】

そして、NOR 回路 422 は、ノード  $N_{71}$  の電位に拘わらず、“1” からなる信号を反転して “0” からなる信号を P 型 MOS トランジスタ 423 のゲート端子へ出力する。

【0238】

一方、NAND 回路 425 は、“0” からなる反転信号 / SB を受け、インバータ 424 の出力信号にかかわらず、“0” からなる反転信号 / SB を反転して “1” からなる信号をインバータ 426 へ出力する。そして、インバータ 426 は、“1” からなる信号を反転して N 型 MOS トランジスタ 427 のゲート端子へ出力する。

20

【0239】

そうすると、P 型 MOS トランジスタ 423 は、“0” からなる信号をゲート端子に受けてオンされ、N 型 MOS トランジスタ 427 は、“0” からなる信号をゲート端子に受けてオフされる。その結果、電流が電源ノード VDD から P 型 MOS トランジスタ 423 を介してノード  $N_{71}$  へ流れ、ノード  $N_{71}$  は、電源ノード VDD の電位にプリチャージされる。

【0240】

その後、インバータ 421 は、“1” からなる反転信号 / SB を受け、その受けた反転信号 / SB を反転して “0” からなる信号を NOR 回路 422 へ出力する。NOR 回路 422 は、“0” から信号をインバータ 421 から受け、“1” からなる信号 (= ノード  $N_{71}$  の電位 = 電源ノード VDD の電位) をノード  $N_{71}$  から受け、“0” からなる信号と “1” からなる信号との論理和を演算し、その演算した論理和を反転して P 型 MOS トランジスタ 423 のゲート端子へ出力する。

30

【0241】

一方、NAND 回路 425 は、“1” からなる反転信号 / SB と、“0” からなる信号とを受け、“1” からなる反転信号 / SB と “0” からなる信号との論理積を演算し、その演算した論理積を反転して “1” からなる信号をインバータ 426 へ出力する。

40

【0242】

インバータ 426 は、“1” からなる信号を反転して “0” からなる信号を N 型 MOS トランジスタ 427 のゲート端子へ出力する。

【0243】

そうすると、P 型 MOS トランジスタ 423 は、“0” からなる信号をゲート端子に受けてオンされ、N 型 MOS トランジスタ 427 は、“0” からなる信号をゲート端子に受けてオフされる。

【0244】

その結果、ノード  $N_{71}$  の電位は、電源ノード VDD の電位に保持される。

【0245】

50

なお、図18に示すプリチャージ/キーパー3372~337s-1, ..., 337R-s~337R-1, 339sの各々も、図19に示すプリチャージ/キーパー3371と同じ構成からなる。

【0246】

再び、図18を参照して、Winner行の反転信号が反転信号/S<sub>d1</sub>である場合を例にして、Winner検出回路330Aの動作を説明する。

【0247】

反転信号/S<sub>d1</sub>~ /S<sub>dR</sub>がWinner検出回路330Aに入力される前、Winner検出回路330AのノードN<sub>51</sub>~N<sub>5s</sub>, ..., N<sub>5R-s</sub>~N<sub>5R</sub>, N<sub>6s</sub>~N<sub>6R</sub>は、プリチャージ/キーパー3371~337s-1, ..., 337R-s~337R-1, 339sによって電源ノードVDDの電位にプリチャージされている。

10

【0248】

そして、反転信号/S<sub>d1</sub>が最も早くWinner検出回路330Aへ入力され、反転信号/S<sub>d1</sub>が“0”から“1”へ変化すると、N型MOSトランジスタ3361がオンされ、ノードN<sub>51</sub>~N<sub>5s</sub>の電位が接地ノードGNDの電位に低下する。

【0249】

その結果、インバータ337sは、“0”からなる信号(=接地ノードGNDの電位からなる信号)を反転してN型MOSトランジスタ338sのゲート端子へ出力し、N型MOSトランジスタ338sは、“1”からなる信号をゲート端子に受けてオンされる。

【0250】

20

そして、ノードN<sub>6s</sub>~N<sub>6R</sub>の電位は、接地ノードGNDの電位に低下し、インバータ339Rは、“0”からなる信号(=接地ノードGNDの電位からなる信号)を反転し、その反転した“1”からなる信号を検索終了信号SEとして出力する。

【0251】

反転信号/S<sub>d1</sub>以外の反転信号/S<sub>d2</sub>~ /S<sub>dR</sub>がWinner行の反転信号である場合についても、Winner検出回路330Aは、同様にして、Winner行の反転信号の変化を最も早く検出し、検索終了信号SEを生成する。

【0252】

図20は、図13に示すフィードバック回路350の回路図である。なお、図20に示すフィードバック回路350は、行数が16である場合のフィードバック回路である。

30

【0253】

図20を参照して、フィードバック回路350は、インバータ3501~3515を含む。

【0254】

インバータ3502, 3503の出力は、1つの配線によって接続され、インバータ3504~3507の出力は、1つの配線によって接続され、インバータ3508~3515の出力は、1つの配線によって接続される。

【0255】

インバータ3501は、Winner検出回路330から検索終了信号SEを受け、その受けた検索終了信号SEを反転して反転信号/SEをインバータ3502, 3503へ同時に出力する。

40

【0256】

インバータ3502, 3503は、反転信号/SEを反転して検索終了信号SEをインバータ3504~3507へ同時に出力する。インバータ3504~3507は、検索終了信号SEを反転して反転信号/SEをインバータ3508~3515へ同時に出力する。インバータ3508~3515は、反転信号/SEを反転して検索終了信号SE1~SE16(=SE)を同時に出力する。

【0257】

このように、各段のインバータの出力を1つの配線によって接続することによって、検索終了信号SEの出力タイミングを揃えることができる。

50



## 【0258】

検索データおよび参照データのビット数が8ビットであり、図2に示すNビットステージ41~4kの各々が4ビットステージである場合について、図1に示す連想メモリ100の動作を具体的に説明する。

## 【0259】

図21は、図1に示すメモリ部1の具体例を示す図である。図21を参照して、メモリ部1は、参照データ保存回路 $SC_{11} \sim SC_{18}$ 、 $SC_{21} \sim SC_{28}$ 、 $\dots$ 、 $SC_{R1} \sim SC_{R8}$ と、ユニット比較回路 $UC_{11} \sim UC_{18}$ 、 $UC_{21} \sim UC_{28}$ 、 $\dots$ 、 $UC_{R1} \sim UC_{R8}$ と、パスエンコーダ $PE_1 \sim PE_R$ と、距離/時間変換回路 $DT_1 \sim DT_R$ とを含む。

10

## 【0260】

そして、検索データ保存回路5は、8ビットの検索データ $a_1 \sim a_8$ を保存する。

## 【0261】

パスエンコーダ $PE_1 \sim PE_R$ の各々は、4ビットパスエンコーダ $PE_{11-1}$ 、 $PE_{12-1}$ からなり、距離/時間変換回路 $DT_1 \sim DT_R$ の各々は、NAND回路40と、4ビットステージ41-1、42-1とからなる。

## 【0262】

参照データ保存回路 $SC_{11} \sim SC_{18}$ の各々は、8ビットの参照データ1の各1ビットを保存する。参照データ保存回路 $SC_{21} \sim SC_{28}$ の各々は、8ビットの参照データ2の各1ビットを保存する。以下、同様にして、参照データ保存回路 $SC_{R1} \sim SC_{R8}$ の各々は、8ビットの参照データRの各1ビットを保存する。

20

## 【0263】

ユニット比較回路 $UC_{11}$ は、検索データの1ビット $a_1$ を参照データ保存回路 $SC_{11}$ に保存された1ビットと比較する。そして、ユニット比較回路 $UC_{11}$ は、両者が一致するとき、“0”からなる距離信号M1を4ビットパスエンコーダ $PE_{11-1}$ へ出力し、両者が不一致であるとき、“1”からなる距離信号M1を4ビットパスエンコーダ $PE_{11-1}$ へ出力する。

## 【0264】

ユニット比較回路 $UC_{12} \sim UC_{14}$ も、同様にして、それぞれ、検索データの1ビット $a_2$ 、 $a_3$ 、 $a_4$ を参照データ保存回路 $SC_{12} \sim SC_{14}$ に保存された1ビットと比較し、距離信号M2~M4を4ビットパスエンコーダ $PE_{11-1}$ へ出力する。

30

## 【0265】

ユニット比較回路 $UC_{15} \sim UC_{18}$ も、同様にして、それぞれ、検索データの1ビット $a_5$ 、 $a_6$ 、 $a_7$ 、 $a_8$ を参照データ保存回路 $SC_{15} \sim SC_{18}$ に保存された1ビットと比較し、距離信号M1~M4を4ビットパスエンコーダ $PE_{12-1}$ へ出力する。

## 【0266】

ユニット比較回路 $UC_{21} \sim UC_{28}$ 、 $\dots$ 、 $UC_{R1} \sim UC_{R8}$ は、ユニット比較回路 $UC_{11} \sim UC_{18}$ と同様にして、距離信号M1~M4、M1~M4をそれぞれパスエンコーダ $PE_2 \sim PE_R$ へ出力する。

## 【0267】

40

4ビットパスエンコーダ $PE_{12-1}$ は、4ビットの距離信号M1~M4に基づいて、選択信号SL11を生成し、その生成した選択信号SL11を4ビットステージ41-1へ出力する。4ビットパスエンコーダ $PE_{11-1}$ は、4ビットの距離信号M1~M4に基づいて、選択信号SL12を生成し、その生成した選択信号SL12を4ビットステージ41-2へ出力する。

## 【0268】

パスエンコーダ $PE_2 \sim PE_R$ は、8ビットの距離信号M1~M4、M1~M4に基づいて、選択信号SL11、SL12を生成し、その生成した選択信号SL11、SL12をそれぞれ距離/時間変換回路 $DT_2 \sim DT_R$ へ出力する。

## 【0269】

50

距離/時間変換回路  $DT_1$  において、NAND回路 40 は、イネーブル信号  $EN$  と、4ビットステージ 42-1 の出力信号との論理積を演算し、その演算した論理積を反転して4ビットステージ 41-1 へ出力する。

【0270】

4ビットステージ 41-1 は、NAND回路 40 から受けた信号を選択信号  $SL_{11}$  によって選択された遅延経路によって遅延し、その遅延した信号を4ビットステージ 42-1 へ出力する。

【0271】

4ビットステージ 42-1 は、4ビットステージ 41-1 から受けた信号を選択信号  $SL_{12}$  によって選択された遅延経路によって遅延し、その遅延した信号 (= 発振信号  $S_1$ ) を NAND回路 40 および分周回路 20 へ出力する。

10

【0272】

図 22 は、図 21 に示す 4ビットステージ 41-1 の構成を示す回路図である。図 22 を参照して、4ビットステージ 41-1 は、図 3 に示す  $N$  ビットステージ 41 において、 $N = 4$  である場合に相当する。

【0273】

遅延器 71 ~ 74 の各々は、直列に接続された偶数個のインバータからなり、例えば、直列に接続された 4 個のインバータからなる。

【0274】

なお、4ビットステージ 42-1 も、図 22 に示す 4ビットステージ 41-1 と同じ構成からなる。

20

【0275】

図 23 は、図 21 に示す 4ビットパスエンコーダ  $PE_{11}-1$  の構成図である。図 23 を参照して、4ビットパスエンコーダ  $PE_{11}-1$  は、図 5 に示すパスエンコーダ  $PE_1$  において、 $N = 4$  である場合に相当する。

【0276】

パス選択信号生成回路 11, 12 については、それぞれ、図 6, 7 に示したとおりである。

【0277】

図 24 は、図 23 に示すパス選択信号生成回路 13 の回路図である。図 24 を参照して、パス選択信号生成回路 13 は、図 8 に示すパス選択信号生成回路  $1N-1$  において、 $N = 4$  である場合に相当する。

30

【0278】

そして、パス選択信号生成回路 13 は、距離信号  $M_4$  が “0” であるとき、信号  $EN_1Q_4 = EN_1Q_3$ ,  $EN_2Q_4 = EN_2Q_3$ ,  $EN_3Q_4 = EN_3Q_3$ ,  $EN_4Q_4 = 1$  を出力し、距離信号  $M_4$  が “1” であるとき、信号  $EN_1Q_4 = 0$ ,  $EN_2Q_4 = EN_1Q_3$ ,  $EN_3Q_4 = EN_2Q_3$ ,  $EN_4Q_4 = EN_3Q_3$  を出力する。

【0279】

再び、図 23 を参照して、インバータ  $IV_{11} \sim IV_{14}$ ,  $IV_{21} \sim IV_{24}$  および NOR回路  $NR_1 \sim NR_3$  は、パス選択信号生成回路 13 から出力された信号  $EN_1Q_4 \sim EN_4Q_4$  に基づいて、信号  $EN_1Q_4 \sim EN_4Q_4$ ,  $EN_{14} \sim EN_{44}$ ,  $Dist_{14} \sim Dist_{34}$  を生成する。

40

【0280】

なお、図 23 においては、信号  $Dist_{04}$ ,  $Dist_{44}$  が示されていないが、信号  $Dist_{04}$  は、信号  $EN_{14}$  の反転信号  $EN_1Q_4$  に等しい。これは、信号がノード  $N_0$  トランスファゲート 80 インバータ 91 からなる遅延経路を通過する場合、トランスファゲート 51 を、必ず、閉じる必要があるからである。

【0281】

また、信号  $Dist_{44}$  は、信号  $EN_4$  に等しい。これは、信号が遅延器 74 を通過する場合、トランスファゲート 54, 84 の両方を、必ず、開く必要があるからである。

50

## 【 0 2 8 2 】

距離信号  $M_1 \sim M_4$  の各々が “ 0 ” または “ 1 ” であるときに、4ビットパスエンコーダ  $PE_{11-1}$  が生成する信号  $EN1Q_4 \sim EN4Q_4$  ,  $EN1_4 \sim EN4_4$  ,  $Dist0_4 \sim Dist4_4$  の取り得る値を表3に示す。

## 【 0 2 8 3 】

【表 3】

Dist0<sub>4</sub>=EN1<sub>4</sub>の反転、Dist4<sub>4</sub>=EN4<sub>4</sub>

M1	M2	EN1Q <sub>2</sub>	EN2Q <sub>2</sub>	M3	EN1Q <sub>3</sub>	EN2Q <sub>3</sub>	EN3Q <sub>3</sub>	M4	EN1Q <sub>4</sub>	EN2Q <sub>4</sub>	EN3Q <sub>4</sub>	EN4Q <sub>4</sub>	Dist0 <sub>4</sub>	EN1 <sub>4</sub>	EN1Q <sub>4</sub>	Dist1 <sub>4</sub>	EN2 <sub>4</sub>	EN2Q <sub>4</sub>	Dist2 <sub>4</sub>	EN3 <sub>4</sub>	EN3Q <sub>4</sub>	Dist3 <sub>4</sub>	EN4 <sub>4</sub>	EN4Q <sub>4</sub>	Dist4 <sub>4</sub>	パス
0	0	1		0	1	1	1	0	1	1	1	1	1	0	1	0	0	0	1	0	0	0	0	1	0	距離0のパス
			1	1	0	0	0	1	0	1	1	1	0	1	0	1	0	1	1	0	0	0	0	1	0	距離1のパス
				1	0	1	1	1	0	1	1	1	0	1	0	1	0	1	1	0	0	0	0	1	0	距離1のパス
				1	0	0	1	1	0	0	1	1	0	1	0	0	1	0	1	0	0	0	0	1	0	距離2のパス
0	1	0	1	0	0	1	1	1	0	0	1	1	0	1	0	1	0	1	0	0	0	0	0	1	0	距離1のパス
				1	0	0	1	1	0	0	1	1	0	1	0	0	1	0	1	0	0	0	0	1	0	距離2のパス
				1	0	1	1	1	0	0	1	1	0	1	0	1	0	1	0	0	0	0	0	1	0	距離2のパス
1	0	0	1	0	0	1	1	1	0	0	1	1	0	1	0	1	0	1	0	0	0	0	0	1	0	距離1のパス
				1	0	0	1	1	0	0	1	1	0	1	0	0	1	0	1	0	0	0	0	1	0	距離2のパス
1	1	0	0	0	0	0	1	1	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	1	0	距離3のパス
				1	0	0	0	1	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	1	0	距離2のパス
				1	0	0	0	1	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	1	0	距離3のパス
				1	0	0	0	1	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	1	0	距離3のパス
				1	0	0	0	1	0	0	0	1	0	1	0	0	1	0	0	0	0	0	0	1	0	距離4のパス

10

20

30

40

M1 = M2 = M3 = M4 = 0 であるとき、即ち、検索データの4ビットと参照データの4ビットとが一致する場合、 $Dist0_4 = "1"$  ,  $EN1_4 = "0"$  ,  $EN1Q_4 = "1"$  ,  $Dist1_4 = "0"$  ,  $EN2_4 = "0"$  ,  $EN2Q_4 = "1"$  ,  $Dist2_4 = "0"$  ,  $EN3_4 = "0"$  ,  $EN3Q_4 = "1"$  ,  $Dist3_4 = "0"$  ,  $EN4_4 = "0"$  ,  $EN4Q_4 = "1"$  ,  $Dist4_4 = "0"$  である。

【0285】

その結果、トランスファゲート80が開き、トランスファゲート51~54, 81~84が閉じる。そして、信号は、ノードN<sub>0</sub> トランスファゲート80 インバータ91からなる遅延経路を通過する。即ち、信号は、距離0のパスを通過する。

【0286】

この場合、N型MOSトランジスタ61~64は、それぞれ、信号 $EN1Q_4 = EN2Q_4 = EN3Q_4 = EN4Q_4 = "1"$  に応じてオンされるので、ノードN<sub>11</sub>~N<sub>14</sub>の電位は、接地ノードGNDの電位からなる。その結果、遅延器71~74は、動作しない。従って、消費電力を低減できる。

【0287】

また、M1 = "0" , M2 = "0" , M3 = "0" , M4 = "1" であるとき、即ち、検索データの4ビットと参照データの4ビットとのうち、1ビットが不一致であるとき、 $Dist0_4 = "0"$  ,  $EN1_4 = "1"$  ,  $EN1Q_4 = "0"$  ,  $Dist1_4 = "1"$  ,  $EN2_4 = "0"$  ,  $EN2Q_4 = "1"$  ,  $Dist2_4 = "0"$  ,  $EN3_4 = "0"$  ,  $EN3Q_4 = "1"$  ,  $Dist3_4 = "0"$  ,  $EN4_4 = "0"$  ,  $EN4Q_4 = "1"$  ,  $Dist4_4 = "0"$  である。

【0288】

その結果、トランスファゲート51, 81が開き、トランスファゲート52~54, 80, 82~84が閉じる。そして、信号は、ノードN<sub>0</sub> トランスファゲート51 遅延器71 トランスファゲート81 インバータ91からなる遅延経路を通過する。即ち、信号は、距離1のパスを通過する。

【0289】

この場合、N型MOSトランジスタ62~64は、それぞれ、信号 $EN2Q_4 = EN3Q_4 = EN4Q_4 = "1"$  に応じてオンされるので、ノードN<sub>12</sub>~N<sub>14</sub>の電位は、接地ノードGNDの電位からなる。その結果、遅延器72~74は、動作しない。従って、消費電力を低減できる。

【0290】

更に、M1 = "0" , M2 = "0" , M3 = "1" , M4 = "1" であるとき、即ち、検索データの4ビットと参照データの4ビットとのうち、2ビットが不一致であるとき、 $Dist0_4 = "0"$  ,  $EN1_4 = "1"$  ,  $EN1Q_4 = "0"$  ,  $Dist1_4 = "0"$  ,  $EN2_4 = "1"$  ,  $EN2Q_4 = "0"$  ,  $Dist2_4 = "1"$  ,  $EN3_4 = "0"$  ,  $EN3Q_4 = "1"$  ,  $Dist3_4 = "0"$  ,  $EN4_4 = "0"$  ,  $EN4Q_4 = "1"$  ,  $Dist4_4 = "0"$  である。

【0291】

その結果、トランスファゲート51, 52, 82が開き、トランスファゲート53, 54, 80, 81, 83, 84が閉じる。そして、信号は、ノードN<sub>0</sub> トランスファゲート51 遅延器71 トランスファゲート52 遅延器72 トランスファゲート82 インバータ91からなる遅延経路を通過する。即ち、信号は、距離2のパスを通過する。

【0292】

この場合、N型MOSトランジスタ63, 64は、それぞれ、信号 $EN3Q_4 = EN4Q_4 = "1"$  に応じてオンされるので、ノードN<sub>13</sub>, N<sub>14</sub>の電位は、接地ノードGNDの電位からなる。その結果、遅延器73, 74は、動作しない。従って、消費電力を低減できる。

【0293】

更に、M1 = "0" , M2 = "1" , M3 = "1" , M4 = "1" であるとき、即ち、

10

20

30

40

50

検索データの4ビットと参照データの4ビットとのうち、3ビットが不一致であるとき、 $Dist0_4 = "0"$  ,  $EN1_4 = "1"$  ,  $EN1Q_4 = "0"$  ,  $Dist1_4 = "0"$  ,  $EN2_4 = "1"$  ,  $EN2Q_4 = "0"$  ,  $Dist2_4 = "0"$  ,  $EN3_4 = "1"$  ,  $EN3Q_4 = "0"$  ,  $Dist3_4 = "1"$  ,  $EN4_4 = "0"$  ,  $EN4Q_4 = "1"$  ,  $Dist4_4 = "0"$  である。

【0294】

その結果、トランスファゲート51~53, 83が開き、トランスファゲート54, 80~82, 84が閉じる。そして、信号は、ノードN<sub>0</sub> トランスファゲート51 遅延器71 トランスファゲート52 遅延器72 トランスファゲート53 遅延器73 トランスファゲート83 インバータ91からなる遅延経路を通過する。即ち、信号は、距離3のパスを通過する。

10

【0295】

この場合、N型MOSトランジスタ64は、 $EN4Q_4 = "1"$  に応じてオンされるので、ノードN<sub>14</sub>の電位は、接地ノードGNDの電位からなる。その結果、遅延器74は、動作しない。従って、消費電力を低減できる。

【0296】

更に、 $M1 = "1"$  ,  $M2 = "1"$  ,  $M3 = "1"$  ,  $M4 = "1"$  であるとき、即ち、検索データの4ビットと参照データの4ビットとのうち、全てのビットが不一致であるとき、 $Dist0_4 = "0"$  ,  $EN1_4 = "1"$  ,  $EN1Q_4 = "0"$  ,  $Dist1_4 = "0"$  ,  $EN2_4 = "1"$  ,  $EN2Q_4 = "0"$  ,  $Dist2_4 = "0"$  ,  $EN3_4 = "1"$  ,  $EN3Q_4 = "0"$  ,  $Dist3_4 = "0"$  ,  $EN4_4 = "1"$  ,  $EN4Q_4 = "0"$  ,  $Dist4_4 = "1"$  である。

20

【0297】

その結果、トランスファゲート51~54, 84が開き、トランスファゲート80~83が閉じる。そして、信号は、ノードN<sub>0</sub> トランスファゲート51 遅延器71 トランスファゲート52 遅延器72 トランスファゲート53 遅延器73 トランスファゲート54 遅延器74 トランスファゲート84 インバータ91からなる遅延経路を通過する。即ち、信号は、距離4のパスを通過する。

【0298】

距離信号M1~M4が上記以外のビットパターンであるときも、上述した4ビットが一致する場合、1ビットが不一致である場合、2ビットが不一致である場合、3ビットが不一致である場合、および4ビットが不一致である場合のいずれかに従って、信号は、距離0のパス、距離1のパス、距離2のパス、距離3のパスおよび距離4のパスのいずれかのパスを通過する。

30

【0299】

なお、図21に示す4ビットステージ42-1も、図22に示す4ビットステージ41-1と同じ構成からなる。

【0300】

また、図21に示す4ビットパスエンコーダPE<sub>12</sub>-1も、図23, 24に示す4ビットパスエンコーダPE<sub>11</sub>-1と同じ構成からなる。

40

【0301】

再び、図21を参照して、ユニット比較回路UC<sub>11</sub>~UC<sub>14</sub>から出力される距離信号M1M2M3M4が"0000"であり、ユニット比較回路UC<sub>15</sub>~UC<sub>18</sub>から出力される距離信号M1M2M3M4が"0000"であり、ユニット比較回路UC<sub>21</sub>~UC<sub>24</sub>, UC<sub>25</sub>~UC<sub>28</sub>, ..., UC<sub>R1</sub>~UC<sub>R4</sub>, UC<sub>R5</sub>~UC<sub>R8</sub>から出力される距離信号M1M2M3M4が"0000"以外であるとき、距離/時間変換回路DT<sub>1</sub>において、信号は、4ビットステージ41-1および4ビットステージ42-1の距離0のパスを通過し、距離/時間変換回路DT<sub>2</sub>~DT<sub>R</sub>において、信号は、4ビットステージ41-1および4ビットステージ42-1の距離0のパス以外のパスを通過する。

50

## 【0302】

その結果、発振信号  $S_1$  は、最も高い周波数を有し、距離/時間変換回路  $DT_1$  から分周回路 20 へ最も早く出力され、発振信号  $S_2 \sim S_R$  は、検索データと参照データとの不一致ビット数が多くなるほど低い周波数を有し、不一致ビット数が多くなるほど遅いタイミングでそれぞれ距離/時間変換回路  $DT_2 \sim DT_R$  から分周回路 20 へ出力される。

## 【0303】

そして、分周回路 20 において、分周器 211 ~ 21R は、それぞれ、発振信号  $S_1 \sim S_R$  を分周し、その分周した発振信号  $S_{d1} \sim S_{dR}$  を時間領域 WTA 回路 30 へ出力する。

## 【0304】

時間領域 WTA 回路 30 は、発振信号  $S_{d1} \sim S_{dR}$  を分周回路 20 から受ける。そして、時間領域 WTA 回路 30 において、インバータ 301 は、発振信号  $S_{d1}$  を最も早く受け、その受けた発振信号  $S_{d1}$  を反転して遅延回路 311 および Winner 検出回路 330 へ出力し、その後、インバータ 302 ~ 30R は、発振信号  $S_{d2} \sim S_{dR}$  を受ける順序に従って、それぞれ、発振信号  $S_{d2} \sim S_{dR}$  を反転して遅延回路 312 ~ 31R および Winner 検出回路 330 へ出力する。

10

## 【0305】

遅延回路 311 は、発振信号  $S_{d1}$  の反転信号  $/S_{d1}$  を最も早く受け、その受けた反転信号  $/S_{d1}$  を  $R$  だけ遅延してレジスタ 321 へ出力する。その後、遅延回路 312 ~ 31R は、反転信号  $/S_{d2} \sim /S_{dR}$  を受ける順序に従って、それぞれ、反転信号  $/S_{d2} \sim /S_{dR}$  を  $R$  だけ遅延してレジスタ 322 ~ 32R へ出力する。

20

## 【0306】

一方、Winner 検出回路 330 は、発振信号  $S_{d1}$  の変化を最も早く検出し、検索終了信号 SE を生成する。そして、フィードバック回路 350 は、Winner 検出回路 330 から受けた検索終了信号 SE に基づいて、 $R$  個の検索終了信号 SE を生成し、その生成した  $R$  個の検索終了信号 SE をレジスタ 321 ~ 32R へ同時に出力する。

## 【0307】

そうすると、レジスタ 321 は、遅延回路 311 から反転信号  $/S_{d1}$  を受け、その受けた反転信号  $/S_{d1}$  を出力した後に、フィードバック回路 350 から検索終了信号 SE を受け、レジスタ 322 ~ 32R は、それぞれ、遅延回路 312 ~ 31R から反転信号  $/S_{d2} \sim /S_{dR}$  を受ける前にフィードバック回路 350 から検索終了信号 SE を受ける。その結果、レジスタ 321 ~ 32R は、それぞれ、マッチ信号  $M_1 (= 1)$  ,  $M_2 (= 0) = M_3 (= 0) = \dots = M_R (= 0)$  を出力する。

30

## 【0308】

これによって、検索データに一致する参照データ 1 (= 参照データ保存回路  $SC_{11} \sim SC_{18}$  に保存された参照データ) が検索される。

## 【0309】

上述したように、連想メモリ 100 においては、検索データと参照データとの一致の度合いを示す距離の差を時間の差に変換して検索データに一致する参照データを検索する。

## 【0310】

時間の差は、無限に設定可能であるので、連想メモリ 100 を構成するトランジスタの特性にバラツキがあっても、Winner 行と Loser 行とを正確に判別できる。従って、連想メモリ 100 の誤検索を抑制できる。

40

## 【0311】

図 25 は、従来のパスエンコーダの回路図である。図 25 を参照して、従来のパスエンコーダ 500 は、2 ビットパスエンコーダ 501 , 502 と、NAND 回路 503 ~ 508 , 510 , 511 , 515 と、インバータ 509 , 512 , 516 ~ 518 と、NOR 回路 513 , 514 とを含む。なお、パスエンコーダ 500 は、4 ビットのパスエンコーダである。

## 【0312】

50

2ビットパスエンコーダ501は、距離信号M1, M2に基づいて信号Dist0<sub>3</sub> ~ Dist2<sub>3</sub>を生成する。2ビットパスエンコーダ502は、距離信号M3, M4に基づいて信号Dist0<sub>3</sub> ~ Dist2<sub>3</sub>を生成する。

【0313】

NAND回路503は、2ビットパスエンコーダ501から出力された信号Dist0<sub>3</sub>と、2ビットパスエンコーダ502から出力された信号Dist0<sub>3</sub>との論理積を演算し、その演算した論理積を反転し、その反転した信号を信号DistQ4<sub>4</sub>として出力するとともに、その反転した信号をインバータ509へ出力する。

【0314】

NAND回路504は、2ビットパスエンコーダ501から出力された信号Dist0<sub>3</sub>と、2ビットパスエンコーダ502から出力された信号Dist1<sub>3</sub>との論理積を演算し、その演算した論理積を反転してNAND回路510へ出力する。

10

【0315】

NAND回路505は、2ビットパスエンコーダ501から出力された信号Dist1<sub>3</sub>と、2ビットパスエンコーダ502から出力された信号Dist0<sub>3</sub>との論理積を演算し、その演算した論理積を反転してNAND回路510へ出力する。

【0316】

NAND回路506は、2ビットパスエンコーダ501から出力された信号Dist2<sub>3</sub>と、2ビットパスエンコーダ502から出力された信号Dist1<sub>3</sub>との論理積を演算し、その演算した論理積を反転してNAND回路511へ出力する。

20

【0317】

NAND回路507は、2ビットパスエンコーダ501から出力された信号Dist1<sub>3</sub>と、2ビットパスエンコーダ502から出力された信号Dist2<sub>3</sub>との論理積を演算し、その演算した論理積を反転してNAND回路511へ出力する。

【0318】

NAND回路508は、2ビットパスエンコーダ501から出力された信号Dist2<sub>3</sub>と、2ビットパスエンコーダ502から出力された信号Dist2<sub>3</sub>との論理積を演算し、その演算した論理積を反転し、その反転した信号を信号Dist0<sub>4</sub>として出力するとともに、その反転した信号をインバータ512へ出力する。

【0319】

インバータ509は、NAND回路503の出力信号を反転し、その反転した信号を信号Dist4<sub>4</sub>として出力するとともに、その反転した信号をNOR回路513へ出力する。

30

【0320】

NAND回路510は、NAND回路504の出力信号とNAND回路505の出力信号との論理積を演算し、その演算した論理積を反転し、その反転した信号を信号Dist3<sub>4</sub>として出力するとともに、その反転した信号をNOR回路513およびインバータ516へ出力する。

【0321】

NAND回路511は、NAND回路506の出力信号とNAND回路507の出力信号との論理積を演算し、その演算した論理積を反転し、その反転した信号を信号Dist1<sub>4</sub>として出力するとともに、その反転した信号をNOR回路511およびインバータ518へ出力する。

40

【0322】

インバータ512は、NAND回路508の出力信号を反転し、その反転した信号を信号Dist0<sub>4</sub>として出力するとともに、その反転した信号をNOR回路514へ出力する。

【0323】

NOR回路513は、インバータ509の出力信号とNAND回路510の出力信号との論理和を演算し、その演算した論理和を反転してNAND回路515へ出力する。

50



## 【0324】

NOR回路514は、NAND回路511の出力信号とインバータ512の出力信号との論理和を演算し、その演算した論理和を反転してNAND回路515へ出力する。

## 【0325】

NAND回路515は、NOR回路513の出力信号とNOR回路514の出力信号との論理積を演算し、その演算した論理積を反転し、その反転した信号を信号DistQ<sub>24</sub>として出力するとともに、その反転した信号をインバータ517へ出力する。

## 【0326】

インバータ516は、NAND回路510の出力信号を反転し、その反転した信号を信号DistQ<sub>34</sub>として出力する。

## 【0327】

インバータ517は、NAND回路515の出力信号を反転し、その反転した信号を信号Dist<sub>24</sub>として出力する。

## 【0328】

インバータ518は、NAND回路511の出力信号を反転し、その反転した信号を信号DistQ<sub>14</sub>として出力する。

## 【0329】

2ビットパスエンコーダ501, 502の各々は、NOR回路5011, 5014と、NAND回路5012と、インバータ5013とを含む。

## 【0330】

NOR回路5011は、距離信号M1と距離信号M2との論理和を演算し、その演算した論理和を反転し、その反転した信号を信号Dist<sub>03</sub>として出力するとともに、その反転した信号をNOR回路5014へ出力する。

## 【0331】

NAND回路5012は、距離信号M1と距離信号M2との論理積を演算し、その演算した論理積を反転してインバータ5013へ出力する。

## 【0332】

インバータ5013は、NAND回路5012の出力信号を反転し、その反転した信号を信号Dist<sub>23</sub>として出力するとともに、その反転した信号をNOR回路5014へ出力する。

## 【0333】

NOR回路5014は、NOR回路5011の出力信号とインバータ5013の出力信号との論理和を演算し、その演算した論理和を反転し、その反転した信号を信号Dist<sub>13</sub>として出力する。

## 【0334】

距離信号M1～M4の各々が“0”または“1”であるときに、パスエンコーダ500が生成する信号Dist<sub>04</sub>～Dist<sub>44</sub>, DistQ<sub>04</sub>～DistQ<sub>44</sub>の取り得る値を表4に示す。

## 【0335】

10

20

30

【表 4】

M1	M2	Dist0 <sub>2</sub>	Dist1 <sub>2</sub>	Dist2 <sub>2</sub>	M3	M4	Dist0 <sub>2</sub>	Dist1 <sub>2</sub>	Dist2 <sub>2</sub>	Dist0 <sub>4</sub>	DistQ0 <sub>4</sub>	Dist1 <sub>4</sub>	DistQ1 <sub>4</sub>	Dist2 <sub>4</sub>	DistQ2 <sub>4</sub>	Dist3 <sub>4</sub>	DistQ3 <sub>4</sub>	Dist4 <sub>4</sub>	DistQ4 <sub>4</sub>	パス	
0	0	1	0	0	0	0	1	0	0	1	0	0	1	0	1	0	1	0	1	距離0のパス	
					0	1	0	1	0	0	1	1	0	0	1	0	1	0	1	距離1のパス	
					1	0	0	1	0	0	1	1	0	0	1	0	1	0	1	距離2のパス	
					1	1	0	0	1	0	1	0	1	0	1	1	0	0	1	距離3のパス	
1	0	0	1	0	0	0	1	0	0	0	1	1	0	0	1	0	1	0	1	距離1のパス	
					0	1	0	1	0	0	1	0	1	1	0	0	1	0	1	距離2のパス	
					1	0	0	1	0	0	1	0	1	1	0	0	1	0	1	距離2のパス	
					1	1	0	0	1	0	1	0	1	0	1	1	0	0	1	距離3のパス	
1	1	0	0	1	0	0	1	0	0	0	1	0	1	1	0	1	0	0	1	距離2のパス	
					1	0	0	1	0	0	1	0	1	0	1	1	0	0	1	距離3のパス	
					1	1	0	0	1	0	1	0	1	0	1	0	1	0	1	距離3のパス	
					1	1	0	0	1	0	1	0	1	0	1	0	1	1	0	1	距離4のパス

10

20

30

40

【0336】

表4に示すように、パスエンコーダ500は、距離信号M1～M4のビット値に応じて、距離0のパス、距離1のパス、距離2のパス、距離3のパスおよび距離4のパスのいずれかを選択するように、信号Dist0<sub>4</sub>～Dist4<sub>4</sub>、DistQ0<sub>4</sub>～DistQ4<sub>4</sub>を生成する。

【0337】

50

なお、パスエンコーダ500は、図22に示す4ビットステージ41-1からトランスファゲート51~54およびN型MOSトランジスタ61~64を削除した4ビットステージへ出力する信号Dist0<sub>4</sub>~Dist4<sub>4</sub>, DistQ0<sub>4</sub>~DistQ4<sub>4</sub>を生成する。

【0338】

従って、信号Dist0<sub>4</sub>~Dist4<sub>4</sub>, DistQ0<sub>4</sub>~DistQ4<sub>4</sub>によって距離0のパス、距離1のパス、距離2のパス、距離3のパスおよび距離4のパスのいずれかが選択されても、遅延器71~74の全てが常時動作しているので、消費電力が大きい。

【0339】

これに比べ、4ビットステージ41-1においては、上述したように、選択されなかった遅延経路の遅延器（遅延器71~74の少なくとも1つ）は、動作を停止するので、消費電力を低減できる。

【0340】

また、パスエンコーダ500は、98個のトランジスタによって構成されるのに対し、4ビットパスエンコーダPE<sub>11</sub>-1, PE<sub>12</sub>-1の各々は、70個のトランジスタによって構成される。

【0341】

従って、4ビットパスエンコーダPE<sub>11</sub>-1, PE<sub>12</sub>-1の占有面積を小さくできる。

【0342】

図26は、従来の4ビットステージの回路図である。図26を参照して、従来の4ビットステージ600は、1ビットステージ610, 620, 630, 640を含む。

【0343】

1ビットステージ610, 620, 630, 640は、直列に接続される。1ビットステージ610, 620, 630, 640の各々は、トランスファゲート601, 604, 605, 607と、N型MOSトランジスタ602と、遅延器603と、インバータ606とからなる。

【0344】

トランスファゲート601, 604, 605, 607の各々は、N型MOSトランジスタとP型MOSトランジスタとが並列に接続された構成からなる。

【0345】

トランスファゲート601、遅延器603およびトランスファゲート605は、ノードN<sub>81</sub>とノードN<sub>82</sub>との間に直列に接続される。遅延器603は、直列に接続された偶数個のインバータからなり、例えば、直列に接続された4個のインバータからなる。

【0346】

N型MOSトランジスタ602は、ノードN<sub>83</sub>と接地ノードGNDとの間に接続される。トランスファゲート604は、ノードN<sub>81</sub>とノードN<sub>82</sub>との間に接続される。インバータ606は、入力端子がノードN<sub>82</sub>に接続される。

【0347】

トランスファゲート607は、ノードN<sub>84</sub>と接地ノードGNDとの間に接続される。トランスファゲート607のP型MOSトランジスタは、ゲート端子が電源ノードVDDに接続され、トランスファゲート607のN型MOSトランジスタは、ゲート端子が接地ノードGNDに接続される。従って、トランスファゲート607は、常時閉じている。

【0348】

1ビットステージ610, 620, 630, 640は、それぞれ、距離信号M1~M4のビット値に応じて決定される遅延経路によって信号を遅延させる。1ビットステージ610は、距離信号M1が“0”であるとき、ノードN<sub>81</sub> トランスファゲート604 インバータ606からなる遅延経路によって信号を遅延させる。また、1ビットステージ610は、距離信号M1が“1”であるとき、ノードN<sub>81</sub> トランスファゲート601

10

20

30

40

50

遅延器 6 0 3 トランスファゲート 6 0 5 インバータ 6 0 6 からなる遅延経路によって信号を遅延させる。

【 0 3 4 9 】

1 ビットステージ 6 2 0 , 6 3 0 , 6 4 0 も、1 ビットステージ 6 1 0 と同様にして、それぞれ、距離信号 M 2 ~ M 4 のビット値に応じて信号を遅延させる。

【 0 3 5 0 】

図 2 7 は、図 2 6 に示す 4 ビットステージ 6 0 0 の動作を説明するための図である。図 2 7 を参照して、M 1 = M 2 = M 3 = M 4 = “ 0 ” であるとき、1 ビットステージ 6 1 0 , 6 2 0 , 6 3 0 , 6 4 0 の各々は、ノード N<sub>8,1</sub> トランスファゲート 6 0 4 インバータ 6 0 6 からなる遅延経路によって信号を遅延させる。

10

【 0 3 5 1 】

その結果、信号は、トランスファゲート 6 0 4 およびインバータ 6 0 6 を 4 回ずつ通過するので、全体で 8 個のゲートを通る（図 2 7 の ( a ) 参照）。

【 0 3 5 2 】

一方、4 ビットステージ 4 1 - 1 は、M 1 = M 2 = M 3 = M 4 = “ 0 ” であるとき、ノード N<sub>0</sub> トランスファゲート 8 0 インバータ 9 1 からなる遅延経路によって信号を遅延させる。

【 0 3 5 3 】

その結果、信号は、トランスファゲート 8 0 およびインバータ 9 1 を 1 回だけ通過するので、全体で 2 個のゲートを通る（図 2 2 参照）。

20

【 0 3 5 4 】

従って、4 ビットステージ 4 1 - 1 を用いることによって信号が通過するゲート数を 4 分の 1 に減少できる。

【 0 3 5 5 】

また、M 1 = M 2 = “ 0 ”、M 3 = M 4 = “ 1 ” であるとき、1 ビットステージ 6 1 0 , 6 2 0 の各々は、ノード N<sub>8,1</sub> トランスファゲート 6 0 4 インバータ 6 0 6 からなる遅延経路によって信号を遅延させ、1 ビットステージ 6 3 0 , 6 4 0 の各々は、ノード N<sub>8,1</sub> トランスファゲート 6 0 1 遅延器 6 0 3 トランスファゲート 6 0 5 インバータ 6 0 6 からなる遅延経路によって信号を遅延させる。

【 0 3 5 6 】

その結果、信号は、トランスファゲート 6 0 4 およびインバータ 6 0 6 を 2 回ずつ通過し、トランスファゲート 6 0 1、遅延器 6 0 3、トランスファゲート 6 0 5 およびインバータ 6 0 6 を 2 回ずつ通過するので、遅延器 6 0 3 が直列に接続された 4 個のインバータからなる場合、全体で 1 8 個のゲートを通る（図 2 7 の ( b ) 参照）。

30

【 0 3 5 7 】

一方、4 ビットステージ 4 1 - 1 は、M 1 = M 2 = “ 0 ”、M 3 = M 4 = “ 1 ” であるとき、ノード N<sub>0</sub> トランスファゲート 5 1 遅延器 7 1 トランスファゲート 5 2 遅延器 7 2 トランスファゲート 8 2 インバータ 9 1 からなる遅延経路によって信号を遅延させる。

【 0 3 5 8 】

その結果、信号は、トランスファゲート 5 1、遅延器 7 1、トランスファゲート 5 2、遅延器 7 2、トランスファゲート 8 2 およびインバータ 9 1 を 1 回だけ通過するので、遅延器 7 1 , 7 2 の各々が直列に接続された 4 個のインバータからなる場合、全体で 1 2 個のゲートを通る（図 2 2 参照）。

40

【 0 3 5 9 】

従って、4 ビットステージ 4 1 - 1 を用いることによって信号が通過するゲート数を 3 分の 2 に減少できる。

【 0 3 6 0 】

同様にして計算すると、距離信号 M 1 ~ M 4 のうちの 1 個が “ 1 ” であるとき、4 ビットステージ 6 0 0 においては、信号は、1 3 個のゲートを通り、4 ビットステージ 4 1

50

- 1においては、信号は、7個のゲートを通過する。

【0361】

また、距離信号M1～M4のうちの3個が“1”であるとき、4ビットステージ600においては、信号は、23個のゲートを通過し、4ビットステージ41-1においては、信号は、17個のゲートを通過する。

【0362】

更に、距離信号M1～M4の全てが“1”であるとき、4ビットステージ600においては、信号は、28個のゲートを通過し、4ビットステージ41-1においては、信号は、20個のゲートを通過する。

【0363】

従って、4ビットの距離信号M1M2M3M4がいずれのビットパターンを取っても、信号が通過するゲート数は、4ビットステージ41-1の方が4ビットステージ600よりも少ない。

【0364】

信号がトランスファゲートおよびインバータを通過する際、遅延が発生するので、信号が通過するゲート数を減少することによって、信号が距離/時間変換回路DT<sub>1</sub>～DT<sub>R</sub>を通過する時間を短縮でき、連想メモリ100における検索を高速化できる。

【0365】

そして、この検索の高速化は、Nビットステージ41(図3参照)を用いた場合も実現される。

【0366】

このように、この発明の実施の形態においては、N個の遅延器71～7Nを階段状に配置した構成からなるNビットステージ41(図3参照)と、距離信号M1～MNのビットパターンに応じてNビットステージ41の各遅延経路を選択するための選択信号を生成するパスエンコーダPE<sub>11</sub>(図5参照)とを採用することによって、検索の高速化を実現できる。

【0367】

上記においては、W=8であり、N=4である場合について説明した。この場合、上述したように、 $k = W / N = 8 / 4 = 2$ である。

【0368】

一方、WがNで割り切れない場合、例えば、W=9であり、N=4である場合、 $k = W / N = 9 / 4 = 2 + 1 = 3$ である。その結果、距離/時間変換回路DT<sub>1</sub>～DT<sub>R</sub>の各々において、Nビットステージ41～4kの個数は、3個になり、パスエンコーダPE<sub>11</sub>～PE<sub>R</sub>の各々において、パスエンコーダPE<sub>11</sub>～PE<sub>1k</sub>の個数も3個になる。そして、3個目のパスエンコーダPE<sub>13</sub>には、本来、1ビットの距離信号しか入力されないが、この1ビットの距離信号を4ビットの形式M1M2M3M4で表現することによって、パスエンコーダPE<sub>13</sub>は、上述した方法によって選択信号SL13を生成でき、Nビットステージ43も、選択信号SL13によって選択された遅延経路を用いて信号を遅延できる。

【0369】

従って、kは、上述したように、 $k = W / N$ または $k = (W / N) + 1$ を満たす整数からなる。

【0370】

検索データおよび参照データのビット数が8ビット以外であり、図2に示すNビットステージ41～4kの各々が4ビットステージ以外である場合についても、図1に示す連想メモリ100は、上述した動作によって検索データに一致する参照データを検索する。

【0371】

距離/時間変換回路DT<sub>1</sub>～DT<sub>R</sub>の各々は、k個のNビットステージ41～4kをリング状に接続した構成からなり、k個のNビットステージ41～4kの各々は、入力信号を奇数回反転して出力する遅延回路からなる。その結果、距離/時間変換回路DT<sub>1</sub>～D

10

20

30

40

50

$T_R$  の各々は、発振信号を出力する発振回路からなる。従って、距離/時間変換回路  $DT_1 \sim DT_R$  は、 $R$  個の距離信号に対応して設けられ、各々が  $k$  個の遅延回路をリング状に接続した発振回路を含む「 $R$  個の変換回路」を構成する。

【0372】

また、パスエンコーダ  $PE_1 \sim PE_R$  の各々は、 $k$  個のパスエンコーダ  $PE_{11} \sim PE_{1k}$  からなり、 $W$  ビットの距離信号に基づいて、 $k$  個の  $N$  ビットステージ  $4_1 \sim 4_k$  における  $k$  個の遅延経路を選択するための  $k$  個の選択信号  $SL_{11} \sim SL_{1k}$  を生成し、その生成した  $k$  個の選択信号  $SL_{11} \sim SL_{1k}$  をそれぞれ  $k$  個の  $N$  ビットステージ  $4_1 \sim 4_k$  へ出力する。従って、パスエンコーダ  $PE_1 \sim PE_R$  は、 $R$  個の距離信号および  $R$  個の距離/時間変換回路  $DT_1 \sim DT_R$  に対応して設けられ、各々が  $k$  個のパスエンコーダ  $PE_{11} \sim PE_{1k}$  を含む「 $R$  個の選択回路」を構成する。そして、パスエンコーダ  $PE_1 \sim PE_R$  の各々は、 $W$  ビットの距離信号によって表される距離が小さいほど、 $k$  個の  $N$  ビットステージ  $4_1 \sim 4_k$  における  $k$  個の遅延回路における遅延時間が短くなり、かつ、 $W$  ビットの距離信号によって表される距離が大きいほど、 $k$  個の  $N$  ビットステージ  $4_1 \sim 4_k$  における  $k$  個の  $N$  ビットステージ  $4_1 \sim 4_k$  における遅延時間が長くなるように  $k$  個の  $N$  ビットステージ  $4_1 \sim 4_k$  の各々における  $N+1$  個の遅延経路から 1 つの遅延経路を選択するための  $k$  個の選択信号  $SL_{11} \sim SL_{1k}$  を  $W$  ビットの距離信号に基づいて生成し、その生成した  $k$  個の選択信号  $SL_{11} \sim SL_{1k}$  を対応する距離/時間変換回路 (= 距離/時間変換回路  $DT_1 \sim DT_R$  のいずれか) へ出力する。

10

【0373】

20

更に、 $k$  個のパスエンコーダ  $PE_{11} \sim PE_{1k}$  は、それぞれ、選択信号  $SL_{11} \sim SL_{1k}$  によって  $k$  個の  $N$  ビットステージ  $4_1 \sim 4_k$  における遅延経路を選択するので、「 $k$  個の経路選択回路」を構成する。

【0374】

更に、 $k$  個の  $N$  ビットステージ  $4_1 \sim 4_k$  は、それぞれ、選択信号  $SL_{11} \sim SL_{1k}$  によって選択された遅延経路を用いて信号を遅延させるので、「 $k$  個の遅延回路」を構成する。

【0375】

なお、実施の形態 1 による連想メモリは、連想メモリ 100 から分周回路 20 を削除したものであってもよい。時間領域  $WTA$  回路 30 は、分周回路 20 が無くても、発振信号  $S_1 \sim S_R$  に基づいて、 $Winner$  行を検出できるからである。

30

【0376】

[ 実施の形態 2 ]

図 28 は、実施の形態 2 による連想メモリの構成を示す概略ブロック図である。図 28 を参照して、実施の形態 2 による連想メモリ 100A は、図 1 に示す連想メモリ 100 のメモリアレイ部 10 をメモリアレイ部 10A に代えたものであり、その他は、連想メモリ 100 と同じである。

【0377】

メモリアレイ部 10A は、図 1 に示すメモリアレイ部 10 のメモリ部 1 をメモリ部 1A に代えたものであり、その他は、メモリアレイ部 10 と同じである。

40

【0378】

メモリ部 1A は、参照データ保存回路  $SC'_{11} \sim SC'_{1W}$ ,  $SC'_{21} \sim SC'_{2W}$ ,  $\dots$ ,  $SC'_{R1} \sim SC'_{RW}$  と、ユニット比較回路  $UC'_{11} \sim UC'_{1W}$ ,  $UC'_{21} \sim UC'_{2W}$ ,  $\dots$ ,  $UC'_{R1} \sim UC'_{RW}$  と、パスエンコーダ  $PE'_1 \sim PE'_R$  と、距離/時間変換回路  $DT'_1 \sim DT'_R$  とを含む。

【0379】

ユニット比較回路  $UC'_{11} \sim UC'_{1W}$  は、それぞれ、参照データ保存回路  $SC'_{11} \sim SC'_{1W}$  に対応して設けられる。また、ユニット比較回路  $UC'_{21} \sim UC'_{2W}$  は、それぞれ、参照データ保存回路  $SC'_{21} \sim SC'_{2W}$  に対応して設けられる。以下、同様にして、ユニット比較回路  $UC'_{R1} \sim UC'_{RW}$  は、それぞれ、参照データ保存

50

回路  $SC'_{R1} \sim SC'_{RW}$  に対応して設けられる。

【0380】

パスエンコーダ  $PE'_1$  は、参照データ保存回路  $SC'_{11} \sim SC'_{1W}$  およびユニット比較回路  $UC'_{11} \sim UC'_{1W}$  に対応して配置される。パスエンコーダ  $PE'_2$  は、参照データ保存回路  $SC'_{21} \sim SC'_{2W}$  およびユニット比較回路  $UC'_{21} \sim UC'_{2W}$  に対応して配置される。以下、同様にして、パスエンコーダ  $PE'_R$  は、参照データ保存回路  $SC'_{R1} \sim SC'_{RW}$  およびユニット比較回路  $UC'_{R1} \sim UC'_{RW}$  に対応して配置される。

【0381】

距離/時間変換回路  $DT'_1$  は、パスエンコーダ  $PE'_1$  に対応して設けられる。距離/時間変換回路  $DT'_2$  は、パスエンコーダ  $PE'_2$  に対応して設けられる。以下、同様にして、距離/時間変換回路  $DT'_R$  は、パスエンコーダ  $PE'_R$  に対応して設けられる。

10

【0382】

参照データ保存回路  $SC'_{11} \sim SC'_{1W}$ ,  $SC'_{21} \sim SC'_{2W}$ ,  $\dots$ ,  $SC'_{R1} \sim SC'_{RW}$  は、行デコーダ2、列デコーダ3および読出/書込回路4によって書き込まれた参照データを保存する。この場合、参照データ保存回路  $SC'_{11} \sim SC'_{1W}$  の各々、1個の参照データを保存し、参照データ保存回路  $SC'_{21} \sim SC'_{2W}$  の各々、1個の参照データ2を保存し、以下、同様にして、参照データ保存回路  $SC'_{R1} \sim SC'_{RW}$  の各々、1個の参照データを保存する。参照データ保存回路  $SC'_{11} \sim SC'_{1W}$ ,  $SC'_{21} \sim SC'_{2W}$ ,  $\dots$ ,  $SC'_{R1} \sim SC'_{RW}$  の各々に保存される参照データは、 $K$  ( $K$  は2以上の整数) ビットからなる。なお、実施の形態2においては、検索データ保存回路5は、 $K$  ビットの検索データを保存する。

20

【0383】

ユニット比較回路  $UC'_{11} \sim UC'_{1W}$  は、参照データ保存回路  $SC'_{11} \sim SC'_{1W}$  に保存された  $W$  個の参照データと、検索データ保存回路5に保存された検索データとを比較する。また、ユニット比較回路  $UC'_{21} \sim UC'_{2W}$  は、参照データ保存回路  $SC'_{21} \sim SC'_{2W}$  に保存された  $W$  個の参照データと、検索データ保存回路5に保存された検索データとを比較する。以下、同様にして、ユニット比較回路  $UC'_{R1} \sim UC'_{RW}$  は、参照データ保存回路  $SC'_{R1} \sim SC'_{RW}$  に保存された  $W$  個の参照データと、検索データ保存回路5に保存された検索データとを比較する。そして、ユニット比較回路  $UC'_{11} \sim UC'_{1W}$ 、ユニット比較回路  $UC'_{21} \sim UC'_{2W}$ 、 $\dots$ 、およびユニット比較回路  $UC'_{R1} \sim UC'_{RW}$  における参照データと検索データとの比較は、並列に行なわれる。

30

【0384】

そして、ユニット比較回路  $UC'_{11} \sim UC'_{1W}$  は、 $W$  個の参照データと検索データとの比較結果を  $W$  個の距離信号 ( $W$  個の距離信号の各々は、 $K$  ビットからなる) としてパスエンコード  $PE'_1$  へ出力し、ユニット比較回路  $UC'_{21} \sim UC'_{2W}$  は、 $W$  個の参照データと検索データとの比較結果を  $W$  個の距離信号 ( $W$  個の距離信号の各々は、 $K$  ビットからなる) としてパスエンコード  $PE'_2$  へ出力し、以下、同様にして、ユニット比較回路  $UC'_{R1} \sim UC'_{RW}$  は、 $W$  個の参照データと検索データとの比較結果を  $W$  個の距離信号 ( $W$  個の距離信号の各々は、 $K$  ビットからなる) としてパスエンコード  $PE'_R$  へ出力する。

40

【0385】

なお、ユニット比較回路  $UC'_{11} \sim UC'_{1W}$ 、ユニット比較回路  $UC'_{21} \sim UC'_{2W}$ 、 $\dots$ 、およびユニット比較回路  $UC'_{R1} \sim UC'_{RW}$  における参照データと検索データとの比較は、マンハッタン距離を用いて行なわれる。

【0386】

すなわち、ユニット比較回路  $UC'_{11} \sim UC'_{1W}$ 、ユニット比較回路  $UC'_{21} \sim UC'_{2W}$ 、 $\dots$ 、およびユニット比較回路  $UC'_{R1} \sim UC'_{RW}$  は、次式を用いて

50

検索データと参照データとの比較を行なう。

【0387】

【数2】

$$D_m = \sum_{j=1}^W |A_j - B_j| \cdots (2)$$

【0388】

式(2)において、 $D_m$ は、マンハッタン距離であり、 $A_j$ は、参照データであり、 $B_j$ は、検索データである。そして、各データ $A_j$ 、 $B_j$ は、 $K$ ビットからなる。

10

【0389】

パスエンコーダ $PE'_1$ は、ユニット比較回路 $UC'_{11} \sim UC'_{1W}$ から $K \times W$ ビットの距離信号を受け、その受けた $K \times W$ ビットの距離信号に基づいて後述する方法によって距離/時間変換回路 $DT'_1$ における遅延経路を選択するための選択信号を生成し、その生成した選択信号を距離/時間変換回路 $DT'_1$ へ出力する。パスエンコーダ $PE'_2$ は、ユニット比較回路 $UC'_{21} \sim UC'_{2W}$ から $K \times W$ ビットの距離信号を受け、その受けた $K \times W$ ビットの距離信号に基づいて後述する方法によって距離/時間変換回路 $DT'_2$ における遅延経路を選択するための選択信号を生成し、その生成した選択信号を距離/時間変換回路 $DT'_2$ へ出力する。以下、同様にして、パスエンコーダ $PE'_R$ は、ユニット比較回路 $UC'_{R1} \sim UC'_{RW}$ から $K \times W$ ビットの距離信号を受け、その受けた $K \times W$ ビットの距離信号に基づいて後述する方法によって距離/時間変換回路 $DT'_R$ における遅延経路を選択するための選択信号を生成し、その生成した選択信号を距離/時間変換回路 $DT'_R$ へ出力する。

20

【0390】

距離/時間変換回路 $DT'_1$ は、パスエンコーダ $PE'_1$ から選択信号を受け、その受けた選択信号によって選択された遅延経路の遅延量だけ遅延させた発振信号 $S_1$ を生成し、その生成した発振信号 $S_1$ を分周回路20へ出力する。距離/時間変換回路 $DT'_2$ は、パスエンコーダ $PE'_2$ から選択信号を受け、その受けた選択信号によって選択された遅延経路の遅延量だけ遅延させた発振信号 $S_2$ を生成し、その生成した発振信号 $S_2$ を分周回路20へ出力する。以下、同様にして、距離/時間変換回路 $DT'_R$ は、パスエンコーダ $PE'_R$ から選択信号を受け、その受けた選択信号によって選択された遅延経路の遅延量だけ遅延させた発振信号 $S_R$ を生成し、その生成した発振信号 $S_R$ を分周回路20へ出力する。

30

【0391】

したがって、メモリ部1Aは、複数の参照データの各々と検索データとの比較を並列して行ない、その比較結果を示す複数の発振信号 $S_1 \sim S_R$ を生成して分周回路20へ出力する。

【0392】

図29は、図28に示すパスエンコーダ $PE'_1$ の動作を説明するための図である。図29を参照して、パスエンコーダ $PE'_1$ は、ユニット比較回路 $UC'_{11} \sim UC'_{1W}$ から距離信号 $M1_1 M2_1 \cdots MK_1 M1_2 M2_2 \cdots MK_2 \cdots M1_W M2_W \cdots MK_W$ を受ける。ここで、 $M1_1 M2_1 \cdots MK_1$ は、参照データ $W_1$ と検索データとの距離を示す距離信号であり、 $M1_2 M2_2 \cdots MK_2$ は、参照データ $W_2$ と検索データとの距離を示す距離信号であり、以下、同様にして、 $M1_W M2_W \cdots MK_W$ は、参照データ $W_W$ と検索データとの距離を示す距離信号である。

40

【0393】

パスエンコーダ $PE'_1$ は、距離信号 $M1_1 M2_1 \cdots MK_1 M1_2 M2_2 \cdots MK_2 \cdots M1_W M2_W \cdots MK_W$ を受けると、その受けた距離信号 $M1_1 M2_1 \cdots MK_1 M1_2 M2_2 \cdots MK_2 \cdots M1_W M2_W \cdots MK_W$ に基づいて、距離信号 $M1_1 M1_2 \cdots M1_W, M2_1 M2_2 \cdots M2_W, \cdots, MK_1 MK_2 \cdots$

50



$M K_w$  を生成する。ここで、 $M 1_1 M 1_2 \cdots M 1_w$  は、 $w$  ビットのビット値からなり、 $w$  個の参照データと検索データとの最上位ビット同士の距離を示す距離信号である。また、 $M 2_1 M 2_2 \cdots M 2_w$  は、 $w$  ビットのビット値からなり、 $w$  個の参照データと検索データとの第 2 位ビット同士の距離を示す距離信号である。以下、同様にして、 $M K_1 M K_2 \cdots M K_w$  は、 $w$  ビットのビット値からなり、 $w$  個の参照データと検索データとの最下位ビット同士の距離を示す距離信号である。

【0394】

なお、図 28 に示すパスエンコーダ  $P E'_2 \sim P E'_R$  の各々も、パスエンコーダ  $P E'_1$  と同様にして、各々が  $w$  ビットである  $K$  個の距離信号を生成する。

【0395】

図 30 は、図 28 に示す距離 / 時間変換回路  $D T'_1$  の構成を示すブロック図である。図 30 を参照して、距離 / 時間変換回路  $D T'_1$  は、NAND 回路 710 と、発振回路 711 ~ 71K と、選択器 721 ~ 72K とを含む。

【0396】

NAND 回路 710 は、イネーブル信号  $E N$  と、発振回路 71K の出力信号との論理積を演算し、その演算した論理積を反転して発振回路 711 へ出力する。

【0397】

発振回路 711 は、参照データおよび検索データの最上位ビットに対応して設けられる。そして、発振回路 711 は、参照データと検索データとの最上位ビット同士の距離を示す  $w$  ビットの距離信号  $M 1_1 \cdots M 1_{w-1} M 1_w$  をパスエンコーダ  $P E'_1$  から受け、その受けた  $w$  ビットの距離信号  $M 1_1 \cdots M 1_{w-1} M 1_w$  によって表される距離に応じた遅延時間だけ遅延した発振信号を生成して選択器 721 へ出力する。

【0398】

以下、同様にして、発振回路 71K - 1 は、参照データおよび検索データの第  $K - 1$  位ビットに対応して設けられる。そして、発振回路 71K - 1 は、参照データと検索データとの第  $K - 1$  位ビット同士の距離を示す  $w$  ビットの距離信号  $M K - 1_1 \cdots M K - 1_{w-1} M K - 1_w$  をパスエンコーダ  $P E'_1$  から受け、その受けた  $w$  ビットの距離信号  $M K - 1_1 \cdots M K - 1_{w-1} M K - 1_w$  によって表される距離に応じた遅延時間だけ遅延した発振信号を生成して選択器 72K - 1 へ出力する。発振回路 71K は、参照データおよび検索データの最下位ビットに対応して設けられる。そして、発振回路 71K は、参照データと検索データとの最下位ビット同士の距離を示す  $w$  ビットの距離信号  $M K_1 \cdots M K_{w-1} M K_w$  をパスエンコーダ  $P E'_1$  から受け、その受けた  $w$  ビットの距離信号  $M K_1 \cdots M K_{w-1} M K_w$  によって表される距離に応じた遅延時間だけ遅延した発振信号を生成する。そして、発振回路 71K は、その生成した発振信号を選択器 72K へ出力する。

【0399】

選択器 721 は、発振回路 711 から出力された発振信号を発振回路 711 へ出力するとともに、発振信号の発振回路 711 への出力回数が所望回数に達すると、発振回路 711 から出力された発振信号を発振回路 712 ( 図示せず ) へ出力する。

【0400】

以下、同様にして、選択器 72K - 1 は、発振回路 71K - 1 から出力された発振信号を発振回路 71K - 1 へ出力するとともに、発振信号の発振回路 71K - 1 への出力回数が所望回数に達すると、発振回路 71K - 1 から出力された発振信号を発振回路 71K へ出力する。選択器 72K は、発振回路 71K から出力された発振信号を発振回路 71K へ出力するとともに、発振信号の発振回路 71K への出力回数が所望回数に達すると、発振回路 71K から出力された発振信号を発振信号  $S_1$  として分周回路 20 および NAND 回路 710 へ出力する。

【0401】

発振回路 711 は、1 ビットステージ 231 ~ 23W からなる。1 ビットステージ 231 ~ 23W は、選択器 721 を介してリング状に接続される。そして、1 ビットステージ

10

20

30

40

50

231 ~ 23Wの各々は、図26に示す1ビットステージ610と同じ構成からなる。この場合、1ビットステージ231 ~ 23Wの各々において、遅延器603は、直列に接続された偶数個のインバータからなり、遅延器603による遅延時間は、 $2^{K-1} \tau_s$ である。

#### 【0402】

1ビットステージ231 ~ 23Wは、パスエンコーダPE'1からそれぞれ距離信号M11 ~ M1Wを受け、その受けた距離信号M11 ~ M1Wによって選択された遅延経路(N51 トランスファゲート604 インバータ606、またはN51 トランスファゲート601 遅延器603 トランスファゲート605 インバータ606)を介して信号を遅延させる。この場合、1ビットステージ231 ~ 23Wの各々は、パスエンコーダPE'1から受けた距離信号(M11 ~ M1Wのいずれか)が“0”である場合、N51 トランスファゲート604 インバータ606からなる遅延経路を介して信号を遅延し、パスエンコーダPE'1から受けた距離信号(M11 ~ M1Wのいずれか)が“1”である場合、N51 トランスファゲート601 遅延器603 トランスファゲート605 インバータ606からなる遅延経路を介して信号を遅延させる。

10

#### 【0403】

発振回路71K-1は、1ビットステージ241 ~ 24Wからなる。1ビットステージ241 ~ 24Wは、選択器72K-1を介してリング状に接続される。そして、1ビットステージ241 ~ 24Wの各々は、図26に示す1ビットステージ610と同じ構成からなる。この場合、1ビットステージ241 ~ 24Wの各々において、遅延器603は、直列に接続された偶数個のインバータからなり、遅延器603による遅延時間は、 $2 \tau_s$ である。

20

#### 【0404】

1ビットステージ241 ~ 24Wは、パスエンコーダPE'1からそれぞれ距離信号MK-11 ~ MK-1Wを受け、その受けた距離信号MK-11 ~ MK-1Wによって選択された遅延経路(N51 トランスファゲート604 インバータ606、またはN51 トランスファゲート601 遅延器603 トランスファゲート605 インバータ606)を介して信号を遅延させる。この場合、1ビットステージ241 ~ 24Wの各々は、パスエンコーダPE'1から受けた距離信号(MK-11 ~ MK-1Wのいずれか)が“0”である場合、N51 トランスファゲート604 インバータ606からなる遅延経路を介して信号を遅延し、パスエンコーダPE'1から受けた距離信号(MK-11 ~ MK-1Wのいずれか)が“1”である場合、N51 トランスファゲート601 遅延器603 トランスファゲート605 インバータ606からなる遅延経路を介して信号を遅延させる。

30

#### 【0405】

発振回路71Kは、1ビットステージ251 ~ 25Wからなる。1ビットステージ251 ~ 25Wは、選択器72Kを介してリング状に接続される。そして、1ビットステージ251 ~ 25Wの各々は、図26に示す1ビットステージ610と同じ構成からなる。この場合、1ビットステージ251 ~ 25Wの各々において、遅延器603は、直列に接続された偶数個のインバータからなり、遅延器603による遅延時間は、 $\tau_s$ である。

40

#### 【0406】

1ビットステージ251 ~ 25Wは、パスエンコーダPE'1からそれぞれ距離信号MK1 ~ MKWを受け、その受けた距離信号MK1 ~ MKWによって選択された遅延経路(N51 トランスファゲート604 インバータ606、またはN51 トランスファゲート601 遅延器603 トランスファゲート605 インバータ606)を介して信号を遅延させる。この場合、1ビットステージ251 ~ 25Wの各々は、パスエンコーダPE'1から受けた距離信号(MK1 ~ MKWのいずれか)が“0”である場合、N51 トランスファゲート604 インバータ606からなる遅延経路を介して信号を遅延し、パスエンコーダPE'1から受けた距離信号(MK1 ~ MKWのいずれか)が“1”である場合、N51 トランスファゲート601 遅延器603 トランスファゲート605

50

5 インバータ606からなる遅延経路を介して信号を遅延させる。

【0407】

このように、K個の発振回路711~71Kは、選択器721~72K-1を介して直列に接続される。また、発振回路711~71Kは、それぞれ、参照データと検索データとの最上位ビット同士の間、第2位ビット同士の間、距離信号、・・・、および最下位ビット同士の間、距離信号によって表された距離に応じた遅延時間だけ遅延させた発振信号を発振する。

【0408】

そして、発振回路711は、NAND回路710を介してイネーブル信号ENを受け、K個の発振回路711~71Kは、選択器721~72K-1を介して直列に接続されるので、距離/時間変換回路DT'1においては、参照データと検索データとの最上位ビット同士の間、距離信号が最初に発振信号に変換され、その次に、参照データと検索データとの第2位ビット同士の間、距離信号が発振信号に変換され、最後に、参照データと検索データとの最下位ビット同士の間、距離信号が発振信号に変換される。

10

【0409】

つまり、連想メモリ100Aにおいては、R個の行の各々において、W個の参照データの最上位ビットから最下位ビットへ向かう順に、W個の参照データの各々が検索データに一致するか否かが検索される。

【0410】

このように、最上位ビットから最下位ビットへ向かう順に、W個の参照データの各々が検索データに一致するか否かが検索されるのは、参照データおよび検索データの最上位ビットは、最も重要な意味を有するからである。

20

【0411】

なお、図28に示す距離/時間変換回路DT'2~DT'Rの各々も、図30に示す距離/時間変換回路DT'1と同じ構成からなる。

【0412】

連想メモリ100Aにおける動作について説明する。ユニット比較回路UC'11~UC'1Wは、W個の参照データと検索データとの間の距離信号M11M21・・・MK1M12M22・・・MK2・・・M1WM2W・・・MKWをパスエンコーダPE'1へ出力する。ユニット比較回路UC'21~UC'2W,・・・,UC'R1~UC'RWも、同様に、距離信号M11M21・・・MK1M12M22・・・MK2・・・M1WM2W・・・MKWをそれぞれパスエンコーダPE'1~PE'Rへ出力する。

30

【0413】

パスエンコーダPE'1は、上述した方法によって、距離信号M11M21・・・MK1M12M22・・・MK2・・・M1WM2W・・・MKWに基づいて、距離信号M11M12・・・M1W, M21M22・・・M2W,・・・, MK1MK2・・・MKWを生成する。そして、パスエンコーダPE'1は、距離信号M11M12・・・M1Wを距離/時間変換回路DT'1の発振回路711へ出力し、以下、同様にして、距離信号MK-11MK-12・・・MK-1Wを距離/時間変換回路DT'1の発振回路71K-1へ出力し、距離信号MK1MK2・・・MKWを距離/時間変換回路DT'1の発振回路71Kへ出力する。パスエンコーダPE'2~PE'Rについても同様である。

40

【0414】

そして、距離/時間変換回路DT'1においては、発振回路711は、最初に、距離信号M11M12・・・M1Wによって選択された遅延経路を用いて発振信号を発振し、その次に、発振回路712は、距離信号M21M22・・・M2Wによって選択された遅延経路を用いて発振信号を発振し、以下、同様にして、発振回路71Kは、最後に、距離信号MK1MK2・・・MKWによって選択された遅延経路を用いて発振信号を発振する。そして、距離/時間変換回路DT'1は、発振信号S1を分周回路20へ出力する。

【0415】

距離/時間変換回路DT'2~DT'Rも、同様にして、それぞれ発振信号S2~SR

50

を発振し、その発振した発振信号  $S_2 \sim S_R$  を分周回路 20 へ出力する。

【0416】

そうすると、分周回路 20 は、上述した方法によって、発振信号  $S_1 \sim S_R$  を所望回数だけ分周し、その分周した発振信号  $S_{d1} \sim S_{dR}$  を時間領域 WTA 回路 30 へ出力する。そして、時間領域 WTA 回路 30 は、上述した方法によって、発振信号  $S_{d1} \sim S_{dR}$  のうち、最も早くする変化する発振信号（発振信号  $S_{d1} \sim S_{dR}$  のいずれか）を検出し、マッチ信号  $M_1 \sim M_R$  を出力する。

【0417】

連想メモリ 100A の R 個の行の各々において、W 個の参照データと検索データとの最上位ビット同士が一致しないとき、発振回路 711 の 1 ビットステージ 231 ~ 23W の各々において、 $N_{51}$  トランスファゲート 601 遅延器 603 トランスファゲート 605 インバータ 606 からなる遅延経路が選択され、発振回路 711 が発振信号を出力するタイミングが最も遅くなり、W 個の参照データと検索データとの最上位ビット同士が一致するとき、発振回路 711 の 1 ビットステージ 231 ~ 23W の各々において、 $N_{51}$  トランスファゲート 604 インバータ 606 からなる遅延経路が選択され、発振回路 711 が発振信号を出力するタイミングが最も早くなる。発振回路 712 ~ 71K の各々においても、同様である。

【0418】

そして、R 個の行の各々において、W 個の参照データの最上位ビットから最下位ビットへ向かう順に、W 個の参照データの各々が検索データに一致するか否かが検索されるので、W 個の参照データと検索データとの最上位ビット同士が不一致である行においては、発振信号（発振信号  $S_1 \sim S_R$  のいずれか）が分周回路 20 へ出力されるタイミングが最も遅くなる。

【0419】

その結果、発振信号（発振信号  $S_1 \sim S_R$  のいずれか）の分周回路 20 への出力タイミングが遅い行については、時間領域 WTA 回路 30 が Winner 行を検出した時点においても、距離 / 時間変換回路（距離 / 時間変換回路  $DT'_1 \sim DT'_R$  のいずれか）による距離信号の発振信号への変換が最下位ビットまで進行していない状況も想定される。このような場合、発振信号（発振信号  $S_1 \sim S_R$  のいずれか）の分周回路 20 への出力タイミングが遅い行の距離信号から発振信号への変換を途中で中止することによって、連想メモリ 100A における検索時間を短縮できる。

【0420】

図 31 は、図 28 に示す距離 / 時間変換回路  $DT'_1$  の他の構成を示すブロック図である。

【0421】

距離 / 時間変換回路  $DT'_1$  は、図 31 に示す距離 / 時間変換回路  $DT'_1$  A からなってもよい。図 31 を参照して、距離 / 時間変換回路  $DT'_1$  A は、距離 / 時間変換回路  $DT'_1$  の発振回路 711 ~ 71K をそれぞれ発振回路 731 ~ 73K に代え、選択器 721 ~ 72K を分周器 741 ~ 74K - 1 に代えたものであり、その他は、距離 / 時間変換回路  $DT'_1$  と同じである。

【0422】

発振回路 731 は、参照データおよび検索データの最上位ビットに対応して設けられる。そして、発振回路 731 は、参照データと検索データとの最上位ビット同士の距離を示す W ビットの距離信号  $M1_1 \cdot \cdot \cdot M1_{w-1} M1_w$  をパスエンコーダ  $PE'_1$  から受け、その受けた W ビットの距離信号  $M1_1 \cdot \cdot \cdot M1_{w-1} M1_w$  によって表される距離に応じた遅延時間だけ遅延した発振信号を生成して分周器 741 へ出力する。

【0423】

以下、同様にして、発振回路 73K - 1 は、参照データおよび検索データの第 K - 1 位ビットに対応して設けられる。そして、発振回路 73K - 1 は、参照データと検索データとの第 K - 1 位ビット同士の距離を示す W ビットの距離信号  $MK-1_1 \cdot \cdot \cdot MK-1_w$

10

20

30

40

50

$M K - 1 W$  をパスエンコーダ  $P E ' _ 1$  から受け、その受けた  $W$  ビットの距離信号  $M K - 1 _ 1 \cdots M K - 1 W - 1 M K - 1 W$  によって表される距離に応じた遅延時間だけ遅延した発振信号を生成して分周器  $7 4 K - 1$  へ出力する。

【0424】

発振回路  $7 3 K$  は、参照データおよび検索データの最下位ビットに対応して設けられる。そして、発振回路  $7 3 K$  は、参照データと検索データとの最下位ビット同士の距離を示す  $W$  ビットの距離信号  $M K _ 1 \cdots M K W - 1 M K W$  をパスエンコーダ  $P E ' _ 1$  から受け、その受けた  $W$  ビットの距離信号  $M K _ 1 \cdots M K W - 1 M K W$  によって表される距離に応じた遅延時間だけ遅延した発振信号を生成し、その生成した発振信号を発振信号  $S _ 1$  とし、分周回路  $2 0$  および  $N A N D$  回路  $7 1 0$  へ出力する。

10

【0425】

分周器  $7 4 1$  は、発振回路  $7 3 1$  からの発振信号を分周し、その分周した発振信号を発振回路  $7 3 1$  へ出力する。そして、分周器  $7 4 1$  は、発振回路  $7 3 1$  からの発振信号を  $2^{K-1}$  回分周すると、その分周後の発振信号を発振回路  $7 3 2$  へ出力する。

【0426】

以下、同様にして、分周器  $7 4 K - 1$  は、発振回路  $7 3 K - 1$  からの発振信号を分周し、その分周した発振信号を発振回路  $7 3 K - 1$  へ出力する。そして、分周器  $7 4 1$  は、発振回路  $7 3 K - 1$  からの発振信号を  $2$  回分周すると、その分周後の発振信号を発振回路  $7 3 K$  へ出力する。

【0427】

発振回路  $7 3 1 \sim 7 3 K$  の各々は、 $1$  ビットステージ  $2 6 1 \sim 2 6 W$  からなる。 $1$  ビットステージ  $2 6 1 \sim 2 6 W$  は、分周器  $7 4 1$  を介してリング状に接続される。そして、 $1$  ビットステージ  $2 6 1 \sim 2 6 W$  の各々は、図  $2 6$  に示す  $1$  ビットステージ  $6 1 0$  と同じ構成からなる。この場合、 $1$  ビットステージ  $2 6 1 \sim 2 6 W$  の各々において、遅延器  $6 0 3$  は、直列に接続された偶数個のインバータからなり、遅延器  $6 0 3$  による遅延時間は、 $t_s$  である。

20

【0428】

$1$  ビットステージ  $2 6 1 \sim 2 6 W$  は、パスエンコーダ  $P E ' _ 1$  からそれぞれ距離信号  $M 1 _ 1 \sim M 1 W$  を受け、その受けた距離信号  $M 1 _ 1 \sim M 1 W$  によって選択された遅延経路 ( $N 5 _ 1$  トランスファゲート  $6 0 4$  インバータ  $6 0 6$ 、または  $N 5 _ 1$  トランスファゲート  $6 0 1$  遅延器  $6 0 3$  トランスファゲート  $6 0 5$  インバータ  $6 0 6$ ) を介して信号を遅延させる。この場合、 $1$  ビットステージ  $2 6 1 \sim 2 6 W$  の各々は、パスエンコーダ  $P E ' _ 1$  から受けた距離信号 ( $M 1 _ 1 \sim M 1 W$  のいずれか) が “ $0$ ” である場合、 $N 5 _ 1$  トランスファゲート  $6 0 4$  インバータ  $6 0 6$  からなる遅延経路を介して信号を遅延し、パスエンコーダ  $P E ' _ 1$  から受けた距離信号 ( $M 1 _ 1 \sim M 1 W$  のいずれか) が “ $1$ ” である場合、 $N 5 _ 1$  トランスファゲート  $6 0 1$  遅延器  $6 0 3$  トランスファゲート  $6 0 5$  インバータ  $6 0 6$  からなる遅延経路を介して信号を遅延させる。

30

【0429】

このように、距離/時間変換回路  $D T ' _ 1 A$  は、分周器  $7 4 1 \sim 7 4 K - 1$  における分周回数を分周器  $7 4 1$  から分周器  $7 4 K$  へ向かう方向に順次減少させることによって、発振回路  $7 3 1 \sim 7 3 K$  によって発振された発振信号の遅延時間を参照データと検索データとの最上位ビットから最下位ビットへ向かう方向に順次短くする構成を実現したものである。

40

【0430】

図  $2 8$  に示す距離/時間変換回路  $D T ' _ 2 \sim D T ' _ R$  の各々も、図  $3 1$  に示す距離/時間変換回路  $D T ' _ 1 A$  と同じ構成からなる。

【0431】

距離/時間変換回路  $D T ' _ 1 A$  を備える連想メモリ  $1 0 0 A$  における動作について説明する。ユニット比較回路  $U C ' _ 1 1 \sim U C ' _ 1 W, U C ' _ 2 1 \sim U C ' _ 2 W, \cdots, U C ' _ R 1 \sim U C ' _ R W$  は、上述したように、距離信号  $M 1 _ 1 M 2 _ 1 \cdots M K _ 1 M 1 _ 2 M$

50

2<sub>2</sub>・・・MK<sub>2</sub>・・・M<sub>1W</sub>M<sub>2W</sub>・・・MK<sub>W</sub>をそれぞれパスエンコーダPE' <sub>1</sub>～PE' <sub>R</sub>へ出力する。

【0432】

パスエンコーダPE' <sub>1</sub>は、上述した方法によって、距離信号M<sub>11</sub>M<sub>21</sub>・・・MK<sub>1</sub>M<sub>12</sub>M<sub>22</sub>・・・MK<sub>2</sub>・・・M<sub>1W</sub>M<sub>2W</sub>・・・MK<sub>W</sub>に基づいて、距離信号M<sub>11</sub>M<sub>12</sub>・・・M<sub>1W</sub>、M<sub>21</sub>M<sub>22</sub>・・・M<sub>2W</sub>、・・・、MK<sub>1</sub>MK<sub>2</sub>・・・MK<sub>W</sub>を生成する。そして、パスエンコーダPE' <sub>1</sub>は、距離信号M<sub>11</sub>M<sub>12</sub>・・・M<sub>1W</sub>を距離/時間変換回路DT' <sub>1</sub>Aの発振回路731へ出力し、以下、同様にして、距離信号MK<sub>-11</sub>MK<sub>-12</sub>・・・MK<sub>-1W</sub>を距離/時間変換回路DT' <sub>1</sub>Aの発振回路73K-1へ出力し、距離信号MK<sub>1</sub>MK<sub>2</sub>・・・MK<sub>W</sub>を距離/時間変換回路DT' <sub>1</sub>Aの発振回路73Kへ出力する。パスエンコーダPE' <sub>2</sub>～PE' <sub>R</sub>についても同様である。

10

【0433】

そして、距離/時間変換回路DT' <sub>1</sub>Aにおいては、発振回路731および分周器741は、最初に、距離信号M<sub>11</sub>M<sub>12</sub>・・・M<sub>1W</sub>によって選択された遅延経路を用いて発振信号を発振するとともに、発振信号を2<sup>K-1</sup>回分周し、その次に、発振回路732および分周器742は、距離信号M<sub>21</sub>M<sub>22</sub>・・・M<sub>2W</sub>によって選択された遅延経路を用いて発振信号を発振するとともに、発振信号を2<sup>K-2</sup>回分周し、以下、同様にして、発振回路73Kは、最後に、距離信号MK<sub>1</sub>MK<sub>2</sub>・・・MK<sub>W</sub>によって選択された遅延経路を用いて発振信号を発振する。そして、距離/時間変換回路DT' <sub>1</sub>Aは、発振信号S<sub>1</sub>を分周回路20へ出力する。

20

【0434】

距離/時間変換回路DT' <sub>2</sub>～DT' <sub>R</sub>(=距離/時間変換回路DT' <sub>1</sub>A)も、同様にして、それぞれ発振信号S<sub>2</sub>～S<sub>R</sub>を発振し、その発振した発振信号S<sub>2</sub>～S<sub>R</sub>を分周回路20へ出力する。

【0435】

そうすると、分周回路20は、上述した方法によって、発振信号S<sub>1</sub>～S<sub>R</sub>を所望回数だけ分周し、その分周した発振信号S<sub>d1</sub>～S<sub>dR</sub>を時間領域WTA回路30へ出力する。そして、時間領域WTA回路30は、上述した方法によって、発振信号S<sub>d1</sub>～S<sub>dR</sub>のうち、最も早くする変化する発振信号(発振信号S<sub>d1</sub>～S<sub>dR</sub>のいずれか)を検出し、マッチ信号M<sub>1</sub>～M<sub>R</sub>を出力する。

30

【0436】

その結果、距離/時間変換回路DT' <sub>1</sub>～DT' <sub>R</sub>の各々が距離/時間変換回路DT' <sub>1</sub>Aからなる場合も、上述した理由によって、連想メモリ100Aの検索時間を短縮できる。

【0437】

図32は、図28に示す距離/時間変換回路DT' <sub>1</sub>の更に他の構成を示すブロック図である。

【0438】

距離/時間変換回路DT' <sub>1</sub>は、図32に示す距離/時間変換回路DT' <sub>1</sub>Bからなってもよい。図32を参照して、距離/時間変換回路DT' <sub>1</sub>Bは、発振回路751、752と、マルチプレクサMU<sub>11</sub>～MU<sub>1W</sub>、MU<sub>21</sub>～MU<sub>2W</sub>と、スイッチング制御回路760と、選択器780とを含む。

40

【0439】

発振回路751は、1ビットステージ271～27Wからなる。発振回路752は、1ビットステージ281～28Wからなる。

【0440】

スイッチング制御回路760は、EN選択回路761と、NAND回路762、768と、段数可変分周器763、769と、遅延回路764、770と、スイッチング回路765と、フリップフロップ766、767と、OR回路771とを含む。

【0441】

50

1ビットステージ271~27Wは、直列に接続される。1ビットステージ281~28Wは、直列に接続される。1ビットステージ271~27W, 281~28Wの各々は、図26に示す1ビットステージ610からなる。この場合、遅延器603は、直列に接続された偶数個のインパタからなり、遅延器603による遅延時間は、1ビットステージ271~27W, 281~28Wの全てにおいて $t_s$ である。

#### 【0442】

マルチプレクサMU11~MU1Wは、それぞれ、1ビットステージ271~27Wに対応して配置される。マルチプレクサMU21~MU2Wは、それぞれ、1ビットステージ281~28Wに対応して配置される。

#### 【0443】

マルチプレクサMU11は、Kビットの距離信号M1<sub>1</sub>, M2<sub>1</sub>, ... MK<sub>1</sub>のうち、奇数ビットの距離信号M1<sub>1</sub>, M3<sub>1</sub>, M5<sub>1</sub>, ...をパスエンコーダPE'1から受け、遅延回路764から信号SW\_\_1を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_\_ODDBIT\_\_SETを受ける。そして、マルチプレクサMU11は、信号SHIFT\_\_ODDBIT\_\_SETまたは信号SW\_\_1が立ち上がった後に立ち下がるごとに奇数ビットの距離信号M1<sub>1</sub>, M3<sub>1</sub>, M5<sub>1</sub>, ...を1個ずつ1ビットステージ271へ順次出力する。なお、信号SHIFT\_\_ODDBIT\_\_SETは、1つのパルス波形からなる。

#### 【0444】

マルチプレクサMU12は、Kビットの距離信号M1<sub>2</sub>, M2<sub>2</sub>, ... MK<sub>2</sub>のうち、奇数ビットの距離信号M1<sub>2</sub>, M3<sub>2</sub>, M5<sub>2</sub>, ...をパスエンコーダPE'1から受け、遅延回路764から信号SW\_\_1を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_\_ODDBIT\_\_SETを受ける。そして、マルチプレクサMU12は、信号SHIFT\_\_ODDBIT\_\_SETまたは信号SW\_\_1が立ち上がった後に立ち下がるごとに奇数ビットの距離信号M1<sub>2</sub>, M3<sub>2</sub>, M5<sub>2</sub>, ...を1個ずつ1ビットステージ272へ順次出力する。

#### 【0445】

以下、同様にして、マルチプレクサMU1W-1は、Kビットの距離信号M1<sub>w-1</sub>, M2<sub>w-1</sub>, ... MK<sub>w-1</sub>のうち、奇数ビットの距離信号M1<sub>w-1</sub>, M3<sub>w-1</sub>, M5<sub>w-1</sub>, ...をパスエンコーダPE'1から受け、遅延回路764から信号SW\_\_1を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_\_ODDBIT\_\_SETを受ける。そして、マルチプレクサMU1W-1は、信号SHIFT\_\_ODDBIT\_\_SETまたは信号SW\_\_1が立ち上がった後に立ち下がるごとに奇数ビットの距離信号M1<sub>w-1</sub>, M3<sub>w-1</sub>, M5<sub>w-1</sub>, ...を1個ずつ1ビットステージ27W-1へ順次出力する。マルチプレクサMU1Wは、Kビットの距離信号M1<sub>w</sub>, M2<sub>w</sub>, ... MK<sub>w</sub>のうち、奇数ビットの距離信号M1<sub>w</sub>, M3<sub>w</sub>, M5<sub>w</sub>, ...をパスエンコーダPE'1から受け、遅延回路764から信号SW\_\_1を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_\_ODDBIT\_\_SETを受ける。そして、マルチプレクサMU1Wは、信号SHIFT\_\_ODDBIT\_\_SETまたは信号SW\_\_1が立ち上がった後に立ち下がるごとに奇数ビットの距離信号M1<sub>w</sub>, M3<sub>w</sub>, M5<sub>w</sub>, ...を1個ずつ1ビットステージ27Wへ順次出力する。

#### 【0446】

一方、マルチプレクサMU21は、Kビットの距離信号M1<sub>1</sub>, M2<sub>1</sub>, ... MK<sub>1</sub>のうち、偶数ビットの距離信号M2<sub>1</sub>, M4<sub>1</sub>, M6<sub>1</sub>, ...をパスエンコーダPE'1から受け、遅延回路770から信号SW\_\_2を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_\_evenBIT\_\_SETを受ける。そして、マルチプレクサMU21は、信号SHIFT\_\_evenBIT\_\_SETまたは信号SW\_\_2が立ち上がった後に立ち下がるごとに偶数ビットの距離信号M2<sub>1</sub>, M4<sub>1</sub>, M6<sub>1</sub>, ...を1個ずつ1ビットステージ281へ順次出力する。なお、信号SHIFT\_\_evenBIT\_\_SETは、1つのパルス波形からなる。

10

20

30

40

50

## 【0447】

マルチプレクサMU22は、Kビットの距離信号M1<sub>2</sub>, M2<sub>2</sub>, …, MK<sub>2</sub>のうち、偶数ビットの距離信号M2<sub>2</sub>, M4<sub>2</sub>, M6<sub>2</sub>, …をパスエンコーダPE'1から受け、遅延回路770から信号SW\_2を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_evenBIT\_SETを受ける。そして、マルチプレクサMU22は、信号SHIFT\_evenBIT\_SETまたは信号SW\_2が立ち上がった後に立ち下がるごとに偶数ビットの距離信号M2<sub>2</sub>, M4<sub>2</sub>, M6<sub>2</sub>, …を1個ずつ1ビットステージ282へ順次出力する。

## 【0448】

以下、同様にして、マルチプレクサMU2W-1は、Kビットの距離信号M1<sub>w-1</sub>, M2<sub>w-1</sub>, …, MK<sub>w-1</sub>のうち、偶数ビットの距離信号M2<sub>w-1</sub>, M4<sub>w-1</sub>, M6<sub>w-1</sub>, …をパスエンコーダPE'1から受け、遅延回路770から信号SW\_2を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_evenBIT\_SETを受ける。そして、マルチプレクサMU2W-1は、信号SHIFT\_evenBIT\_SETまたは信号SW\_2が立ち上がった後に立ち下がるごとに偶数ビットの距離信号M2<sub>w-1</sub>, M4<sub>w-1</sub>, M6<sub>w-1</sub>, …を1個ずつ1ビットステージ28W-1へ順次出力する。マルチプレクサMU2Wは、Kビットの距離信号M1<sub>w</sub>, M2<sub>w</sub>, …, MK<sub>w</sub>のうち、偶数ビットの距離信号M2<sub>w</sub>, M4<sub>w</sub>, M6<sub>w</sub>, …をパスエンコーダPE'1から受け、遅延回路770から信号SW\_2を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_evenBIT\_SETを受ける。そして、マルチプレクサMU2Wは、信号SHIFT\_evenBIT\_SETまたは信号SW\_2が立ち上がった後に立ち下がるごとに偶数ビットの距離信号M2<sub>w</sub>, M4<sub>w</sub>, M6<sub>w</sub>, …を1個ずつ1ビットステージ28Wへ順次出力する。

## 【0449】

1ビットステージ271~27Wは、それぞれ、マルチプレクサMU11~MU1Wから受けた距離信号によって選択された遅延経路を用いて信号を遅延する。そして、1ビットステージ271~27W-1は、その遅延した信号をそれぞれ1ビットステージ272~27Wへ出力し、1ビットステージ27Wは、その遅延した信号を段数可変分周器763へ出力する。

## 【0450】

1ビットステージ281~28Wは、それぞれ、マルチプレクサMU21~MU2Wから受けた距離信号によって選択された遅延経路を用いて信号を遅延する。そして、1ビットステージ281~28W-1は、その遅延した信号をそれぞれ1ビットステージ282~28Wへ出力し、1ビットステージ28Wは、その遅延した信号を段数可変分周器769へ出力する。

## 【0451】

EN選択回路761は、連想メモリ100Aの制御回路からイネーブル信号ENを端子EN1に受け、フリップフロップ767から信号EN\_1(発振信号)を端子EN2に受け、遅延器764から信号SW\_1を受ける。そして、EN選択回路761は、初期状態においては、端子EN1へ入力されたイネーブル信号ENと、端子EN2へ入力された信号EN\_1(発振信号)との論理和を演算し、その演算した論理和をNAND回路762へ出力する。また、EN選択回路761は、信号SW\_1が立ち上がった後に立ち下ると、端子EN2へ入力された信号EN\_1(発振信号)をNAND回路762へ出力する。

## 【0452】

NAND回路762は、EN選択回路761の出力信号と、段数可変分周器763の出力信号との論理積を演算し、その演算した論理積を反転して1ビットステージ271へ出力する。

## 【0453】

段数可変分周器763は、1ビットステージ27Wから発振信号を受け、スイッチング



回路 765 から選択信号 F\_\_SEL1 を受け、OR 回路 771 から検索開始信号 SB を受ける。そして、段数可変分周器 763 は、その受けた発振信号を NAND 回路 762 へ出力する。また、段数可変分周器 763 は、検索開始信号 SB を受けると、検索開始信号 SB を受けるまでの分周回数をリセットし、選択信号 F\_\_SEL1 によって選択された分周回数だけ発振信号を分周し、その分周した発振信号を信号 Freq\_\_out\_\_1 として遅延回路 764 およびフリップフロップ 761 へ出力する。また、段数可変分周器 763 は、発振信号の分周が終了すると、分周後の発振信号を信号 out\_\_1 として選択器 780 へ出力する。

【0454】

遅延回路 764 は、信号 Freq\_\_out\_\_1 を だけ遅延し、その遅延した信号 Freq\_\_out\_\_1 を信号 SW\_\_1 として出力する。

10

【0455】

スイッチング回路 765 は、連想メモリ 100A の制御回路からリセット信号 RST を受けると、リセットする。また、スイッチング回路 765 は、リセットされた後に、連想メモリ 100A の制御回路から、選択信号 FSEL\_\_SET と、“1” からなるデータ data とを受ける。そして、スイッチング回路 765 は、後述する方法によって、選択信号 F\_\_SEL0, F\_\_SEL1, F\_\_SEL2 を生成する。その後、スイッチング回路 765 は、その生成した選択信号 F\_\_SEL0 を選択器 780 へ出力し、その生成した選択信号 F\_\_SEL1 を段数可変分周器 763 へ出力し、その生成した選択信号 F\_\_SEL2 を段数可変分周器 769 へ出力する。なお、選択信号 F\_\_SEL0 は、選択信号 F\_\_SEL01, F\_\_SEL02 からなり、選択信号 F\_\_SEL01, F\_\_SEL02 は、同時に “1” になることはない。また、選択信号 FSEL\_\_SET は、1つのパルス波形からなる。

20

【0456】

フリップフロップ 766 は、段数可変分周器 763 から信号 Freq\_\_out\_\_1 を端子 S に受け、遅延回路 770 から信号 SW\_\_2 を端子 R に受け、連想メモリ 100A の制御回路からリセット信号 RST を端子 R に受ける。そして、フリップフロップ 766 は、初期段階においては、リセット信号 RST によってリセットされる。そして、フリップフロップ 766 は、信号 SW\_\_2 のパルス信号を受けてリセットされ、その後、信号 Freq\_\_out\_\_1 のパルス信号を端子 S に受け、その受けたパルス信号をラッチし、信号 EN\_\_2 として NAND 回路 768 へ出力する。

30

【0457】

フリップフロップ 767 は、段数可変分周器 769 から信号 Freq\_\_out\_\_2 を端子 S に受け、遅延回路 764 から信号 SW\_\_1 を端子 R に受け、連想メモリ 100A の制御回路からリセット信号 RST を端子 R に受ける。そして、フリップフロップ 767 は、初期段階においては、リセット信号 RST によってリセットされる。そして、フリップフロップ 767 は、信号 SW\_\_1 のパルス信号を受けてリセットされ、その後、信号 Freq\_\_out\_\_2 のパルス信号を端子 S に受け、その受けたパルス信号をラッチし、信号 EN\_\_1 として EN 選択回路 761 へ出力する。

40

【0458】

NAND 回路 768 は、信号 EN\_\_2 と、段数可変分周器 769 からの発振信号との論理積を演算し、その演算した論理積を反転して 1 ビットステージ 281 へ出力する。

【0459】

段数可変分周器 769 は、1 ビットステージ 28W から発振信号を受け、スイッチング回路 765 から選択信号 F\_\_SEL2 を受け、OR 回路 771 から検索開始信号 SB を受ける。そして、段数可変分周器 769 は、検索開始信号 SB を受けると、分周器の分周回数をリセットし、発振信号を NAND 回路 768 へ出力するとともに、選択信号 F\_\_SEL2 によって選択された分周回数だけ発振信号を分周し、その分周した発振信号を信号 Freq\_\_out\_\_2 として遅延回路 770 へ出力する。また、段数可変分周器 769 は、発振信号の分周が終了すると、分周後の発振信号を信号 out\_\_2 として選択器 780 へ

50

出力する。

【0460】

遅延回路770は、段数可変分周器769から信号Freq\_\_out\_\_2を受け、その受けた信号Freq\_\_out\_\_2をだけ遅延し、その遅延した信号Freq\_\_out\_\_2を信号SW\_\_2として出力する。

【0461】

選択器780は、選択信号F\_\_SEL0(=F\_\_SEL01,F\_\_SEL02)を受け、信号out\_\_1を段数可変分周器763から受け、信号out\_\_2を段数可変分周器769から受ける。

【0462】

そして、選択器780は、選択信号F\_\_SEL01が“1”であるとき、信号out\_\_1を発振信号S<sub>1</sub>として分周回路20へ出力する。また、選択器780は、選択信号F\_\_SEL02が“1”であるとき、信号out\_\_2を発振信号S<sub>1</sub>として分周回路20へ出力する。

10

【0463】

図33は、図32に示すマルチプレクサMU11の回路図である。図33を参照して、マルチプレクサMU11は、OR回路290と、シフトレジスタ291~294と、ゲート295~298とを含む。

【0464】

OR回路290は、遅延回路764から信号SW\_\_1を受け、連想メモリ100Aの制御回路から信号SHIFT\_\_ODDBIT\_\_SETを受ける。そして、OR回路290は、信号SW\_\_1と信号SHIFT\_\_ODDBIT\_\_SETとの論理和を演算し、その演算した論理和をシフトレジスタ291~294の端子CLKへ出力する。

20

【0465】

シフトレジスタ291~294は、直列に接続される。シフトレジスタ291~294は、OR回路290から信号SW\_\_1と信号SHIFT\_\_ODDBIT\_\_SETとの論理和を端子CLKに受け、リセット信号RSTを端子Rに受ける。

【0466】

シフトレジスタ291~294は、それぞれ、信号EN11~EN14をゲート295~298へ出力する。

30

【0467】

初期段階においては、信号SW\_\_1は、“0”からなり、信号SHIFT\_\_ODDBIT\_\_SETは、上述したように1つのパルス波形からなる。従って、シフトレジスタ291は、“1”からなるデータdataを端子Dに受け、信号SHIFT\_\_ODDBIT\_\_SETが立ち上がった後に立ち下がると、“1”を端子Qからシフトレジスタ292およびゲート295へ出力する。その後、シフトレジスタ291は、信号SW\_\_1が立ち上がった後に立ち下がると、“1”を端子Qからシフトレジスタ292およびゲート295へ出力する。

【0468】

シフトレジスタ292は、初期段階においては、“0”からなるデータをシフトレジスタ291から端子Dに受け、信号SHIFT\_\_ODDBIT\_\_SETが立ち上がった後に立ち下がると、“0”からなるデータをシフトレジスタ293およびゲート296へ出力する。その後、シフトレジスタ292は、信号SW\_\_1が立ち上がった後に立ち下がると、シフトレジスタ291から端子Dに受けたデータを端子Qからシフトレジスタ293およびゲート296へ出力する。

40

【0469】

シフトレジスタ293は、初期段階においては、“0”からなるデータをシフトレジスタ292から端子Dに受け、信号SHIFT\_\_ODDBIT\_\_SETが立ち上がった後に立ち下がると、“0”からなるデータをシフトレジスタ294およびゲート297へ出力する。その後、シフトレジスタ293は、信号SW\_\_1が立ち上がった後に立ち下がると

50

、シフトレジスタ292から端子Dに受けたデータを端子Qからシフトレジスタ294およびゲート297へ出力する。

【0470】

シフトレジスタ294は、初期段階においては、“0”からなるデータをシフトレジスタ293から端子Dに受け、信号SHIFT\_ODDBIT\_SETが立ち上がった後に立ち下がると、“0”からなるデータをゲート298へ出力する。その後、シフトレジスタ294は、信号SW\_1が立ち上がった後に立ち下がると、シフトレジスタ293から端子Dに受けたデータを端子Qからゲート298へ出力する。

【0471】

ゲート295～298は、それぞれ、Kビットの距離信号 $M_{1,1}$ 、 $M_{2,1}$ ・・・ $M_{K,1}$ のうち、1ビット目、3ビット目、5ビット目および7ビット目のビット値を受ける。

10

【0472】

そして、ゲート295～298は、それぞれ、“1”からなる信号EN11～EN14を受けると、1ビット目、3ビット目、5ビット目および7ビット目のビット値を1ビットステージ271へ出力する。

【0473】

マルチプレクサMU11においては、信号EN11が最初に“1”になり、信号SW\_1が立ち上がった後に立ち下がるごとに、信号EN12～EN14が順次“1”になるので、ゲート295～298は、信号SW\_1が立ち上がった後に立ち下がるごとに、それぞれ、1ビット目、3ビット目、5ビット目および7ビット目のビット値を1ビットステージ271へ順次出力する。

20

【0474】

なお、図32に示すマルチプレクサMU12～MU1W、MU21～MU2Wの各々も、図33に示すマルチプレクサMU11と同じ回路図からなる。そして、マルチプレクサMU21～MU2Wにおいては、OR回路290は、信号SW\_2と信号SHIFT\_evenBIT\_SETとの論理和を演算し、その演算した論理和をシフトレジスタ291～294の端子CLKへ出力する。また、マルチプレクサMU21～MU2Wにおいては、ゲート295～298は、Kビットの距離信号 $M_{1,1}$ 、 $M_{2,1}$ ・・・ $M_{K,1}$ のうち、それぞれ、2ビット目、4ビット目、6ビット目および8ビット目のビット値を受ける。そして、マルチプレクサMU21～MU2Wのゲート295～298は、それぞれ、信号SW\_2が立ち上がった後に立ち下がるごとに、それぞれ、2ビット目、4ビット目、6ビット目および8ビット目のビット値をそれぞれ1ビットステージ281～28Wへ順次出力する。

30

【0475】

図34は、図32に示すEN選択回路761の回路図である。図34を参照して、EN選択回路761は、選択器7611と、フリップフロップ7612と、OR回路7613とを含む。

【0476】

選択器7611は、端子EN1からイネーブル信号ENを受け、フリップフロップ7612から信号SW\_1を受ける。そして、選択器7611は、信号SW\_1が立ち上がった後、立ち下がるまでは、イネーブル信号ENをOR回路7613へ出力する。また、選択器7611は、信号SW\_1が立ち上がった後、立ち下がると、“0”からなる信号をOR回路7613へ出力する。

40

【0477】

フリップフロップ7612は、信号SW\_1を端子Sに受け、リセット信号RSTを端子Rに受ける。そして、フリップフロップ7612は、リセット信号RSTを受けると、リセットし、その後、信号SW\_1を端子Sに受けると、信号SW\_1を選択器7611へ出力する。

【0478】

OR回路7613は、選択器7611の出力信号と、端子EN2から入力された信号と

50

の論理和を演算し、その演算した論理和をNAND回路762へ出力する。

【0479】

EN選択回路761においては、選択器7611は、信号SW\_1が立ち上がった後、立ち下がるまでは、イネーブル信号ENをOR回路7613へ出力する。従って、OR回路7613は、信号SW\_1が立ち上がった後、立ち下がるまでは、イネーブル信号EN、または端子EN2から入力された信号をNAND回路762へ出力する。

【0480】

そして、選択器7611は、信号SW\_1が立ち上がった後に立ち下がると、“0”からなる信号をOR回路7613へ出力し、OR回路7613は、“0”からなる信号と、端子EN2から入力された信号との論理和を演算して端子EN2から入力された信号をNAND回路762へ出力する。

10

【0481】

図35は、図32に示す一方の段数可変分周器763の回路図である。なお、図35に示す段数可変分周器763の回路図は、参照データのビット数Kが8ビットである場合の回路図である。

【0482】

図35を参照して、段数可変分周器763は、NOR回路7631と、インバータ7632, 7642, 7650と、分周器7633~7639と、P型MOSトランジスタ7640, 7651と、ゲート7641, 7643, 7645, 7647, 7649を含む。

20

【0483】

段数可変分周器763は、ノードN<sub>9,1</sub>から信号CH\_out(発振信号)を受け、その受けた信号CH\_outをノードN<sub>9,2</sub>からNAND回路762へ出力する。

【0484】

NOR回路7631は、ノードN<sub>9,1</sub>から受けた信号CH\_outと、信号F\_actとの論理和を演算し、その演算した論理和を反転して分周器7633およびゲート7641へ出力する。

【0485】

インバータ7632は、OR回路771から検索開始信号SBを受け、その受けた検索開始信号SBを反転して分周器7633~7639へ出力する。

30

【0486】

分周器7633~7639は、直列に接続され、OR回路771から検索開始信号SBを受け、インバータ7632から反転信号/SBを受ける。分周器7633は、NOR回路7631の出力端子とゲート7643との間に接続される。分周器7634, 7635は、分周器7633の出力端子とゲート7645との間に直列に接続される。分周器7636, 7637は、分周器7635の出力端子とゲート7647との間に直列に接続される。分周器7638, 7639は、分周器7637の出力端子とゲート7649との間に直列に接続される。

【0487】

そして、分周器7633~7639の各々は、図11に示す分周器211と同じ回路図からなる。この場合、図11に示すN型MOSトランジスタ2119は、信号Fre\_RSTに代えて、検索開始信号SBをゲート端子に受け、P型MOSトランジスタ2127は、信号Fre\_RSTQに代えて、検索開始信号SBの反転信号/SBをゲート端子に受ける。

40

【0488】

P型MOSトランジスタ7640は、電源ノードVDDと、インバータ7642の入力端子との間に接続される。そして、P型MOSトランジスタ7640は、スイッチング回路765から受けた選択信号F\_SEL10をゲート端子に受ける。

【0489】

ゲート7641およびインバータ7642は、NOR回路7631の出力端子と、ノ

50

ドN<sub>9,3</sub>との間に直列に接続される。ゲート7641は、スイッチング回路765から受けた選択信号F\_\_SEL10によって開閉される。より具体的には、ゲート7641は、“1”からなる選択信号F\_\_SEL10によって開き、“0”からなる選択信号F\_\_SEL10によって閉じる。インバータ7642は、ゲート7641から受けた信号を反転してノードN<sub>9,3</sub>から分周回路20へ出力する。

【0490】

ゲート7643およびインバータ7650は、分周器7633の出力端子と、ノードN<sub>9,4</sub>との間に直列に接続される。ゲート7643は、スイッチング回路765から受けた選択信号F\_\_SEL11によって開閉される。より具体的には、ゲート7643は、“1”からなる選択信号F\_\_SEL11によって開き、“0”からなる選択信号F\_\_SEL11によって閉じる。インバータ7650は、ゲート7643, 7645, 7647, 7649から受けた信号を反転してノードN<sub>9,4</sub>から遅延回路764およびフリップフロップ766へ出力する。

10

【0491】

ゲート7645, 7647, 7649は、それぞれ、分周器7635, 7637, 7639の出力端子と、インバータ7650の入力端子との間に接続され、スイッチング回路765から受けた選択信号F\_\_SEL13, F\_\_SEL15, F\_\_SEL17によって開閉される。より具体的には、ゲート7645, 7647, 7649は、それぞれ、“1”からなる選択信号F\_\_SEL13, F\_\_SEL15, F\_\_SEL17によって開き、“0”からなる選択信号F\_\_SEL13, F\_\_SEL15, F\_\_SEL17によって閉じる。

20

【0492】

P型MOSトランジスタ7651は、電源ノードVDDと、インバータ7650の入力端子との間に接続される。そして、P型MOSトランジスタ7651は、選択信号F\_\_SEL11~F\_\_SEL17の論理和をゲート端子に受ける。

【0493】

段数可変分周器763が駆動されるとき、“0”からなる信号F\_\_a c tがNOR回路7631へ入力され、“0”からなる検索開始信号SBおよび“1”からなる反転信号/SBが分周器7633~7639へ入力される。

【0494】

そして、段数可変分周器763は、“1”からなる選択信号F\_\_SEL11をゲート7643に受けると、NOR回路7631から受けた信号CH\_\_o u t(発振信号)を分周器7633によって2回分周してノードN<sub>9,4</sub>から遅延回路764およびフリップフロップ766へ出力する。

30

【0495】

また、段数可変分周器763は、“1”からなる選択信号F\_\_SEL13をゲート7645に受けると、分周器7633から受けた発振信号を分周器7634, 7635によって更に2<sup>2</sup>回分周してノードN<sub>9,4</sub>から遅延回路764およびフリップフロップ766へ出力する。

【0496】

以下、同様にして、段数可変分周器763は、“1”からなる選択信号F\_\_SEL15, F\_\_SEL17をそれぞれゲート7647, 7649に受けると、それぞれ分周器7635および分周器7637から受けた発振信号を分周器7636, 7637および分周器7638, 7649によって更に2<sup>2</sup>回分周してノードN<sub>9,4</sub>から遅延回路764およびフリップフロップ766へ出力する。

40

【0497】

その結果、段数可変分周器763は、“1”からなる選択信号F\_\_SEL11, F\_\_SEL13, F\_\_SEL15, F\_\_SEL17をそれぞれゲート7643, 7645, 7647, 7649に受けることによって、発振信号をそれぞれ2, 2<sup>3</sup>, 2<sup>5</sup>, 2<sup>7</sup>回分周して遅延回路764およびフリップフロップ766へ出力する。

【0498】

50

そして、段数可変分周器 763 は、“1” からなる選択信号  $F\_SEL10$  をゲート 7641 に受けると、ノード  $N_{93}$  から発振信号を分周回路 20 へ出力する。

【0499】

このように、段数可変分周器 763 は、選択信号  $F\_SEL11$  ,  $F\_SEL13$  ,  $F\_SEL15$  ,  $F\_SEL17$  によって分周回数を切り換えて発振信号を分周する。

【0500】

図 36 は、図 32 に示す他方の段数可変分周器 769 の回路図である。図 36 を参照して、段数可変分周器 769 は、図 35 に示す段数可変分周器 763 の分周器 7633 およびゲート 7643 を削除し、ゲート 7645 , 7647 , 7649 をそれぞれゲート 7644 , 7646 , 7648 に代えたものであり、その他は、段数可変分周器 763 と同じである。なお、段数可変分周器 769 においては、インバータ 7650 は、ゲート 7644 , 7646 , 7648 の出力端子および P 型 MOS トランジスタ 7651 に接続される。

10

【0501】

ゲート 7644 , 7646 , 7648 は、スイッチング回路 765 からそれぞれ選択信号  $F\_SEL12$  ,  $F\_SEL14$  ,  $F\_SEL16$  を受け、その受けた選択信号  $F\_SEL12$  ,  $F\_SEL14$  ,  $F\_SEL16$  によって開閉される。より具体的には、ゲート 7644 , 7646 , 7648 は、それぞれ、“1” からなる選択信号  $F\_SEL12$  ,  $F\_SEL14$  ,  $F\_SEL16$  によって開き、“0” からなる選択信号  $F\_SEL12$  ,  $F\_SEL14$  ,  $F\_SEL16$  によって閉じる。

20

【0502】

段数可変分周器 769 が駆動される時、“0” からなる信号  $F\_act$  が NOR 回路 7631 へ入力され、“0” からなる検索開始信号  $SB$  および “1” からなる反転信号 /  $SB$  が分周器 7634 ~ 7639 へ入力される。

【0503】

そして、段数可変分周器 769 は、“1” からなる選択信号  $F\_SEL12$  をゲート 7644 に受けると、NOR 回路 7631 から受けた信号  $CH\_out$  (発振信号) を分周器 7634 , 7635 によって  $2^2$  回分周してノード  $N_{94}$  から遅延回路 770 およびフリップフロップ 767 へ出力する。

【0504】

また、段数可変分周器 769 は、“1” からなる選択信号  $F\_SEL14$  をゲート 7646 に受けると、分周器 7635 から受けた発振信号を分周器 7636 , 7637 によって更に  $2^2$  回分周してノード  $N_{94}$  から遅延回路 770 およびフリップフロップ 767 へ出力する。

30

【0505】

更に、段数可変分周器 769 は、“1” からなる選択信号  $F\_SEL16$  をゲート 7648 に受けると、分周器 7637 から受けた発振信号を分周器 7638 , 7639 によって更に  $2^2$  回分周してノード  $N_{94}$  から遅延回路 770 およびフリップフロップ 767 へ出力する。

【0506】

その結果、段数可変分周器 769 は、“1” からなる選択信号  $F\_SEL12$  ,  $F\_SEL14$  ,  $F\_SEL16$  をそれぞれゲート 7644 , 7646 , 7648 に受けることによって、発振信号をそれぞれ  $2^2$  ,  $2^4$  ,  $2^6$  回分周して遅延回路 770 およびフリップフロップ 767 へ出力する。

40

【0507】

そして、段数可変分周器 769 は、“1” からなる選択信号  $F\_SEL10$  をゲート 7641 に受けると、ノード  $N_{93}$  から発振信号を分周回路 20 へ出力する。

【0508】

このように、段数可変分周器 769 は、選択信号  $F\_SEL12$  ,  $F\_SEL14$  ,  $F\_SEL16$  によって分周回数を切り換えて発振信号を分周する。

50

## 【0509】

図37は、図32に示すスイッチング回路765のブロック図である。図37を参照して、スイッチング回路765は、OR回路7651と、シフトレジスタ7652と、セクタ7654、7655とを含む。

## 【0510】

OR回路7651は、信号SW\_\_1、SW\_\_2をそれぞれ遅延回路764、770から受け、信号FSEL\_\_SETを連想メモリ100Aの制御回路から受ける。そして、OR回路7651は、その受けた信号SW\_\_1、SW\_\_2、FSEL\_\_SETの論理和を演算してシフトレジスタ7652の端子CLKへ出力する。なお、信号FSEL\_\_SETは、1つのパルス波形からなる。

10

## 【0511】

シフトレジスタ7652は、“1”からなるデータdataを端子Dに受け、OR回路7651の出力を端子CLKに受け、リセット信号RSTを端子Rに受ける。

## 【0512】

そして、シフトレジスタ7652は、リセット信号RSTを端子Rに受けると、リセットする。その後、シフトレジスタ7652は、“1”からなるデータdataを端子Dに受けると、端子CLKに受けた信号が立ち上がった後に立ち下がるごとに、端子Dに受けたデータを出力することによって、Kビットの信号をセクタ7654、7655へ出力する。

## 【0513】

なお、“1”からなる信号evenは、参照データのビット数が偶数であることを意味し、“0”からなる信号evenは、参照データのビット数が奇数であることを意味する。

20

## 【0514】

セクタ7654は、シフトレジスタ7652からKビットの信号を受け、連想メモリ100Aの制御回路から信号evenを受けると、セクタ7654は、信号evenが“1”からなるとき、Kビットの信号に基づいて、選択信号F\_\_SEL1(=選択信号F\_\_SEL10、F\_\_SEL11、F\_\_SEL13、F\_\_SEL15、F\_\_SEL17からなる)を生成し、その生成した選択信号F\_\_SEL1(=選択信号F\_\_SEL10、F\_\_SEL11、F\_\_SEL13、F\_\_SEL15、F\_\_SEL17からなる)を段数可変分周器763へ出力する。

30

## 【0515】

セクタ7655は、シフトレジスタ7652からKビットの信号を受け、連想メモリ100Aの制御回路から信号evenを受けると、セクタ7655は、信号evenが“0”からなるとき、Kビットの信号に基づいて、選択信号F\_\_SEL2(=選択信号F\_\_SEL10、F\_\_SEL12、F\_\_SEL14、F\_\_SEL16からなる)を生成し、その生成した選択信号F\_\_SEL2(=選択信号F\_\_SEL10、F\_\_SEL12、F\_\_SEL14、F\_\_SEL16からなる)を段数可変分周器769へ出力する。

## 【0516】

図38は、図37に示すシフトレジスタ7652の回路図である。なお、図38は、参照データのビット数Kが8ビットである場合のシフトレジスタ7652の回路図を示す。

40

## 【0517】

図38を参照して、シフトレジスタ7652は、シフトレジスタ331~338からなる。

## 【0518】

シフトレジスタ331~338は、直列に接続される。シフトレジスタ331~338の各々は、信号SW\_\_1と信号SW\_\_2と信号FSEL\_\_SETとの論理和からなる信号SWを端子CLKに受け、リセット信号RSTを端子Rに受ける。

## 【0519】

シフトレジスタ331は、“1”からなるデータdataを連想メモリ100Aの制御

50

回路から端子Dに受ける。そして、シフトレジスタ331は、初期段階においては、信号SW<sub>1</sub>、SW<sub>2</sub>が“0”からなるので、信号FSEL<sub>SET</sub>が立ち上がった後に立ち下がると、“1”からなるデータを選択信号FSEL<sub>17</sub>として端子Qから出力する。その後、シフトレジスタ331は、信号SW(=信号SW<sub>1</sub>と信号SW<sub>2</sub>と信号FSEL<sub>SET</sub>との論理和)が立ち上がった後に立ち下がると、“1”からなるデータを選択信号FSEL<sub>17</sub>として端子Qから出力する。

【0520】

シフトレジスタ332~338は、初期段階においては、それぞれ、シフトレジスタ331~337からデータ(=“0”)を受け、信号FSEL<sub>SET</sub>が立ち上がった後に立ち下がると、それぞれ、“0”からなる選択信号FSEL<sub>16</sub>~FSEL<sub>10</sub>を端子Qから出力する。その後、シフトレジスタ332~338は、それぞれ、シフトレジスタ331~337からデータ(=“1”)を端子Dに受け、信号SWが立ち上がった後に立ち下がると、それぞれ、“1”からなる選択信号FSEL<sub>16</sub>~FSEL<sub>10</sub>を端子Qから出力する。

10

【0521】

このように、シフトレジスタ7652は、信号SWが立ち上がった後に立ち下がると、“1”からなる選択信号FSEL<sub>17</sub>~FSEL<sub>10</sub>を順次出力する。

【0522】

図39は、図37に示すセクタ7654の回路図である。図39を参照して、セクタ7654は、選択器351~358からなる。選択器351、353、355、357は、端子in<sub>1</sub>にそれぞれ選択信号FSEL<sub>17</sub>、FSEL<sub>15</sub>、FSEL<sub>13</sub>、FSEL<sub>11</sub>を受け、端子in<sub>2</sub>が接地ノードGNDに接続される。

20

【0523】

選択器352、354、356、358は、端子in<sub>1</sub>が接地ノードGNDに接続され、端子in<sub>2</sub>にそれぞれ選択信号FSEL<sub>16</sub>、FSEL<sub>14</sub>、FSEL<sub>12</sub>、FSEL<sub>10</sub>を受ける。

【0524】

また、選択器351~358は、信号evenを連想メモリ100Aの制御回路から受ける。そして、選択器351~358は、信号evenが“1”であるとき、端子in<sub>1</sub>に受けた信号をそれぞれFSEL<sub>17</sub>~FSEL<sub>10</sub>として出力し、信号evenが“0”であるとき、端子in<sub>2</sub>に受けた信号をそれぞれFSEL<sub>17</sub>~FSEL<sub>10</sub>として出力する。

30

【0525】

信号evenが“1”であるとき、選択器351、353、355、357の出力は、それぞれ、選択信号FSEL<sub>17</sub>、FSEL<sub>15</sub>、FSEL<sub>13</sub>、FSEL<sub>11</sub>からなり、選択器352、354、356、358の出力は、“0”からなる。そして、選択器351、353、355、357は、それぞれ、選択信号FSEL<sub>17</sub>、FSEL<sub>15</sub>、FSEL<sub>13</sub>、FSEL<sub>11</sub>を段数可変分周器763へ出力し、選択器358は、“0”からなる選択信号FSEL<sub>10</sub>を段数可変分周器763へ出力する。

【0526】

一方、信号evenが“0”であるとき、選択器351、353、355、357の出力は、“0”からなり、選択器352、354、356、358の出力は、それぞれ、選択信号FSEL<sub>16</sub>、FSEL<sub>14</sub>、FSEL<sub>12</sub>、FSEL<sub>10</sub>からなる。そして、選択器351、353、355、357は、それぞれ、“0”からなる選択信号FSEL<sub>17</sub>、FSEL<sub>15</sub>、FSEL<sub>13</sub>、FSEL<sub>11</sub>を段数可変分周器763へ出力し、選択器358は、選択信号FSEL<sub>10</sub>を段数可変分周器763へ出力する。

40

【0527】

なお、セクタ7655は、セクタ7654と同じ回路図からなるが、選択器351~358は、セクタ7655においては、セクタ7654における動作を逆転させた

50



動作を行う。即ち、選択器351～358は、セレクタ7655においては、信号evenが“1”であるとき、端子in2に受けた信号をそれぞれF\_\_SEL17～F\_\_SEL10として出力し、信号evenが“0”であるとき、端子in1に受けた信号をそれぞれF\_\_SEL17～F\_\_SEL10として出力する。

【0528】

信号evenが“1”であるとき、セレクタ7655においては、選択器352, 354, 356, 358の出力は、それぞれ、選択信号F\_\_SEL16, F\_\_SEL14, F\_\_SEL12, F\_\_SEL10からなり、選択器351, 353, 355, 357の出力は、“0”からなる。そして、選択器352, 354, 356, 358は、それぞれ、選択信号F\_\_SEL16, F\_\_SEL14, F\_\_SEL12, F\_\_SEL10を段数可変分周器769へ出力する。

10

【0529】

一方、信号evenが“0”であるとき、セレクタ7655においては、選択器352, 354, 356, 358の出力は、“0”からなり、選択器351, 353, 355, 357の出力は、それぞれ、選択信号F\_\_SEL17, F\_\_SEL15, F\_\_SEL13, F\_\_SEL11からなる。そして、選択器352, 354, 356, 358は、それぞれ、“0”からなる選択信号F\_\_SEL16, F\_\_SEL14, F\_\_SEL12, F\_\_SEL10を段数可変分周器769へ出力する。

【0530】

図40は、信号のタイミングチャートである。また、図41および図42は、それぞれ、図32に示す距離/時間変換回路DT'1Bを備える連想メモリ100Aの動作を説明するための第1および第2の概念図である。

20

【0531】

連想メモリ100Aにおける検索が開始されると、ユニット比較回路UC'11～UC'1Wは、W個の参照データと検索データとの間の距離信号M11M21・・・MK1M12M22・・・MK2・・・M1WM2W・・・MKWをバスエンコーダPE'1へ出力する。ユニット比較回路UC'21～UC'2W, ..., UC'R1～UC'RWも、同様に、距離信号M11M21・・・MK1M12M22・・・MK2・・・M1WM2W・・・MKWをそれぞれバスエンコーダPE'2～PE'Rへ出力する。

【0532】

バスエンコーダPE'1は、上述した方法によって、距離信号M11M21・・・MK1M12M22・・・MK2・・・M1WM2W・・・MKWに基づいて、距離信号M11M12・・・M1W, M21M22・・・M2W, ..., MK1MK2・・・MKWを生成する。そして、バスエンコーダPE'1は、距離信号M11M12・・・M1W、距離信号M31M32・・・M3W、距離信号M51M52・・・M5W、・・・をマルチプレクサMU11～MU1Wへ順次出力し、距離信号M21M22・・・M2W、距離信号M41M42・・・M4W、距離信号M61M62・・・M6W、・・・をマルチプレクサMU21～MU2Wへ順次出力する。バスエンコーダPE'2～PE'Rについても同様である。

30

【0533】

距離/時間変換回路DT'1 (= 距離/時間変換回路DT'1B)において、マルチプレクサMU11は、奇数ビットの距離信号M11, M31, M51, ...を順次受け、マルチプレクサMU12は、奇数ビットの距離信号M12, M32, M52, ...を順次受け、以下、同様にして、マルチプレクサMU1W-1は、奇数ビットの距離信号M1W-1, M3W-1, M5W-1, ...を順次受け、マルチプレクサMU1Wは、奇数ビットの距離信号M1W, M3W, M5W, ...を順次受ける。また、マルチプレクサMU21は、偶数ビットの距離信号M21, M41, M61, ...を順次受け、マルチプレクサMU22は、偶数ビットの距離信号M22, M42, M62, ...を順次受け、以下、同様にして、マルチプレクサMU2W-1は、偶数ビットの距離信号M2W-1, M4W-1, M6W-1, ...を順次受け、マルチプレクサMU2Wは、偶数ビット

40

50

の距離信号  $M_{2w}$ ,  $M_{4w}$ ,  $M_{6w}$ , ... を順次受ける。

【0534】

マルチプレクサ  $MU_{11}$  においては、ゲート 295 は、“1” からなる信号  $EN_{11}$  をシフトレジスタ 291 から受け、ゲート 296 ~ 298 は、“0” からなる信号  $EN_{12}$  ~  $EN_{14}$  をそれぞれシフトレジスタ 292 ~ 295 から受けるので、マルチプレクサ  $MU_{11}$  は、1ビット目の距離信号  $M_{11}$  を1ビットステージ 271 へ出力する。マルチプレクサ  $MU_{12}$  ~  $MU_{1W}$  も、同様に、それぞれ、1ビット目の距離信号  $M_{12}$  ~  $M_{1W}$  を1ビットステージ 272 ~ 27W へ出力する。

【0535】

また、マルチプレクサ  $MU_{21}$  ~  $MU_{2W}$  も、同様に、それぞれ、2ビット目の  $M_{21}$  ~  $M_{2W}$  を1ビットステージ 281 ~ 28W へ出力する。

10

【0536】

イネーブル信号  $EN$  は、タイミング  $t_4$  よりも前のタイミングにおいては、“0” からなるので、 $EN$  選択回路 761 は、“0” からなる信号を  $NAND$  回路 762 へ出力し、 $NAND$  回路 762 は、段数可変分周器 763 からの信号が“0” および“1” のいずれであっても、“1” からなる信号を1ビットステージ 271 へ出力する。

【0537】

その結果、1ビットステージ 271 ~ 27W の個数が偶数である場合、1ビットステージ 27W は、タイミング  $t_4$  よりも前のタイミングにおいて、“1” からなる信号を段数可変分周器 763 へ出力する。そして、段数可変分周器 763 は、“1” からなる信号  $CH\_1\_out$  を  $NAND$  回路 762 へ出力する。

20

【0538】

その後、“1” からなるイネーブル信号  $EN$  がタイミング  $t_4$  で連想メモリ 100A の制御回路から  $EN$  選択回路 761 へ入力されると、選択器 7611 は、信号  $SW\_1$  が“0” からなるので、“1” からなるイネーブル信号  $EN$  を  $OR$  回路 7613 へ出力し、 $OR$  回路 7613 は、端子  $EN_2$  に受ける信号が“0” からなるので、“1” からなるイネーブル信号  $EN$  を  $NAND$  回路 762 へ出力する。

【0539】

そして、 $NAND$  回路 762 は、“1” からなるイネーブル信号  $EN$  を  $EN$  選択回路 761 から受け、“1” からなる信号  $CH\_1\_out$  を段数可変分周器 763 から受ける。そうすると、 $NAND$  回路 762 は、“1” からなるイネーブル信号  $EN$  と、“1” からなる信号  $CH\_1\_out$  との論理積を演算し、その演算した論理積を反転し、“0” からなる信号を1ビットステージ 271 へ出力する。

30

【0540】

1ビットステージ 271 は、距離信号  $M_{11}$  によって選択された遅延経路を用いて“1” からなる信号を遅延し、その遅延した信号を1ビットステージ 272 へ出力する。その後、1ビットステージ 272 ~ 27W は、それぞれ、距離信号  $M_{12}$  ~  $M_{1W}$  によって選択された遅延経路を用いて、1ビットステージ 271 ~ 27W - 1 からの出力信号を遅延して出力する。そして、1ビットステージ 27W は、出力信号  $CH\_1\_out$  を段数可変分周器 763 のノード  $N_{g1}$ ,  $N_{g2}$  を介して  $NAND$  回路 762 へ出力し、 $NAND$  回路 762 は、“1” からなるイネーブル信号  $EN$  と、信号  $CH\_1\_out$  との論理積を演算し、その演算した論理積を反転して1ビットステージ 271 へ出力する。

40

【0541】

その結果、1ビットステージ 271 ~ 27W は、段数可変分周器 763 および  $NAND$  回路 762 を介してリング状に接続され、“0” からなる信号および“1” からなる信号を  $NAND$  回路 762 から交互に受けるので、発振信号を発振する。

【0542】

なお、1ビットステージ 271 ~ 27W の個数が奇数である場合、1ビットステージ 27W は、タイミング  $t_4$  よりも前のタイミングにおいて、“0” からなる信号を段数可変分周器 763 へ出力し、段数可変分周器 763 は、“0” からなる信号  $CH\_1\_out$

50

をNAND回路762へ出力する。そして、NAND回路762は、タイミングt4において、EN選択回路761からの“1”からなる信号と、段数可変分周器763からの“0”からなる信号CH\_1\_outとに基づいて“1”からなる信号を1ビットステージ271へ出力する。その後、1ビットステージ271~27Wは、上述したように、“0”からなる信号および“1”からなる信号をNAND回路762から交互に受けるので、発振信号を発振する。

【0543】

従って、1ビットステージ271~27Wは、個数が偶数および奇数のいずれであっても、発振信号を発振する。

【0544】

一方、フリップフロップ766は、“0”からなる信号Freq\_out\_1を段数可変分周器763から受けて、“0”からなる信号EN\_2をNAND回路768へ出力し、NAND回路768は、“1”が連続した信号を1ビットステージ281へ出力するので、発振回路752は、休止状態である(図41参照)。

【0545】

そして、スイッチング回路765において、OR回路7651は、1つのパルス波形からなる信号FSEL\_SETと、“0”からなる信号SW\_1, SW\_2とを受けるので、1つのパルス波形からなる信号FSEL\_SETをシフトレジスタ7652の端子CLKへ出力する。シフトレジスタ7652は、端子CLKに受けた信号FSEL\_SETが立ち上がった後に立ち下がると、選択信号F\_SEL17=“1”および選択信号F\_SEL16~F\_SEL10=“0”をセクタ7654, 7655へ出力する。

【0546】

セクタ7654は、選択信号F\_SEL17=“1”および選択信号F\_SEL16~F\_SEL10=“0”と、“1”からなる信号evenとに基づいて、選択信号F\_SEL17=“1”, F\_SEL15=“0”, F\_SEL13=“0”, F\_SEL11=“0”, F\_SEL10=“0”を段数可変分周器763へ出力する。

【0547】

また、セクタ7655は、選択信号F\_SEL17=“1”および選択信号F\_SEL16~F\_SEL10=“0”と、“1”からなる信号evenとに基づいて、選択信号F\_SEL16=“0”, F\_SEL14=“0”, F\_SEL12=“0”, F\_SEL10=“0”を段数可変分周器769へ出力する。

【0548】

そうすると、段数可変分周器763は、選択信号F\_SEL17=“1”, F\_SEL15=“0”, F\_SEL13=“0”, F\_SEL11=“0”, F\_SEL10=“0”をスイッチング回路765から受け、ゲート7641, 7643, 7645, 7647が閉じ、ゲート7649のみが開く。

【0549】

その結果は、発振回路751から出力された発振信号CH\_1\_outは、分周器7633~7639によって $2^7$ 回分周され、段数可変分周器763は、タイミングt5で信号Freq\_out\_1を遅延回路764およびフリップフロップ766へ出力する。

【0550】

そして、遅延回路764は、信号Freq\_out\_1をだけ遅延して信号SW\_1を生成し、その生成した信号SW\_1をEN選択回路761、マルチプレクサMU11~MU1W、スイッチング回路765およびフリップフロップ767へ出力する。

【0551】

マルチプレクサMU11~MU1Wは、信号SW\_1を受ける。そして、信号SW\_1が、タイミングt6において、立ち上がった後に立ち下がると、シフトレジスタ292は、“1”からなる信号EN12をゲート296へ出力し、シフトレジスタ291, 293, 294は、それぞれ、“0”からなる信号EN11, EN13, EN14をゲート295, 297, 298へ出力する。その結果、マルチプレクサMU11は、タイミングt6

10

20

30

40

50

で3ビット目の距離信号M3<sub>1</sub>を1ビットステージ271へ出力する。マルチプレクサMU12~MU1Wも、同様にして、タイミングt6でそれぞれ3ビット目の距離信号M3<sub>2</sub>~M3<sub>W</sub>を1ビットステージ272~27Wへ出力する。

【0552】

一方、フリップフロップ766は、タイミングt5で信号Freq\_out\_1を段数可変分周器763から受けると、信号SW\_2が“0”からなるので、信号Freq\_out\_1に基づいて信号EN\_2を生成してNAND回路768へ出力する。

【0553】

NAND回路768は、フリップフロップ766からの信号EN\_2と、段数可変分周器769からの信号CH\_2\_out(=“0”)との論理積を演算し、その演算した論理積を反転して“1”からなる信号を1ビットステージ281へ出力する。

【0554】

1ビットステージ281~28Wは、それぞれ、マルチプレクサMU21~MU2Wから2ビット目の距離信号M2<sub>1</sub>~M2<sub>W</sub>を既に受けている。従って、1ビットステージ281~28Wは、NAND回路768からの信号に基づいて発振信号CH\_2\_outを発振し、その発振した発振信号CH\_2\_outを段数可変分周器769へ出力する。この場合、EN選択回路761は、“0”からなるイネーブル信号ENを連想メモリ100Aの制御回路から受け、“0”からなる信号をフリップフロップ767から受けるので、信号SW\_1が立ち上がった後に立ち下がるタイミングt6で“0”からなる信号をNAND回路762へ出力する。そして、NAND回路762は、“0”からなる信号をEN選択回路761から受けるので、連続した“1”からなる信号を1ビットステージ271へ出力する。従って、発振回路751は、発振信号を発振せず、休止状態である(図42参照)。

【0555】

一方、スイッチング回路765のシフトレジスタ7652は、タイミングt6で信号SW\_1が立ち下がると、選択信号F\_SEL16=“1”, F\_SEL17=F\_SEL15~F\_SEL10=“0”をセクタ7654, 7655へ出力する。

【0556】

セクタ7654は、選択信号F\_SEL16=“1”, F\_SEL17=F\_SEL15~F\_SEL10=“0”および“1”からなる信号evenに基づいて、選択信号F\_SEL17=F\_SEL15=F\_SEL13=F\_SEL11=SEL10=“0”を段数可変分周器763へ出力する。また、セクタ7655は、選択信号F\_SEL16=“1”, F\_SEL17=F\_SEL15~F\_SEL10=“0”および“1”からなる信号evenに基づいて、選択信号F\_SEL16=“1”および選択信号F\_SEL14=F\_SEL12=SEL10=“0”を段数可変分周器769へ出力する。

【0557】

そうすると、段数可変分周器769は、選択信号F\_SEL16=“1”および選択信号F\_SEL14=F\_SEL12=SEL10=“0”を受け、ゲート7641, 7644, 7646が閉じ、ゲート7648のみが開く。

【0558】

そして、段数可変分周器769は、発振信号CH\_2\_outを6個の分周器7634~7639によって分周し、タイミングt7で信号Freq\_out\_2をフリップフロップ767および遅延回路770へ出力する。

【0559】

遅延回路770は、信号Freq\_out\_2をだけ遅延して信号SW\_2をマルチプレクサMU21~MU2W、スイッチング回路765およびフリップフロップ766へ出力する。

【0560】

マルチプレクサMU21~MU2Wは、信号SW\_2を受ける。そして、信号SW\_2が、タイミングt8において、立ち上がった後に立ち下がると、シフトレジスタ292は

10

20

30

40

50

、“ 1 ” からなる信号 EN 1 2 をゲート 2 9 6 へ出力し、シフトレジスタ 2 9 1 , 2 9 3 , 2 9 4 は、それぞれ、“ 0 ” からなる信号 EN 1 1 , EN 1 3 , EN 1 4 をゲート 2 9 5 , 2 9 7 , 2 9 8 へ出力する。その結果、マルチプレクサ MU 2 1 は、タイミング t 8 で 4 ビット目の距離信号 M 4 <sub>1</sub> を 1 ビットステージ 2 8 1 へ出力する。マルチプレクサ MU 2 2 ~ MU 2 W も、同様にして、タイミング t 8 でそれぞれ 4 ビット目の距離信号 M 4 <sub>2</sub> ~ M 4 <sub>W</sub> を 1 ビットステージ 2 8 2 ~ 2 8 W へ出力する。

【 0 5 6 1 】

一方、フリップフロップ 7 6 7 は、タイミング t 7 で信号 F r e q \_ o u t \_ 2 を受けると、その受けた信号 F r e q \_ o u t \_ 2 に基づいて、信号 EN \_ 1 を生成し、その生成した信号 EN \_ 1 を EN 選択回路 7 6 1 へ出力する。

10

【 0 5 6 2 】

タイミング t 7 においては、信号 SW \_ 1 = “ 0 ” であるので、選択器 7 6 1 1 は、“ 0 ” から信号を OR 回路 7 6 1 3 へ出力し、OR 回路 7 6 1 3 は、“ 0 ” からなる信号と、“ 1 ” からなる信号 EN \_ 1 とに基づいて、“ 1 ” からなる信号 EN \_ 1 を NAND 回路 7 6 2 へ出力する。

【 0 5 6 3 】

そして、NAND 回路 7 6 2 は、“ 1 ” からなる信号 EN \_ 1 と、段数可変分周器 7 6 3 からの信号 CH \_ 1 \_ o u t (= “ 0 ”) との論理積を演算し、その演算した論理積を反転した “ 1 ” からなる信号を 1 ビットステージ 2 7 1 へ出力する。

【 0 5 6 4 】

1 ビットステージ 2 7 1 ~ 2 7 W は、それぞれ、マルチプレクサ MU 1 1 ~ MU 1 W から 3 ビット目の距離信号 M 3 <sub>1</sub> ~ M 3 <sub>W</sub> をタイミング t 6 で受けている。

20

【 0 5 6 5 】

従って、1 ビットステージ 2 7 1 ~ 2 7 W は、それぞれ、3 ビット目の距離信号 M 3 <sub>1</sub> ~ M 3 <sub>W</sub> によって選択された遅延経路を用いて信号を遅延し、発振信号 CH \_ 1 \_ o u t を発振し、その発振した発振信号 CH \_ 1 \_ o u t を段数可変分周器 7 6 3 へ出力する。この場合、フリップフロップ 7 6 6 は、“ 0 ” からなる信号 SW \_ 2 を遅延回路 7 7 0 から受けるので、“ 0 ” からなる信号 EN \_ 2 を NAND 回路 7 6 8 へ出力する。その結果、NAND 回路 7 6 8 は、“ 1 ” が連続した信号を 1 ビットステージ 2 8 1 へ出力するので、発振回路 7 5 2 は、休止状態である ( 図 4 1 参照 ) 。

30

【 0 5 6 6 】

一方、スイッチング回路 7 6 5 のシフトレジスタ 7 6 5 2 は、タイミング t 8 で信号 SW \_ 2 が立ち下がると、選択信号 F \_ S E L 1 5 = “ 1 ” , F \_ S E L 1 7 = F \_ S E L 1 6 = F \_ S E L 1 4 ~ F \_ S E L 1 0 = “ 0 ” をセクタ 7 6 5 4 , 7 6 5 5 へ出力する。

【 0 5 6 7 】

セクタ 7 6 5 4 は、“ 1 ” からなる信号 e v e n を連想メモリ 1 0 0 A の制御回路から受け、選択信号 F \_ S E L 1 5 = “ 1 ” , F \_ S E L 1 7 = F \_ S E L 1 6 = F \_ S E L 1 4 ~ F \_ S E L 1 0 = “ 0 ” および “ 1 ” からなる信号 e v e n に基づいて、選択信号 F \_ S E L 1 5 = “ 1 ” および選択信号 F \_ S E L 1 7 = F \_ S E L 1 3 = F \_ S E L 1 1 = S E L 1 0 = “ 0 ” を段数可変分周器 7 6 3 へ出力する。また、セクタ 7 6 5 5 は、選択信号 F \_ S E L 1 5 = “ 1 ” , F \_ S E L 1 7 = F \_ S E L 1 6 = F \_ S E L 1 4 ~ F \_ S E L 1 0 = “ 0 ” および “ 1 ” からなる信号 e v e n に基づいて、選択信号 F \_ S E L 1 6 = F \_ S E L 1 4 = F \_ S E L 1 2 = S E L 1 0 = “ 0 ” を段数可変分周器 7 6 9 へ出力する。

40

【 0 5 6 8 】

そうすると、段数可変分周器 7 6 3 は、選択信号 F \_ S E L 1 5 = “ 1 ” および選択信号 F \_ S E L 1 7 = F \_ S E L 1 3 = F \_ S E L 1 1 = S E L 1 0 = “ 0 ” を受け、ゲート 7 6 4 1 , 7 6 4 3 , 7 6 4 9 が閉じ、ゲート 7 6 4 7 のみが開く。

【 0 5 6 9 】

50

そして、段数可変分周器 763 は、発振信号  $CH\_1\_out$  を 5 個の分周器 7633 ~ 7637 によって分周し、タイミング  $t_9$  で信号  $Freq\_out\_1$  を遅延回路 764 およびフリップフロップ 766 へ出力する。

【0570】

遅延回路 764 は、信号  $Freq\_out\_1$  を だけ遅延して信号  $SW\_1$  をマルチプレクサ  $MU11 \sim MU1W$ 、EN 選択回路 761、スイッチング回路 765 およびフリップフロップ 767 へ出力する。

【0571】

以後、上述した動作が繰り返し行われ、発振回路 751, 752 は、交互に発振信号を発振し、段数可変分周器 763 は、発振回路 751 からの発振信号を  $2^7$  回、 $2^5$  回、 $2^3$  回および 2 回分周し、段数可変分周器 769 は、発振回路 752 からの発振信号を  $2^6$  回、 $2^4$  回、 $2^2$  回および 1 回分周する。そして、段数可変分周器 769 における分周が終了すると、スイッチング回路 765 は、選択信号  $F\_SEL17 = F\_SEL15 = F\_SEL13 = F\_SEL11 = "0"$  および選択信号  $F\_SEL10 = "1"$  を段数可変分周器 763 へ出力し、選択信号  $F\_SEL16 = F\_SEL14 = F\_SEL12 = "0"$  および選択信号  $F\_SEL10 = "1"$  を段数可変分周器 769 へ出力する。また、スイッチング回路 765 は、選択信号  $F\_SEL10 = "1"$  を選択信号  $F\_SEL02$  として選択器 780 へ出力する。

【0572】

そうすると、段数可変分周器 763 は、選択信号  $F\_SEL17 = F\_SEL15 = F\_SEL13 = F\_SEL11 = "0"$  および選択信号  $F\_SEL10 = "1"$  に基づいて、 $2^7$  回分周、 $2^5$  回分周、 $2^3$  回分周および 2 回分周を順次実行した後の発振信号を信号  $out\_1$  として選択器 780 へ出力する。また、段数可変分周器 769 は、選択信号  $F\_SEL16 = F\_SEL14 = F\_SEL12 = "0"$  および選択信号  $F\_SEL10 = "1"$  に基づいて、 $2^6$  回分周、 $2^4$  回分周、 $2^2$  回および 1 回分周を順次実行した後の発振信号を信号  $out\_2$  として選択器 780 へ出力する。

【0573】

そして、選択器 780 は、選択信号  $F\_SEL02 = "1"$  に応じて、信号  $out\_2$  を選択し、その選択した信号  $out\_2$  を発振信号  $S_1$  として分周回路 20 へ出力する。

【0574】

なお、距離 / 時間変換回路  $DT'_2 \sim DT'_R$  の各々も、上述した動作を実行し、それぞれ、発振信号  $S_2 \sim S_R$  を分周回路 20 へ出力する。

【0575】

分周回路 20 および時間領域 WTA 回路 30 における動作は、上述したとおりである。

【0576】

このように、距離 / 時間変換回路  $DT'_1 \sim DT'_R$  の各々が図 32 に示す距離 / 時間変換回路  $DT'_1$  B からなる場合、発振回路 751 は、各参照データと検索データとの奇数ビット同士の距離信号によって選択された遅延経路を用いて発振信号を発振し、発振回路 752 は、各参照データと検索データとの偶数ビット同士の距離信号によって選択された遅延経路を用いて発振信号を発振する。この場合、発振回路 751, 752 の各々は、上位ビット同士の距離信号から下位ビット同士の距離信号へ向かう方向に従って距離信号を発振信号に順次変換する。

【0577】

また、段数可変分周器 763 は、参照データと検索データとの最上位ビットから奇数番目のビット同士の比較結果を示す第 1 の距離信号を変換した発振信号を発振回路 751 から受け、第 1 の距離信号がより下位のビット同士の比較結果を示すほど少ない回数だけ発振回路 751 から受けた発振信号を分周して発振回路 752 へ出力する。更に、段数可変分周器 769 は、参照データと検索データとの最上位ビットから偶数番目のビット同士の比較結果を示す第 2 の距離信号を変換した発振信号を発振回路 752 から受け、第 2 の距

10

20

30

40

50

離信号がより下位のビット同士の比較結果を示すほど少ない回数だけ発振回路 7 5 2 から受けた発振信号を分周して発振回路 7 5 1 へ出力する。

【 0 5 7 8 】

このように、発振回路 7 5 1 および段数可変分周器 7 6 3 と、発振回路 7 5 2 および段数可変分周器 7 6 9 とは、交互に動作を行いながら、上位ビットほど多い回数だけ発振信号を分周して、距離信号を発振信号に変換する。

【 0 5 7 9 】

従って、上述したように、連想メモリ 1 0 0 A における検索時間を短縮できる。

【 0 5 8 0 】

なお、上記においては、参照データおよび検索データのビット数 K が 8 ビットである場合について説明したが、ビット数 K が 8 ビット以外であっても、距離 / 時間変換回路 D T ' <sub>1</sub> B を備える連想メモリ 1 0 0 A は、上述した方法によって、検索データに一致する参照データを検索できる。

10

【 0 5 8 1 】

より詳細に説明する。参照データおよび検索データのビット数 K が 6 ビットである場合、信号 S H I F T \_ O D D B I T \_ S E T , S H I F T \_ e v e n B I T \_ S E T の各々は、連続した 2 つのパルス波形からなり、信号 F S E L \_ S E T は、連続した 3 つのパルス波形からなる。

【 0 5 8 2 】

参照データおよび検索データのビット数 K が 6 ビットである場合、マルチプレクサ M U 1 1 ~ M U 1 W は、3 ビット目、5 ビット目および 7 ビット目の奇数ビットをパスエンコーダ P E ' <sub>1</sub> から受ける。また、参照データおよび検索データのビット数 K が 6 ビットである場合、マルチプレクサ M U 2 1 ~ M U 2 W は、4 ビット目および 6 ビット目の偶数ビットをパスエンコーダ P E ' <sub>1</sub> から受ける。

20

【 0 5 8 3 】

マルチプレクサ M U 1 1 ~ M U 1 W の各々において、シフトレジスタ 2 9 1 は、“ 1 ” からなるデータを連想メモリ 1 0 0 A の制御回路から端子 D に受け、シフトレジスタ 2 9 2 ~ 2 9 4 は、“ 0 ” からなるデータをそれぞれシフトレジスタ 2 9 1 ~ 2 9 3 から端子 D に受ける。

【 0 5 8 4 】

そして、マルチプレクサ M U 1 1 ~ M U 1 W の各々において、シフトレジスタ 2 9 1 は、1 つ目のパルス波形に従って信号 S H I F T \_ O D D B I T \_ S E T が立ち上がった後に立ち下がると、“ 1 ” からなるデータを端子 Q からシフトレジスタ 2 9 2 およびゲート 2 9 5 へ出力する。また、マルチプレクサ M U 1 1 ~ M U 1 W の各々において、シフトレジスタ 2 9 2 は、1 つ目のパルス波形に従って信号 S H I F T \_ O D D B I T \_ S E T が立ち上がった後に立ち下がると、“ 0 ” からなるデータを端子 Q からシフトレジスタ 2 9 3 およびゲート 2 9 6 へ出力し、シフトレジスタ 2 9 3 は、1 つ目のパルス波形に従って信号 S H I F T \_ O D D B I T \_ S E T が立ち上がった後に立ち下がると、“ 0 ” からなるデータを端子 Q からシフトレジスタ 2 9 4 およびゲート 2 9 7 へ出力し、シフトレジスタ 2 9 4 は、1 つ目のパルス波形に従って信号 S H I F T \_ O D D B I T \_ S E T が立ち

30

40

【 0 5 8 5 】

その結果、マルチプレクサ M U 1 1 ~ M U 1 W は、“ 1 ” からなる信号 E N 1 1、“ 0 ” からなる信号 E N 1 2、“ 0 ” からなる信号 E N 1 3、および “ 0 ” からなる信号 E N 1 4 に従って、1 ビット目 ( ビット数 K が 6 ビットである場合、“ 0 ” からなる ) をそれぞれ 1 ビットステージ 2 7 1 ~ 2 7 W へ出力する。

【 0 5 8 6 】

その後、マルチプレクサ M U 1 1 ~ M U 1 W の各々において、シフトレジスタ 2 9 1 は、2 つ目のパルス波形に従って信号 S H I F T \_ O D D B I T \_ S E T が立ち上がった後

50

に立ち下がると、“0”からなるデータを端子Qからシフトレジスタ292およびゲート295へ出力する。また、マルチプレクサMU11～MU1Wの各々において、シフトレジスタ292は、2つ目のパルス波形に従って信号SHIFT\_ODDBIT\_SETが立ち上がった後に立ち下がると、“1”からなるデータを端子Qからシフトレジスタ293およびゲート296へ出力し、シフトレジスタ293は、2つ目のパルス波形に従って信号SHIFT\_ODDBIT\_SETが立ち上がった後に立ち下がると、“0”からなるデータを端子Qからシフトレジスタ294およびゲート297へ出力し、シフトレジスタ294は、2つ目のパルス波形に従って信号SHIFT\_ODDBIT\_SETが立ち上がった後に立ち下がると、“0”からなるデータを端子Qからゲート298へ出力する。

10

## 【0587】

その結果、マルチプレクサMU11～MU1Wは、“0”からなる信号EN11、“1”からなる信号EN12、“0”からなる信号EN13、および“0”からなる信号EN14に従って、3ビット目の奇数ビットをそれぞれ1ビットステージ271～27Wへ出力する。

## 【0588】

その後、マルチプレクサMU11～MU1Wは、上述したように、信号SW\_1が立ち上がった後に立ち下ると、5ビット目および7ビット目の奇数ビットをそれぞれ1ビットステージ271～27Wへ順次出力する。

20

## 【0589】

このように、参照データおよび検索データのビット数Kが6ビットである場合、連続した2つのパルス波形からなる信号SHIFT\_ODDBIT\_SETをマルチプレクサMU11～MU1Wへ入力することによって、マルチプレクサMU11～MU1Wは、“0”からなる1ビット目の奇数ビットをそれぞれ1ビットステージ271～27Wへ出力した直後に3ビット目の奇数ビット（検索データと参照データとの比較結果を表す）をそれぞれ1ビットステージ271～27Wへ出力する。

## 【0590】

また、マルチプレクサMU21～MU2Wも、マルチプレクサMU11～MU1Wと同様に、2ビット目の偶数ビット（ビット数Kが6ビットである場合、“0”からなる）をそれぞれ1ビットステージ281～28Wへ出力した直後に4ビット目の偶数ビット（検索データと参照データとの比較結果を表す）をそれぞれ1ビットステージ281～28Wへ出力する。

30

## 【0591】

従って、参照データおよび検索データのビット数Kが6ビットである場合、マルチプレクサMU11～MU1Wは、連続した2つのパルス波形からなる信号SHIFT\_ODDBIT\_SETに応じて、1ビット目の奇数ビットを実質的に無視して、3ビット目、5ビット目および7ビット目の奇数ビットをそれぞれ1ビットステージ271～27Wへ順次出力し、マルチプレクサMU21～MU2Wは、連続した2つのパルス波形からなる信号SHIFT\_evenBIT\_SETに応じて、2ビット目の偶数ビットを実質的に無視して、4ビット目および6ビット目の偶数ビットをそれぞれ1ビットステージ281～28Wへ順次出力する。

40

## 【0592】

一方、参照データおよび検索データのビット数Kが6ビットである場合、スイッチング回路765のシフトレジスタ7652は、連続した3つのパルス波形からなる信号FSEL\_SETをOR回路7651から端子CLKに受ける。

## 【0593】

シフトレジスタ7652において、シフトレジスタ331は、信号FSEL\_SETの1つ目のパルス波形が立ち上がった後に立ち下がると、“1”からなる選択信号FSEL17を出力し、シフトレジスタ332～338は、信号FSEL\_SETの1つ目のパルス波形が立ち上がった後に立ち下がると、それぞれ、“0”からなる選択信号FSEL

50



L 1 6 ~ F \_ S E L 1 0 を出力する。

【 0 5 9 4 】

そして、シフトレジスタ 7 6 5 2 において、シフトレジスタ 3 3 2 は、信号 F S E L \_ S E T の 2 つ目のパルス波形が立ち上がった後に立ち下がると、“ 1 ” からなる選択信号 F \_ S E L 1 6 を出力し、シフトレジスタ 3 3 1 , 3 3 3 ~ 3 3 8 は、信号 F S E L \_ S E T の 2 つ目のパルス波形が立ち上がった後に立ち下がると、それぞれ、“ 0 ” からなる選択信号 F \_ S E L 1 7 , F \_ S E L 1 5 ~ F \_ S E L 1 0 を出力する。

【 0 5 9 5 】

その後、シフトレジスタ 7 6 5 2 において、シフトレジスタ 3 3 3 は、信号 F S E L \_ S E T の 3 つ目のパルス波形が立ち上がった後に立ち下がると、“ 1 ” からなる選択信号 F \_ S E L 1 5 を出力し、シフトレジスタ 3 3 1 , 3 3 2 , 3 3 4 ~ 3 3 8 は、信号 F S E L \_ S E T の 3 つ目のパルス波形が立ち上がった後に立ち下がると、それぞれ、“ 0 ” からなる選択信号 F \_ S E L 1 7 , F \_ S E L 1 6 , F \_ S E L 1 4 ~ F \_ S E L 1 0 を出力する。このように、シフトレジスタ 7 6 5 2 は、信号 F S E L \_ S E T の連続する 3 つのパルス波形に応じて、選択信号 F \_ S E L 1 7 ~ F \_ S E L 1 0 の 3 つのパターンを連続して出力する。

【 0 5 9 6 】

そうすると、セレクタ 7 6 5 4 , 7 6 5 5 の各々は、選択信号 F \_ S E L 1 7 = “ 1 ” , F \_ S E L 1 6 = F \_ S E L 1 5 = F \_ S E L 1 4 = F \_ S E L 1 3 = F \_ S E L 1 2 = F \_ S E L 1 1 = F \_ S E L 1 0 = “ 0 ” 、選択信号 F \_ S E L 1 6 = “ 1 ” , F \_ S E L 1 7 = F \_ S E L 1 5 = F \_ S E L 1 4 = F \_ S E L 1 3 = F \_ S E L 1 2 = F \_ S E L 1 1 = F \_ S E L 1 0 = “ 0 ” 、および選択信号 F \_ S E L 1 5 = “ 1 ” , F \_ S E L 1 7 = F \_ S E L 1 6 = F \_ S E L 1 4 = F \_ S E L 1 3 = F \_ S E L 1 2 = F \_ S E L 1 1 = F \_ S E L 1 0 = “ 0 ” を連続的に受ける。

【 0 5 9 7 】

そして、セレクタ 7 6 5 4 は、最後に選択信号 F \_ S E L 1 5 = “ 1 ” , F \_ S E L 1 7 = F \_ S E L 1 6 = F \_ S E L 1 4 = F \_ S E L 1 3 = F \_ S E L 1 2 = F \_ S E L 1 1 = F \_ S E L 1 0 = “ 0 ” を受けたときに、“ 1 ” からなる信号 e v e n を受けるので、選択信号 F \_ S E L 1 ( = F \_ S E L 1 5 = “ 1 ” , F \_ S E L 1 7 = “ 0 ” , F \_ S E L 1 3 = “ 0 ” , F \_ S E L 1 1 = “ 0 ” , F \_ S E L 1 0 = “ 0 ” からなる ) を段数可変分周器 7 6 3 へ出力する。ここで、参照データおよび検索データのビット数 K が 6 ビットであるので、セレクタ 7 6 5 4 , 7 6 5 5 は、“ 1 ” からなる信号 e v e n を連想メモリ 1 0 0 A の制御回路から受ける。

【 0 5 9 8 】

また、セレクタ 7 6 5 5 は、最後に選択信号 F \_ S E L 1 5 = “ 1 ” , F \_ S E L 1 7 = F \_ S E L 1 6 = F \_ S E L 1 4 = F \_ S E L 1 3 = F \_ S E L 1 2 = F \_ S E L 1 1 = F \_ S E L 1 0 = “ 0 ” を受けたときに、“ 1 ” からなる信号 e v e n を受けるので、選択信号 F \_ S E L 2 ( = F \_ S E L 1 6 = “ 0 ” , F \_ S E L 1 4 = “ 0 ” , F \_ S E L 1 2 = “ 0 ” , F \_ S E L 1 0 = “ 0 ” からなる ) を段数可変分周器 7 6 9 へ出力する。

【 0 5 9 9 】

発振回路 7 5 1 の 1 ビットステージ 2 7 1 ~ 2 7 W は、 3 ビット目の奇数ビットによって選択される遅延経路によって信号を遅延して発振信号を生成する。そして、 1 ビットステージ 2 7 W は、その生成した発振信号を段数可変分周器 7 6 3 へ出力する。

【 0 6 0 0 】

そうすると、段数可変分周器 7 6 3 は、選択信号 F \_ S E L 1 ( = F \_ S E L 1 5 = “ 1 ” , F \_ S E L 1 7 = “ 0 ” , F \_ S E L 1 3 = “ 0 ” , F \_ S E L 1 1 = “ 0 ” , F \_ S E L 1 0 = “ 0 ” からなる ) に応じて、 1 ビットステージ 2 7 W から受けた発振信号を分周器 7 6 3 3 ~ 7 6 3 7 によって  $2^5$  回分周し、ノード  $N_{9,4}$  から N A N D 回路 7 6 2 および遅延回路 7 6 4 へ出力する。

10

20

30

40

50

## 【0601】

一方、段数可変分周器769は、選択信号F\_\_SEL2 (= F\_\_SEL16 = “0”, F\_\_SEL14 = “0”, F\_\_SEL12 = “0”, F\_\_SEL10 = “0” からなる) に応じて、動作を停止する。

## 【0602】

スイッチング回路765のシフトレジスタ7652は、信号FSEL\_\_SETが3つ目のパルス波形によって立ち下がった後、信号SW\_\_1を端子CLKに受け、信号SW\_\_1が立ち上がった後に立ち下がると、“1”からなる選択信号F\_\_SEL14および“0”からなる選択信号F\_\_SEL17, F\_\_SEL15, F\_\_SEL13~F\_\_SEL10を出力する。

10

## 【0603】

そして、スイッチング回路765のセクタ7654は、“1”からなる信号evenを連想メモリ100Aの制御回路から受ける。その後、セクタ7654は、“1”からなる選択信号F\_\_SEL14、“0”からなる選択信号F\_\_SEL17, F\_\_SEL15, F\_\_SEL13~F\_\_SEL10および“1”からなる信号evenに基づいて、選択信号F\_\_SEL1 (= F\_\_SEL17 = “0”, F\_\_SEL15 = “0”, F\_\_SEL13 = “0”, F\_\_SEL11 = “0”, F\_\_SEL10 = “0” からなる) を段数可変分周器763へ出力する。また、スイッチング回路765のセクタ7655は、“1”からなる選択信号F\_\_SEL14、“0”からなる選択信号F\_\_SEL17, F\_\_SEL15, F\_\_SEL13~F\_\_SEL10および“1”からなる信号evenに基づいて、選択信号F\_\_SEL2 (= F\_\_SEL16 = “0”, F\_\_SEL14 = “1”, F\_\_SEL12 = “0”, F\_\_SEL10 = “0” からなる) を段数可変分周器769へ出力する。

20

## 【0604】

発振回路752の1ビットステージ281~28Wは、4ビット目の偶数ビットによって選択される遅延経路によって信号を遅延して発振信号を生成する。そして、1ビットステージ28Wは、その生成した発振信号を段数可変分周器769へ出力する。

## 【0605】

そうすると、段数可変分周器763は、F\_\_SEL1 (= F\_\_SEL17 = “0”, F\_\_SEL15 = “0”, F\_\_SEL13 = “0”, F\_\_SEL11 = “0”, F\_\_SEL10 = “0” からなる) に動作を停止する。一方、段数可変分周器769は、選択信号F\_\_SEL2 (= F\_\_SEL16 = “0”, F\_\_SEL14 = “1”, F\_\_SEL12 = “0”, F\_\_SEL10 = “0” からなる) に応じて、1ビットステージ28Wから受けた発振信号を分周器7634~7637によって $2^4$ 回分周し、ノードN<sub>9,4</sub>からNAND回路768および遅延回路770へ出力する。

30

## 【0606】

その後、距離/時間変換回路DT'<sub>1</sub>Bは、発振回路751による発振信号の生成および段数可変分周器763による発振信号の分周と、発振回路752による発振信号の生成および段数可変分周器769による発振信号の分周とを交互に行い、選択器780から発振信号S<sub>1</sub>を分周回路20へ出力する。

## 【0607】

検索データおよび参照データのビット数Kが6ビットからなる場合、距離/時間変換回路DT'<sub>2</sub>(=DT'<sub>1</sub>B)~DT'<sub>R</sub>(=DT'<sub>1</sub>B)も、上述した動作によって、それぞれ、発振信号S<sub>2</sub>~S<sub>R</sub>を生成し、その生成した発振信号S<sub>2</sub>~S<sub>R</sub>を分周回路20へ出力する。

40

## 【0608】

このように、検索データおよび参照データのビット数Kが6ビットからなる場合、パスエンコーダPE'<sub>1</sub>~PE'<sub>R</sub>からそれぞれ距離/時間変換回路DT'<sub>1</sub>(=DT'<sub>1</sub>B)~DT'<sub>R</sub>(=DT'<sub>1</sub>B)へ入力される1ビット目の奇数ビットおよび2ビット目の偶数ビットを上述した方法によって実質的に無視することによって、距離/時間変換回路DT'<sub>1</sub>(=DT'<sub>1</sub>B)~DT'<sub>R</sub>(=DT'<sub>1</sub>B)は、図32に示す回路構成を用い

50

て、それぞれ、発振信号  $S_1 \sim S_R$  を生成して分周回路 20 へ出力する。

【0609】

また、検索データおよび参照データのビット数  $K$  が 4 ビットからなる場合、信号  $SHIFT\_ODDBIT\_SET$ ,  $SHIFT\_evenBIT\_SET$  の各々を連続する 3 つのパルス波形から構成し、信号  $FSEL\_SET$  を連続する 5 つのパルス波形から構成することによって、距離/時間変換回路  $DT'_1 (= DT'_1 B) \sim DT'_R (= DT'_1 B)$  は、上述した方法によって、図 32 に示す回路構成を用いて、それぞれ、発振信号  $S_1 \sim S_R$  を生成して分周回路 20 へ出力する。

【0610】

更に、検索データおよび参照データのビット数  $K$  が 2 ビットからなる場合、信号  $SHIFT\_ODDBIT\_SET$ ,  $SHIFT\_evenBIT\_SET$  の各々を連続する 4 つのパルス波形から構成し、信号  $FSEL\_SET$  を連続する 7 つのパルス波形から構成することによって、距離/時間変換回路  $DT'_1 (= DT'_1 B) \sim DT'_R (= DT'_1 B)$  は、上述した方法によって、図 32 に示す回路構成を用いて、それぞれ、発振信号  $S_1 \sim S_R$  を生成して分周回路 20 へ出力する。

10

【0611】

従って、検索データおよび参照データのビット数  $K$  が 2 ビット、4 ビット、6 ビットおよび 8 ビットのいずれであっても、距離/時間変換回路  $DT'_1 (= DT'_1 B) \sim DT'_R (= DT'_1 B)$  は、上述した方法によって、図 32 に示す回路構成を用いて、それぞれ、発振信号  $S_1 \sim S_R$  を生成して分周回路 20 へ出力できる。

20

【0612】

図 43 は、図 28 に示す距離/時間変換回路の更に他の構成を示すブロック図である。距離/時間変換回路  $DT'_1$  は、図 43 に示す距離/時間変換回路  $DT'_1 C$  からなっている。

【0613】

図 43 を参照して、距離/時間変換回路  $DT'_1 C$  は、図 32 に示す距離/時間変換回路  $DT'_1 B$  のマルチプレクサ  $MU11 \sim MU1W$  をマルチプレクサ  $MU31 \sim MU3W$  に代え、マルチプレクサ  $MU21 \sim MU2W$  をマルチプレクサ  $MU41 \sim MU4W$  に代え、スイッチング制御回路 760 をスイッチング制御回路 760A に代え、選択器 780 を選択器 780A に代えたものであり、その他は、距離/時間変換回路  $DT'_1 B$  と同じである。

30

【0614】

スイッチング制御回路 760A は、図 32 に示すスイッチング制御回路 760 の段数可変分周器 763, 769 をそれぞれ段数可変分周器 763A, 769A に代えたものであり、その他は、スイッチング制御回路 760 と同じである。

【0615】

なお、距離/時間変換回路  $DT'_1 C$  においては、選択信号  $F\_SEL1$ ,  $F\_SEL2$  の各々は、選択信号  $F\_SEL17 \sim F\_SEL10$  からなり、スイッチング回路 765 は、選択信号  $F\_SEL1 (= 選択信号 F\_SEL17 \sim F\_SEL10)$  を段数可変分周器 763A へ出力し、選択信号  $F\_SEL2 (= 選択信号 F\_SEL17 \sim F\_SEL10)$  を段数可変分周器 769A へ出力する。

40

【0616】

マルチプレクサ  $MU31 \sim MU3W$  は、それぞれ、1 ビットステージ 271 ~ 27W に対応して配置される。マルチプレクサ  $MU41 \sim MU4W$  は、それぞれ、1 ビットステージ 281 ~ 28W に対応して配置される。

【0617】

マルチプレクサ  $MU31$  は、 $K$  ビットの距離信号  $M1_1, M2_1, \dots, MK_1$  をバスエンコーダ  $PE'_1$  から受け、遅延回路 764 から信号  $SW\_1$  を受け、連想メモリ 100A の制御回路 (図示せず) から信号  $SHIFT\_ODDBIT\_SET$  および信号  $even$  を受ける。そして、マルチプレクサ  $MU31$  は、信号  $even$  が “1” であるとき、

50

信号SHIFT\_ODDBIT\_SETまたは信号SW\_1が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>1</sub>, M2<sub>1</sub>, …MK<sub>1</sub>のうちの奇数ビットの距離信号M1<sub>1</sub>, M3<sub>1</sub>, M5<sub>1</sub>, …を1個ずつ1ビットステージ271へ順次出力する。また、マルチプレクサMU31は、信号evenが“0”であるとき、信号SHIFT\_ODDBIT\_SETまたは信号SW\_1が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>1</sub>, M2<sub>1</sub>, …MK<sub>1</sub>のうちの偶数ビットの距離信号M2<sub>1</sub>, M4<sub>1</sub>, M6<sub>1</sub>, …を1個ずつ1ビットステージ271へ順次出力する。

【0618】

マルチプレクサMU32は、Kビットの距離信号M1<sub>2</sub>, M2<sub>2</sub>, …MK<sub>2</sub>をパスエンコーダPE'1から受け、遅延回路764から信号SW\_1を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_ODDBIT\_SETおよび信号evenを受ける。そして、マルチプレクサMU32は、信号evenが“1”であるとき、信号SHIFT\_ODDBIT\_SETまたは信号SW\_1が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>2</sub>, M2<sub>2</sub>, …MK<sub>2</sub>のうちの奇数ビットの距離信号M1<sub>2</sub>, M3<sub>2</sub>, M5<sub>2</sub>, …を1個ずつ1ビットステージ272へ順次出力する。また、マルチプレクサMU32は、信号evenが“0”であるとき、信号SHIFT\_ODDBIT\_SETまたは信号SW\_1が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>2</sub>, M2<sub>2</sub>, …MK<sub>2</sub>のうちの偶数ビットの距離信号M2<sub>2</sub>, M4<sub>2</sub>, M6<sub>2</sub>, …を1個ずつ1ビットステージ272へ順次出力する。

【0619】

以下、同様にして、マルチプレクサMU3W-1は、Kビットの距離信号M1<sub>w-1</sub>, M2<sub>w-1</sub>, …MK<sub>w-1</sub>をパスエンコーダPE'1から受け、遅延回路764から信号SW\_1を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_ODDBIT\_SETおよび信号evenを受ける。そして、マルチプレクサMU3W-1は、信号evenが“1”であるとき、信号SHIFT\_ODDBIT\_SETまたは信号SW\_1が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>w-1</sub>, M2<sub>w-1</sub>, …MK<sub>w-1</sub>のうちの奇数ビットの距離信号M1<sub>w-1</sub>, M3<sub>w-1</sub>, M5<sub>w-1</sub>, …を1個ずつ1ビットステージ27W-1へ順次出力する。また、マルチプレクサMU3W-1は、信号evenが“0”であるとき、信号SHIFT\_ODDBIT\_SETまたは信号SW\_1が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>w-1</sub>, M2<sub>w-1</sub>, …MK<sub>w-1</sub>のうちの偶数ビットの距離信号M2<sub>w-1</sub>, M4<sub>w-1</sub>, M6<sub>w-1</sub>, …を1個ずつ1ビットステージ27W-1へ順次出力する。

【0620】

マルチプレクサMU3Wは、Kビットの距離信号M1<sub>w</sub>, M2<sub>w</sub>, …MK<sub>w</sub>をパスエンコーダPE'1から受け、遅延回路764から信号SW\_1を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_ODDBIT\_SETおよび信号evenを受ける。そして、マルチプレクサMU3Wは、信号evenが“1”であるとき、信号SHIFT\_ODDBIT\_SETまたは信号SW\_1が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>w</sub>, M2<sub>w</sub>, …MK<sub>w</sub>のうちの奇数ビットの距離信号M1<sub>w</sub>, M3<sub>w</sub>, M5<sub>w</sub>, …を1個ずつ1ビットステージ27Wへ順次出力する。また、マルチプレクサMU3Wは、信号evenが“0”であるとき、信号SHIFT\_ODDBIT\_SETまたは信号SW\_1が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>w</sub>, M2<sub>w</sub>, …MK<sub>w</sub>のうちの偶数ビットの距離信号M2<sub>w</sub>, M4<sub>w</sub>, M6<sub>w</sub>, …を1個ずつ1ビットステージ27Wへ順次出力する。

【0621】

一方、マルチプレクサMU41は、Kビットの距離信号M1<sub>1</sub>, M2<sub>1</sub>, …MK<sub>1</sub>をパスエンコーダPE'1から受け、遅延回路770から信号SW\_2を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_evenBIT\_SETおよび信号evenを受ける。そして、マルチプレクサMU41は、信号evenが“1”であ

10

20

30

40

50

るとき、信号SHIFT\_\_evenBIT\_\_SETまたは信号SW\_\_2が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>1</sub>, M2<sub>1</sub>, …MK<sub>1</sub>のうちの偶数ビットの距離信号M2<sub>1</sub>, M4<sub>1</sub>, M6<sub>1</sub>, …を1個ずつ1ビットステージ281へ順次出力する。また、マルチプレクサMU41は、信号evenが“0”であるとき、信号SHIFT\_\_evenBIT\_\_SETまたは信号SW\_\_2が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>1</sub>, M2<sub>1</sub>, …MK<sub>1</sub>のうちの奇数ビットの距離信号M1<sub>1</sub>, M3<sub>1</sub>, M5<sub>1</sub>, …を1個ずつ1ビットステージ281へ順次出力する。

【0622】

マルチプレクサMU42は、Kビットの距離信号M1<sub>2</sub>, M2<sub>2</sub>, …MK<sub>2</sub>をパスエンコーダPE'1から受け、遅延回路770から信号SW\_\_2を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_\_evenBIT\_\_SETおよび信号evenを受ける。そして、マルチプレクサMU42は、信号evenが“1”であるとき、信号SHIFT\_\_evenBIT\_\_SETまたは信号SW\_\_2が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>2</sub>, M2<sub>2</sub>, …MK<sub>2</sub>のうちの偶数ビットの距離信号M2<sub>2</sub>, M4<sub>2</sub>, M6<sub>2</sub>, …を1個ずつ1ビットステージ282へ順次出力する。また、マルチプレクサMU42は、信号evenが“0”であるとき、信号SHIFT\_\_evenBIT\_\_SETまたは信号SW\_\_2が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>2</sub>, M2<sub>2</sub>, …MK<sub>2</sub>のうちの奇数ビットの距離信号M1<sub>2</sub>, M3<sub>2</sub>, M5<sub>2</sub>, …を1個ずつ1ビットステージ282へ順次出力する。

【0623】

以下、同様にして、マルチプレクサMU4W-1は、Kビットの距離信号M1<sub>w-1</sub>, M2<sub>w-1</sub>, …MK<sub>w-1</sub>をパスエンコーダPE'1から受け、遅延回路770から信号SW\_\_2を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_\_evenBIT\_\_SETおよび信号evenを受ける。そして、マルチプレクサMU4W-1は、信号evenが“1”であるとき、信号SHIFT\_\_evenBIT\_\_SETまたは信号SW\_\_2が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>w-1</sub>, M2<sub>w-1</sub>, …MK<sub>w-1</sub>のうちの偶数ビットの距離信号M2<sub>w-1</sub>, M4<sub>w-1</sub>, M6<sub>w-1</sub>, …を1個ずつ1ビットステージ28W-1へ順次出力する。また、マルチプレクサMU4W-1は、信号evenが“0”であるとき、信号SHIFT\_\_evenBIT\_\_SETまたは信号SW\_\_2が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>w-1</sub>, M2<sub>w-1</sub>, …MK<sub>w-1</sub>のうちの奇数ビットの距離信号M1<sub>w-1</sub>, M3<sub>w-1</sub>, M5<sub>w-1</sub>, …を1個ずつ1ビットステージ28W-1へ順次出力する。

【0624】

マルチプレクサMU4Wは、Kビットの距離信号M1<sub>w</sub>, M2<sub>w</sub>, …MK<sub>w</sub>をパスエンコーダPE'1から受け、遅延回路770から信号SW\_\_2を受け、連想メモリ100Aの制御回路(図示せず)から信号SHIFT\_\_evenBIT\_\_SETおよび信号evenを受ける。そして、マルチプレクサMU4Wは、信号evenが“1”であるとき、信号SHIFT\_\_evenBIT\_\_SETまたは信号SW\_\_2が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>w</sub>, M2<sub>w</sub>, …MK<sub>w</sub>のうちの偶数ビットの距離信号M2<sub>w</sub>, M4<sub>w</sub>, M6<sub>w</sub>, …を1個ずつ1ビットステージ28Wへ順次出力する。また、マルチプレクサMU4Wは、信号evenが“0”であるとき、信号SHIFT\_\_evenBIT\_\_SETまたは信号SW\_\_2が立ち上がった後に立ち下がるごとに、Kビットの距離信号M1<sub>w</sub>, M2<sub>w</sub>, …MK<sub>w</sub>のうちの奇数ビットの距離信号M1<sub>w</sub>, M3<sub>w</sub>, M5<sub>w</sub>, …を1個ずつ1ビットステージ28Wへ順次出力する。

【0625】

なお、距離/時間変換回路DT'1Cにおいては、信号evenが“1”であるとき、信号SHIFT\_\_ODDBIT\_\_SETのパルス数は、信号SHIFT\_\_evenBIT\_\_SETのパルス数と同じであり、信号evenが“0”であるとき、信号SHIFT\_\_evenBIT\_\_SETのパルス数は、信号SHIFT\_\_ODDBIT\_\_SETのパルス

10

20

30

40

50

数よりも1個多い。

【0626】

選択器780Aは、連想メモリ100Aの制御回路から信号evenを受け、信号out\_\_1を段数可変分周器763Aから受け、信号out\_\_2を段数可変分周器769Aから受ける。

【0627】

そして、選択器780Aは、信号evenが“0”であるとき、信号out\_\_1を発振信号S<sub>1</sub>として分周回路20へ出力する。また、選択器780Aは、信号evenが“1”であるとき、信号out\_\_2を発振信号S<sub>1</sub>として分周回路20へ出力する。

【0628】

なお、距離/時間変換回路DT'<sub>2</sub>~DT'<sub>R</sub>の各々も、図43に示す距離/時間変換回路DT'<sub>1C</sub>からなる。

【0629】

図44は、図43に示すマルチプレクサMU31の回路図である。図44を参照して、マルチプレクサMU31は、図33に示すマルチプレクサMU11に選択器101~104を追加したものであり、その他は、マルチプレクサMU11と同じである。

【0630】

選択器101~104は、それぞれ、ゲート295~298に接続される。選択器101は、1ビット目および2ビット目の距離信号をバスエンコーダPE'<sub>1</sub>からそれぞれ端子in1, in2に受け、連想メモリ100Aの制御回路から信号evenを受ける。そして、選択器101は、信号evenが“1”であるとき、1ビット目の距離信号をゲート295へ出力する。また、選択器101は、信号evenが“0”であるとき、2ビット目の距離信号をゲート295へ出力する。

【0631】

選択器102は、3ビット目および4ビット目の距離信号をバスエンコーダPE'<sub>1</sub>からそれぞれ端子in1, in2に受け、連想メモリ100Aの制御回路から信号evenを受ける。そして、選択器102は、信号evenが“1”であるとき、3ビット目の距離信号をゲート296へ出力する。また、選択器102は、信号evenが“0”であるとき、4ビット目の距離信号をゲート296へ出力する。

【0632】

選択器103は、5ビット目および6ビット目の距離信号をバスエンコーダPE'<sub>1</sub>からそれぞれ端子in1, in2に受け、連想メモリ100Aの制御回路から信号evenを受ける。そして、選択器103は、信号evenが“1”であるとき、5ビット目の距離信号をゲート297へ出力する。また、選択器103は、信号evenが“0”であるとき、6ビット目の距離信号をゲート297へ出力する。

【0633】

選択器104は、7ビット目および8ビット目の距離信号をバスエンコーダPE'<sub>1</sub>からそれぞれ端子in1, in2に受け、連想メモリ100Aの制御回路から信号evenを受ける。そして、選択器104は、信号evenが“1”であるとき、7ビット目の距離信号をゲート298へ出力する。また、選択器104は、信号evenが“0”であるとき、8ビット目の距離信号をゲート298へ出力する。

【0634】

なお、図43に示すマルチプレクサMU32~MU3W, MU41~MU4Wの各々も、図44に示すマルチプレクサMU31と同じ回路図からなる。そして、マルチプレクサMU41~MU4Wの各々において、選択器101~104の各々は、マルチプレクサMU31~MU3Wにおける動作を逆転させた動作を行なう。即ち、マルチプレクサMU41~MU4Wの各々において、選択器101~104の各々は、信号evenが“1”であるとき、端子in2に受けた信号を出力し、信号evenが“0”であるとき、端子in1に受けた信号を出力する。また、マルチプレクサMU41~MU4Wにおいては、OR回路290は、信号SW\_\_2と信号SHIFT\_\_evenBIT\_\_SETとの論理和を

10

20

30

40

50

演算し、その演算した論理和をシフトレジスタ291～294の端子CLKへ出力する。

【0635】

図45は、図43に示す段数可変分周器763Aの回路図である。図45を参照して、段数可変分周器763Aは、図35に示す段数可変分周器763にゲート7644, 7646, 7648を追加したものであり、その他は、段数可変分周器763と同じである。

【0636】

段数可変分周器763Aにおいては、分周器7634およびゲート7644は、分周器7633の出力とインバータ7650の入力との間に直列に接続される。分周器7635およびゲート7645は、分周器7634の出力とインバータ7650の入力との間に直列に接続される。分周器7636およびゲート7646は、分周器7635の出力とインバータ7650の入力との間に直列に接続される。分周器7637およびゲート7647は、分周器7636の出力とインバータ7650の入力との間に直列に接続される。分周器7638およびゲート7648は、分周器7637の出力とインバータ7650の入力との間に直列に接続される。分周器7639およびゲート7649は、分周器7638の出力とインバータ7650の入力との間に直列に接続される。

10

【0637】

ゲート7644, 7646, 7648は、スイッチング回路765からそれぞれ選択信号F\_\_SEL12, F\_\_SEL14, F\_\_SEL16を受け、その受けた選択信号F\_\_SEL12, F\_\_SEL14, F\_\_SEL16によって開閉される。より具体的には、ゲート7644, 7646, 7648は、それぞれ、“1”からなる選択信号F\_\_SEL12, F\_\_SEL14, F\_\_SEL16によって開き、“0”からなる選択信号F\_\_SEL12, F\_\_SEL14, F\_\_SEL16によって閉じる。

20

【0638】

段数可変分周器763Aが駆動される時、“0”からなる信号F\_\_factがNOR回路7631へ入力され、“0”からなる検索開始信号SBおよび“1”からなる反転信号/SBが分周器7634～7639へ入力される。

【0639】

そして、段数可変分周器763Aは、“1”からなる選択信号F\_\_SEL11をゲート7643に受けると、NOR回路7631から受けた信号CH\_\_out(発振信号)を分周器7633によって2回分周してノードN<sub>9,4</sub>から遅延回路764およびフリップフロップ766へ出力する。

30

【0640】

また、段数可変分周器763Aは、“1”からなる選択信号F\_\_SEL12をゲート7644に受けると、NOR回路7631から受けた信号CH\_\_out(発振信号)を分周器7633, 7634によって2<sup>2</sup>回分周してノードN<sub>9,4</sub>から遅延回路764およびフリップフロップ766へ出力する。

【0641】

更に、段数可変分周器763Aは、“1”からなる選択信号F\_\_SEL13をゲート7645に受けると、NOR回路7631から受けた信号CH\_\_out(発振信号)を分周器7633～7635によって2<sup>3</sup>回分周してノードN<sub>9,4</sub>から遅延回路764およびフリップフロップ766へ出力する。

40

【0642】

更に、段数可変分周器763Aは、“1”からなる選択信号F\_\_SEL14をゲート7646に受けると、NOR回路7631から受けた信号CH\_\_out(発振信号)を分周器7633～7636によって2<sup>4</sup>回分周してノードN<sub>9,4</sub>から遅延回路764およびフリップフロップ766へ出力する。

【0643】

更に、段数可変分周器763Aは、“1”からなる選択信号F\_\_SEL15をゲート7647に受けると、NOR回路7631から受けた信号CH\_\_out(発振信号)を分周器7633～7637によって2<sup>5</sup>回分周してノードN<sub>9,4</sub>から遅延回路764およびフ

50

リップフロップ 766 へ出力する。

【0644】

更に、段数可変分周器 763A は、“1” からなる選択信号 F\_\_SEL16 をゲート 7648 に受けると、NOR 回路 7631 から受けた信号 CH\_\_out (発振信号) を分周器 7633 ~ 7638 によって  $2^6$  回分周してノード  $N_{9,4}$  から遅延回路 764 およびリップフロップ 766 へ出力する。

【0645】

更に、段数可変分周器 763A は、“1” からなる選択信号 F\_\_SEL17 をゲート 7649 に受けると、NOR 回路 7631 から受けた信号 CH\_\_out (発振信号) を分周器 7633 ~ 7639 によって  $2^7$  回分周してノード  $N_{9,4}$  から遅延回路 764 およびリップフロップ 766 へ出力する。

10

【0646】

その結果、段数可変分周器 763A は、“1” からなる選択信号 F\_\_SEL11 ~ F\_\_SEL17 をそれぞれゲート 7643 ~ 7649 に受けることによって、発振信号をそれぞれ  $2, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7$  回分周して遅延回路 764 およびリップフロップ 766 へ出力する。

【0647】

そして、段数可変分周器 763A は、“1” からなる選択信号 F\_\_SEL10 をゲート 7641 に受けると、ノード  $N_{9,3}$  から発振信号を分周回路 20 へ出力する。

【0648】

このように、段数可変分周器 763A は、選択信号 F\_\_SEL11 ~ F\_\_SEL17 によって分周回数を切り換えて発振信号を分周する。

20

【0649】

なお、図 43 に示す段数可変分周器 769A も、図 45 に示す段数可変分周器 763A と同じ回路図からなる。

【0650】

距離/時間変換回路  $DT'_{1,C}$  を備えた連想メモリ 100A における検索が開始されると、ユニット比較回路  $UC'_{1,1} \sim UC'_{1,W}$  は、W 個の参照データと検索データとの間の距離信号  $M1_1 M2_1 \dots MK_1, M1_2 M2_2 \dots MK_2, \dots, M1_W M2_W \dots MK_W$  をパスエンコーダ  $PE'_1$  へ出力する。ユニット比較回路  $UC'_{2,1} \sim UC'_{2,W}, \dots, UC'_{R,1} \sim UC'_{R,W}$  も、同様に、距離信号  $M1_1 M2_1 \dots MK_1, M1_2 M2_2 \dots MK_2, \dots, M1_W M2_W \dots MK_W$  をそれぞれパスエンコーダ  $PE'_2 \sim PE'_R$  へ出力する。

30

【0651】

パスエンコーダ  $PE'_1$  は、上述した方法によって、距離信号  $M1_1 M2_1 \dots MK_1, M1_2, M2_2 \dots MK_2, \dots, M1_W M2_W \dots MK_W$  に基づいて、距離信号  $M1_1 M1_2 \dots M1_W, M2_1 M2_2 \dots M2_W, \dots, MK_1 MK_2 \dots MK_W$  を生成する。そして、パスエンコーダ  $PE'_1$  は、距離信号  $M1_1 M1_2 \dots M1_W$ 、距離信号  $M2_1 M2_2 \dots M2_W$ 、 $\dots$ 、距離信号  $MK_1 MK_2 \dots MK_W$  をそれぞれマルチプレクサ  $MU3_1 \sim MU3_W$  へ順次出力し、距離信号  $M1_1 M1_2 \dots M1_W$ 、距離信号  $M2_1 M2_2 \dots M2_W$ 、 $\dots$ 、距離信号  $MK_1 MK_2 \dots MK_W$  をそれぞれマルチプレクサ  $MU4_1 \sim MU4_W$  へ順次出力する。パスエンコーダ  $PE'_2 \sim PE'_R$  についても同様である。

40

【0652】

距離/時間変換回路  $DT'_{1,C}$  (= 距離/時間変換回路  $DT'_{1,C}$ ) において、マルチプレクサ  $MU3_1$  は、距離信号  $M1_1, M2_1, M3_1, M4_1, M5_1, \dots, MK_1$  を順次受け、マルチプレクサ  $MU3_2$  は、距離信号  $M1_2, M2_2, M3_2, M4_2, M5_2, \dots, MK_2$  を順次受け、以下、同様にして、マルチプレクサ  $MU3_W - 1$  は、距離信号  $M1_{W-1}, M2_{W-1}, M3_{W-1}, M4_{W-1}, M5_{W-1}, \dots, MK_{W-1}$  を順次受け、マルチプレクサ  $MU3_W$  は、距離信号  $M1_W, M2_W, M3_W, M4$

50



$w$ ,  $M5_w$ ,  $\dots$ ,  $MK_w$  を順次受ける。

【0653】

また、マルチプレクサ  $MU4_1 \sim MU4_w$  は、それぞれ、マルチプレクサ  $MU3_1 \sim MU3_w$  と同じ距離信号を順次受ける。

【0654】

更に、マルチプレクサ  $MU3_1 \sim MU3_w$ ,  $MU4_1 \sim MU4_w$  およびスイッチング回路 765 は、“1” からなる信号  $even$  を連想メモリ 100A の制御回路から受ける。

【0655】

マルチプレクサ  $MU3_1$  においては、選択器 101 は、1ビット目の距離信号  $M1_1$  および2ビット目の距離信号  $M2_1$  を受け、選択器 102 は、3ビット目の距離信号  $M3_1$  および4ビット目の距離信号  $M4_1$  を受け、選択器 103 は、5ビット目の距離信号  $M5_1$  および6ビット目の距離信号  $M6_1$  を受け、選択器 104 は、7ビット目の距離信号  $M7_1$  および8ビット目の距離信号  $M8_1$  を受ける。そして、選択器 101 ~ 104 は、“1” からなる信号  $even$  を受けているので、それぞれ、1ビット目の距離信号  $M1_1$ 、3ビット目の距離信号  $M3_1$ 、5ビット目の距離信号  $M5_1$  および7ビット目の距離信号  $M7_1$  をそれぞれゲート 295 ~ 298 へ出力する。

【0656】

一方、ゲート 295 は、“1” からなる信号  $EN1_1$  をシフトレジスタ 291 から受けるので、マルチプレクサ  $MU3_1$  は、1ビット目の距離信号  $M1_1$  を1ビットステージ 271 へ出力する。また、ゲート 296 ~ 298 は、それぞれ、“0” からなる信号  $EN1_2 \sim EN1_4$  をシフトレジスタ 292 ~ 294 から受けるので、何も出力しない。その結果、マルチプレクサ  $MU3_1$  は、1ビット目の距離信号  $M1_1$  を1ビットステージ 271 へ出力する。マルチプレクサ  $MU3_2 \sim MU3_w$  も、同様に、それぞれ、1ビット目の距離信号  $M1_2 \sim M1_w$  を1ビットステージ 272 ~ 27w へ出力する。

【0657】

また、マルチプレクサ  $MU4_1 \sim MU4_w$  も、同様に、それぞれ、1ビット目の距離信号  $M1_1 \sim M1_w$  を1ビットステージ 281 ~ 28w へ出力する。

【0658】

その後、“1” からなるイネーブル信号  $EN$  が  $EN$  選択回路 761 へ入力されると、選択器 7611 は、信号  $SW\_1$  が“0” からなるので、“1” からなるイネーブル信号  $EN$  を  $OR$  回路 7613 へ出力し、 $OR$  回路 7613 は、端子  $EN2$  に受ける信号  $EN\_1$  が“0” からなるので、“1” からなるイネーブル信号  $EN$  を  $NAND$  回路 762 へ出力する。

【0659】

そして、 $NAND$  回路 762 は、“1” からなるイネーブル信号  $EN$  を  $EN$  選択回路 761 から受け、“0” からなる信号  $CH\_1\_out$  を段数可変分周器 763A から受ける。そうすると、 $NAND$  回路 762 は、“1” からなるイネーブル信号  $EN$  と、“0” からなる信号  $CH\_1\_out$  との論理積を演算し、その演算した論理積を反転し、“1” からなる信号を1ビットステージ 271 へ出力する。

【0660】

1ビットステージ 271 は、距離信号  $M1_1$  によって選択された遅延経路を用いて“1” からなる信号を遅延し、その遅延した信号を1ビットステージ 272 へ出力する。そして、1ビットステージ 272 ~ 27w は、それぞれ、距離信号  $M1_2 \sim M1_w$  によって選択された遅延経路を用いて、1ビットステージ 271 ~ 27w - 1 からの出力信号を遅延して出力する。そして、1ビットステージ 27w は、出力信号  $CH\_1\_out$  を段数可変分周器 763A のノード  $N_{g_1}$ ,  $N_{g_2}$  を介して  $NAND$  回路 762 へ出力し、 $NAND$  回路 762 は、“1” からなるイネーブル信号  $EN$  と、信号  $CH\_1\_out$  との論理積を演算し、その演算した論理積を反転して1ビットステージ 271 へ出力する。

【0661】

その結果、1ビットステージ 271 ~ 27w は、段数可変分周器 763A および  $NAN$

10

20

30

40

50

D回路762を介してリング状に接続され、発振信号を発振する。この場合、発振回路752は、上述したように、休止状態である。

【0662】

そして、スイッチング回路765において、シフトレジスタ7652は、信号FSEL\_\_SETが立ち上がった後に立ち下がると、選択信号F\_\_SEL17 = “1” および選択信号F\_\_SEL16 ~ F\_\_SEL10 = “0” をセレクタ7654, 7655へ出力する。また、セレクタ7654, 7655は、“1” からなる信号evenを連想メモリ100Aの制御回路から受ける。

【0663】

セレクタ7654は、選択信号F\_\_SEL17 = “1” および選択信号F\_\_SEL16 ~ F\_\_SEL10 = “0” と、“1” からなる信号evenとに基づいて、選択信号F\_\_SEL17 = “1”, F\_\_SEL16 = F\_\_SEL15 = F\_\_SEL14 = F\_\_SEL13 = F\_\_SEL12 = F\_\_SEL11 = F\_\_SEL10 = “0” を段数可変分周器763Aへ出力する。

【0664】

また、セレクタ7655は、選択信号F\_\_SEL17 = “1” および選択信号F\_\_SEL16 ~ F\_\_SEL10 = “0” と、“1” からなる信号evenとに基づいて、選択信号F\_\_SEL17 = F\_\_SEL16 = F\_\_SEL15 = F\_\_SEL14 = F\_\_SEL13 = F\_\_SEL12 = F\_\_SEL11 = F\_\_SEL10 = “0” を段数可変分周器769Aへ出力する。

【0665】

そうすると、段数可変分周器763Aは、選択信号F\_\_SEL17 = “1”, F\_\_SEL16 = F\_\_SEL15 = F\_\_SEL14 = F\_\_SEL13 = F\_\_SEL12 = F\_\_SEL11 = F\_\_SEL10 = “0” をスイッチング回路765から受け、ゲート7641, 7643 ~ 7648が閉じ、ゲート7649のみが開く。

【0666】

その結果は、発振回路751から出力された発振信号CH\_\_1\_\_outは、分周器7633 ~ 7639によって $2^7$ 回分周され、段数可変分周器763Aは、 $2^7$ 回分周後の信号Freq\_\_out\_\_1をノードN<sub>9,4</sub>から遅延回路764およびフリップフロップ766へ出力する。

【0667】

そして、遅延回路764は、信号Freq\_\_out\_\_1を だけ遅延して信号SW\_\_1を生成し、その生成した信号SW\_\_1をEN選択回路761、マルチプレクサMU31 ~ MU3W、スイッチング回路765およびフリップフロップ767へ出力する。

【0668】

その後、マルチプレクサMU31 ~ MU3Wは、信号SW\_\_1を受ける。そして、信号SW\_\_1が、立ち上がった後に立ち下がると、シフトレジスタ292は、“1” からなる信号EN12をゲート296へ出力し、シフトレジスタ291, 293, 294は、それぞれ、“0” からなる信号EN11, EN13, EN14をゲート295, 297, 298へ出力する。その結果、マルチプレクサMU31は、3ビット目の距離信号M3<sub>1</sub>を1ビットステージ271へ出力する。マルチプレクサMU32 ~ MU3Wも、同様に、それぞれ3ビット目の距離信号M3<sub>2</sub> ~ M3<sub>w</sub>を1ビットステージ272 ~ 27Wへ出力する。

【0669】

一方、フリップフロップ766は、信号Freq\_\_out\_\_1を段数可変分周器763Aから受けると、信号SW\_\_2が“0” からなるので、信号Freq\_\_out\_\_1に基づいて信号EN\_\_2を生成してNAND回路768へ出力する。

【0670】

NAND回路768は、フリップフロップ766からの信号EN\_\_2と、段数可変分周器769Aからの信号CH\_\_2\_\_out (= “0”)との論理積を演算し、その演算した

10

20

30

40

50

論理積を反転して“1”からなる信号を1ビットステージ281へ出力する。

【0671】

また、マルチプレクサMU41~MU4Wは、それぞれ、2ビット目の距離信号M2<sub>1</sub>~M2<sub>w</sub>を1ビットステージ281~28Wへ出力する。

【0672】

そして、1ビットステージ281~28Wは、それぞれ、マルチプレクサMU41~MU4Wから2ビット目の距離信号M2<sub>1</sub>~M2<sub>w</sub>を受け、NAND回路768からの信号を2ビット目の距離信号M2<sub>1</sub>~M2<sub>w</sub>に応じた遅延経路によって遅延して発振信号CH\_\_2\_\_outを発振し、その発振した発振信号CH\_\_2\_\_outを段数可変分周器769Aへ出力する。この場合、発振回路751は、上述したように、休止状態である。

10

【0673】

一方、スイッチング回路765のシフトレジスタ7652は、信号SW\_\_1が立ち下ると、選択信号F\_\_SEL16=“1”，F\_\_SEL17=F\_\_SEL15~F\_\_SEL10=“0”をセレクタ7654,7655へ出力する。

【0674】

また、セレクタ7654は、選択信号F\_\_SEL16=“1”，F\_\_SEL17=F\_\_SEL15~F\_\_SEL10=“0”および“1”からなる信号evenに基づいて、選択信号F\_\_SEL16=“1”，F\_\_SEL17=F\_\_SEL15=F\_\_SEL14=F\_\_SEL13=F\_\_SEL12=F\_\_SEL11=SEL10=“0”を段数可変分周器763Aへ出力する。更に、セレクタ7655は、選択信号F\_\_SEL16=“1”，F\_\_SEL17=F\_\_SEL15~F\_\_SEL10=“0”および“1”からなる信号evenに基づいて、選択信号F\_\_SEL16=“1”および選択信号F\_\_SEL17=F\_\_SEL15=F\_\_SEL14=F\_\_SEL13=F\_\_SEL12=F\_\_SEL11=SEL10=“0”を段数可変分周器769Aへ出力する。

20

【0675】

そうすると、段数可変分周器769Aは、選択信号F\_\_SEL16=“1”および選択信号F\_\_SEL17=F\_\_SEL15=F\_\_SEL14=F\_\_SEL13=F\_\_SEL12=F\_\_SEL11=SEL10=“0”を受け、ゲート7641,7643~7647,7649が閉じ、ゲート7648のみが開く。

【0676】

そして、段数可変分周器769Aは、発振信号CH\_\_2\_\_outを6個の分周器7633~7638によって2<sup>6</sup>回分周し、ノードN<sub>9,4</sub>から信号Freq\_\_out\_\_2をフリップフロップ767および遅延回路770へ出力する。

30

【0677】

遅延回路770は、信号Freq\_\_out\_\_2をだけ遅延して信号SW\_\_2をマルチプレクサMU41~MU4W、スイッチング回路765およびフリップフロップ766へ出力する。

【0678】

マルチプレクサMU41~MU4Wは、信号SW\_\_2を受ける。そして、信号SW\_\_2が、立ち上がった後に立ち下ると、シフトレジスタ292は、“1”からなる信号EN12をゲート296へ出力し、シフトレジスタ291,293,294は、それぞれ、“0”からなる信号EN11,EN13,EN14をゲート295,297,298へ出力する。その結果、マルチプレクサMU41は、4ビット目の距離信号M4<sub>1</sub>を1ビットステージ281へ出力する。マルチプレクサMU42~MU4Wも、同様にして、それぞれ4ビット目の距離信号M4<sub>2</sub>~M4<sub>w</sub>を1ビットステージ282~28Wへ出力する。

40

【0679】

一方、フリップフロップ767は、信号Freq\_\_out\_\_2を受けると、その受けた信号Freq\_\_out\_\_2に基づいて、信号EN\_\_1を生成し、その生成した信号EN\_\_1をEN選択回路761へ出力する。

【0680】

50

そして、信号  $SW\_1 = "0"$  であるので、選択器 7611 は、“0”からなる信号を OR 回路 7613 へ出力し、OR 回路 7613 は、“0”からなる信号と、“1”からなる信号  $EN\_1$  とに基づいて、“1”からなる信号  $EN\_1$  を NAND 回路 762 へ出力する。

【0681】

そして、NAND 回路 762 は、“1”からなる信号  $EN\_1$  と、段数可変分周器 763A からの信号  $CH\_1\_out (= "0")$  との論理積を演算し、その演算した論理積を反転した“1”からなる信号を 1 ビットステージ 271 へ出力する。

【0682】

1 ビットステージ 271 ~ 27W は、それぞれ、マルチプレクサ  $MU11 \sim MU1W$  から 3 ビット目の距離信号  $M3_1 \sim M3_W$  を受けている。

【0683】

従って、1 ビットステージ 271 ~ 27W は、それぞれ、3 ビット目の距離信号  $M3_1 \sim M3_W$  によって選択された遅延経路を用いて信号を遅延し、発振信号  $CH\_1\_out$  を発振し、その発振した発振信号  $CH\_1\_out$  を段数可変分周器 763A へ出力する。この場合、発振回路 752 は、上述したように、休止状態である。

【0684】

一方、スイッチング回路 765 のシフトレジスタ 7652 は、信号  $SW\_2$  が立ち下ると、選択信号  $F\_SEL15 = "1"$  ,  $F\_SEL17 = F\_SEL16 = F\_SEL14 \sim F\_SEL10 = "0"$  をセレクタ 7654 , 7655 へ出力する。

【0685】

セレクタ 7654 は、選択信号  $F\_SEL15 = "1"$  ,  $F\_SEL17 = F\_SEL16 = F\_SEL14 \sim F\_SEL10 = "0"$  および“1”からなる信号  $even$  に基づいて、選択信号  $F\_SEL15 = "1"$  および選択信号  $F\_SEL17 = F\_SEL16 = F\_SEL14 = F\_SEL13 = F\_SEL12 = F\_SEL11 = SEL10 = "0"$  を段数可変分周器 763A へ出力する。また、セレクタ 7655 は、選択信号  $F\_SEL15 = "1"$  ,  $F\_SEL17 = F\_SEL16 = F\_SEL14 \sim F\_SEL10 = "0"$  および“1”からなる信号  $even$  に基づいて、選択信号  $F\_SEL15 = "1"$  および選択信号  $F\_SEL17 = F\_SEL16 = F\_SEL14 = F\_SEL13 = F\_SEL12 = F\_SEL11 = SEL10 = "0"$  を段数可変分周器 769A へ出力する。

【0686】

そうすると、段数可変分周器 763A は、選択信号  $F\_SEL15 = "1"$  および選択信号  $F\_SEL17 = F\_SEL16 = F\_SEL14 = F\_SEL13 = F\_SEL12 = F\_SEL11 = SEL10 = "0"$  を受け、ゲート 7641 , 7643 ~ 7646 , 7648 , 7649 が閉じ、ゲート 7647 のみが開く。

【0687】

そして、段数可変分周器 763A は、発振信号  $CH\_1\_out$  を 5 個の分周器 7633 ~ 7637 によって  $2^5$  回分周し、信号  $Freq\_out\_1$  をノード  $N_{9,4}$  から遅延回路 764 およびフリップフロップ 766 へ出力する。

【0688】

遅延回路 764 は、信号  $Freq\_out\_1$  を だけ遅延して信号  $SW\_1$  をマルチプレクサ  $MU31 \sim MU3W$ 、EN 選択回路 761、スイッチング回路 765A およびフリップフロップ 767 へ出力する。

【0689】

以後、上述した動作が繰り返し行われ、発振回路 751 , 752 は、交互に発振信号を発振し、段数可変分周器 763A は、発振回路 751 からの発振信号を  $2^7$  回、 $2^5$  回、 $2^3$  回、および 2 回分周し、段数可変分周器 769A は、発振回路 752 からの発振信号を  $2^6$  回、 $2^4$  回、 $2^2$  回および 1 回分周する。そして、段数可変分周器 769A における分周が終了すると、スイッチング回路 765 は、選択信号  $F\_SEL17 \sim F\_SEL$

10

20

30

40

50

11 = “0” および選択信号  $F\_SEL10 = “1”$  を段数可変分周器 763A, 769A へ出力する。

【0690】

そうすると、段数可変分周器 763A は、選択信号  $F\_SEL17 \sim F\_SEL11 = “0”$  および選択信号  $F\_SEL10 = “1”$  に基づいて、 $2^7$  回、 $2^5$  回、 $2^3$  回、および 2 回分周を順次実行した後の発振信号を信号  $out\_1$  として選択器 780A へ出力する。また、段数可変分周器 769A は、選択信号  $F\_SEL17 \sim F\_SEL11 = “0”$  および選択信号  $F\_SEL10 = “1”$  に基づいて、 $2^6$  回、 $2^4$  回、 $2^2$  回および 1 回分周を順次実行した後の発振信号を信号  $out\_2$  として選択器 780A へ出力する。

10

【0691】

そして、選択器 780A は、“1” からなる信号  $even$  に応じて、信号  $out\_2$  を選択し、その選択した信号  $out\_2$  を発振信号  $S_1$  として分周回路 20 へ出力する。

【0692】

なお、距離/時間変換回路  $DT'_2 \sim DT'_R$  の各々も、上述した動作を実行し、それぞれ、発振信号  $S_2 \sim S_R$  を分周回路 20 へ出力する。

【0693】

分周回路 20 および時間領域 WTA 回路 30 における動作は、上述したとおりである。

【0694】

上記においては、K ビットの距離信号が 8 ビットである場合について説明したが、距離/時間変換回路  $DT'_1C$  を備えた連想メモリ 100A は、8 ビットの距離信号に限らず、マンハッタン距離が 7 ビット、6 ビット、5 ビット、4 ビット、3 ビットおよび 2 ビットのいずれであっても、検索データに類似する参照データを検索できる。

20

【0695】

そして、マンハッタン距離が 8 ビット、7 ビット、6 ビット、5 ビット、4 ビット、3 ビットおよび 2 ビットのいずれであるかは、信号  $SHIFT\_ODDBIT\_SET$  および信号  $SHIFT\_evenBIT\_SET$  のパルス数によって設定される。

【0696】

以下、具体的に説明する。

【0697】

マンハッタン距離が 8 ビット、6 ビット、4 ビットおよび 2 ビットである場合、信号  $even$  は、“1” からなり、信号  $SHIFT\_ODDBIT\_SET$  および信号  $SHIFT\_evenBIT\_SET$  のパルス数は、それぞれ、1 個、2 個、3 個および 4 個からなる。即ち、マンハッタン距離が偶数のビット数からなる場合、信号  $SHIFT\_evenBIT\_SET$  のパルス数は、信号  $SHIFT\_ODDBIT\_SET$  のパルス数と同じである。

30

【0698】

また、マンハッタン距離が 7 ビット、5 ビット、3 ビットである場合、信号  $even$  は、“0” からなり、信号  $SHIFT\_ODDBIT\_SET$  のパルス数は、それぞれ、1 個、2 個および 3 個からなり、信号  $SHIFT\_evenBIT\_SET$  のパルス数は、それぞれ、2 個、3 個および 4 個からなる。即ち、マンハッタン距離が奇数のビット数からなる場合、信号  $SHIFT\_evenBIT\_SET$  のパルス数は、信号  $SHIFT\_ODDBIT\_SET$  のパルス数よりも 1 個だけ多い。

40

【0699】

マンハッタン距離が 8 ビットである場合、信号  $even$  が “1” であり、信号  $SHIFT\_ODDBIT\_SET$  および信号  $SHIFT\_evenBIT\_SET$  のパルス数は、1 個である。この場合、上述した動作によって検索データに類似する参照データを検索できる。

【0700】

[マンハッタン距離が 7 ビットである場合の検索]

50

マンハッタン距離が7ビットである場合、信号evenは、“0”からなり、信号SHIFT\_ODDBIT\_SETのパルス数が1個であり、信号SHIFT\_evenBIT\_SETのパルス数が2個である。そして、マルチプレクサMU31~MU3Wは、“0”からなる信号evenおよびパルス数が1個の信号SHIFT\_ODDBIT\_SETに応じて、2ビット目の距離信号、4ビット目の距離信号、6ビット目の距離信号および8ビット目の距離信号をそれぞれ1ビットステージ271~27Wへ順次出力する。

【0701】

一方、マルチプレクサMU41~MU4Wは、“0”からなる信号evenおよびパルス数が2個の信号SHIFT\_evenBIT\_SETに応じて、3ビット目、5ビット目および7ビット目の距離信号をそれぞれ1ビットステージ281~28Wへ順次出力する。この場合、マルチプレクサMU41~MU4Wの各々においては、シフトレジスタ291は、2個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサMU41~MU4Wは、3ビット目、5ビット目および7ビット目の距離信号をそれぞれ1ビットステージ281~28Wへ順次出力することになる。

10

【0702】

従って、マンハッタン距離が7ビットである場合、上述した動作によって検索データに類似する参照データを検索できる。この場合、選択器780Aは、“0”からなる信号evenに応じて、段数可変分周器763Aからの信号out\_1を発振信号S<sub>1</sub>として分周回路20へ出力する。

20

【0703】

[マンハッタン距離が6ビットである場合の検索]

マンハッタン距離が6ビットである場合、信号evenは、“1”からなり、信号SHIFT\_ODDBIT\_SETおよび信号SHIFT\_evenBIT\_SETのパルス数が2個である。そして、マルチプレクサMU31~MU3Wは、“1”からなる信号evenおよびパルス数が2個の信号SHIFT\_ODDBIT\_SETに応じて、3ビット目の距離信号、5ビット目の距離信号および7ビット目の距離信号をそれぞれ1ビットステージ271~27Wへ順次出力する。この場合、マルチプレクサMU31~MU3Wの各々においては、シフトレジスタ291は、2個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサMU31~MU3Wは、3ビット目の距離信号、5ビット目の距離信号および7ビット目の距離信号をそれぞれ1ビットステージ271~27Wへ順次出力することになる。

30

【0704】

一方、マルチプレクサMU41~MU4Wは、“1”からなる信号evenおよびパルス数が2個の信号SHIFT\_evenBIT\_SETに応じて、4ビット目、6ビット目および8ビット目の距離信号をそれぞれ1ビットステージ281~28Wへ順次出力する。この場合、マルチプレクサMU41~MU4Wの各々においては、シフトレジスタ291は、2個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサMU41~MU4Wは、4ビット目、6ビット目および8ビット目の距離信号をそれぞれ1ビットステージ281~28Wへ順次出力することになる。

40

【0705】

従って、マンハッタン距離が6ビットである場合、上述した動作によって検索データに類似する参照データを検索できる。この場合、選択器780Aは、“1”からなる信号evenに応じて、段数可変分周器769Aからの信号out\_2を発振信号S<sub>1</sub>として分周回路20へ出力する。

【0706】

[マンハッタン距離が5ビットである場合の検索]

マンハッタン距離が5ビットである場合、信号evenは、“0”からなり、信号SHIFT\_ODDBIT\_SETのパルス数が2個であり、信号SHIFT\_evenBIT\_SETのパルス数が3個である。そして、マルチプレクサMU31~MU3Wは、“0”からなる信号evenおよびパルス数が2個の信号SHIFT\_ODDBIT\_SE

50

Tに応じて、4ビット目の距離信号、6ビット目の距離信号および8ビット目の距離信号をそれぞれ1ビットステージ271～27Wへ順次出力する。この場合、マルチプレクサMU31～MU3Wの各々においては、シフトレジスタ291は、2個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサMU31～MU3Wは、4ビット目の距離信号、6ビット目の距離信号および8ビット目の距離信号をそれぞれ1ビットステージ271～27Wへ順次出力することになる。

#### 【0707】

一方、マルチプレクサMU41～MU4Wは、“0”からなる信号evenおよびパルス数が3個の信号SHIFT\_\_evenBIT\_\_SETに応じて、5ビット目および7ビット目の距離信号をそれぞれ1ビットステージ281～28Wへ順次出力する。この場合、マルチプレクサMU41～MU4Wの各々においては、シフトレジスタ291, 292は、3個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサMU41～MU4Wは、5ビット目および7ビット目の距離信号をそれぞれ1ビットステージ281～28Wへ順次出力することになる。

10

#### 【0708】

従って、マンハッタン距離が5ビットである場合、上述した動作によって検索データに類似する参照データを検索できる。この場合、選択器780Aは、“0”からなる信号evenに応じて、段数可変分周器763Aからの信号out\_\_1を発振信号S<sub>1</sub>として分周回路20へ出力する。

20

#### 【0709】

[マンハッタン距離が4ビットである場合の検索]

マンハッタン距離が4ビットである場合、信号evenは、“1”からなり、信号SHIFT\_\_ODDBIT\_\_SETおよび信号SHIFT\_\_evenBIT\_\_SETのパルス数が3個である。そして、マルチプレクサMU31～MU3Wは、“1”からなる信号evenおよびパルス数が3個の信号SHIFT\_\_ODDBIT\_\_SETに応じて、5ビット目の距離信号および7ビット目の距離信号をそれぞれ1ビットステージ271～27Wへ順次出力する。この場合、マルチプレクサMU31～MU3Wの各々においては、シフトレジスタ291, 292は、3個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサMU31～MU3Wは、5ビット目の距離信号および7ビット目の距離信号をそれぞれ1ビットステージ271～27Wへ順次出力することになる。

30

#### 【0710】

一方、マルチプレクサMU41～MU4Wは、“1”からなる信号evenおよびパルス数が3個の信号SHIFT\_\_evenBIT\_\_SETに応じて、6ビット目および8ビット目の距離信号をそれぞれ1ビットステージ281～28Wへ順次出力する。この場合、マルチプレクサMU41～MU4Wの各々においては、シフトレジスタ291, 292は、3個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサMU41～MU4Wは、6ビット目および8ビット目の距離信号をそれぞれ1ビットステージ281～28Wへ順次出力することになる。

#### 【0711】

従って、マンハッタン距離が4ビットである場合、上述した動作によって検索データに類似する参照データを検索できる。この場合、選択器780Aは、“1”からなる信号evenに応じて、段数可変分周器769Aからの信号out\_\_2を発振信号S<sub>1</sub>として分周回路20へ出力する。

40

#### 【0712】

[マンハッタン距離が3ビットである場合の検索]

マンハッタン距離が3ビットである場合、信号evenは、“0”からなり、信号SHIFT\_\_ODDBIT\_\_SETのパルス数が3個であり、信号SHIFT\_\_evenBIT\_\_SETのパルス数が4個である。そして、マルチプレクサMU31～MU3Wは、“0”からなる信号evenおよびパルス数が3個の信号SHIFT\_\_ODDBIT\_\_SETに応じて、6ビット目の距離信号および8ビット目の距離信号をそれぞれ1ビットステ

50

ージ 271 ~ 27W へ順次出力する。この場合、マルチプレクサ MU31 ~ MU3W の各々においては、シフトレジスタ 291, 292 は、3 個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサ MU31 ~ MU3W は、6 ビット目の距離信号および 8 ビット目の距離信号をそれぞれ 1 ビットステージ 271 ~ 27W へ順次出力することになる。

#### 【0713】

一方、マルチプレクサ MU41 ~ MU4W は、“0” からなる信号 even およびパルス数が 4 個の信号 SHIFT\_\_evenBIT\_\_SET に応じて、7 ビット目の距離信号をそれぞれ 1 ビットステージ 281 ~ 28W へ出力する。この場合、マルチプレクサ MU41 ~ MU4W の各々においては、シフトレジスタ 291 ~ 293 は、3 個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサ MU41 ~ MU4W は、7 ビット目の距離信号をそれぞれ 1 ビットステージ 281 ~ 28W へ出力することになる。

10

#### 【0714】

従って、マンハッタン距離が 3 ビットである場合、上述した動作によって検索データに類似する参照データを検索できる。この場合、選択器 780A は、“0” からなる信号 even に応じて、段数可変分周器 763A からの信号 out\_\_1 を発振信号 S<sub>1</sub> として分周回路 20 へ出力する。

#### 【0715】

[マンハッタン距離が 2 ビットである場合の検索]

マンハッタン距離が 2 ビットである場合、信号 even は、“1” からなり、信号 SHIFT\_\_ODDBIT\_\_SET および信号 SHIFT\_\_evenBIT\_\_SET のパルス数が 4 個である。そして、マルチプレクサ MU31 ~ MU3W は、“1” からなる信号 even およびパルス数が 4 個の信号 SHIFT\_\_ODDBIT\_\_SET に応じて、7 ビット目の距離信号をそれぞれ 1 ビットステージ 271 ~ 27W へ出力する。この場合、マルチプレクサ MU31 ~ MU3W の各々においては、シフトレジスタ 291 ~ 293 は、4 個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサ MU31 ~ MU3W は、7 ビット目の距離信号をそれぞれ 1 ビットステージ 271 ~ 27W へ出力することになる。

20

#### 【0716】

一方、マルチプレクサ MU41 ~ MU4W は、“1” からなる信号 even およびパルス数が 4 個の信号 SHIFT\_\_evenBIT\_\_SET に応じて、8 ビット目の距離信号をそれぞれ 1 ビットステージ 281 ~ 28W へ出力する。この場合、マルチプレクサ MU41 ~ MU4W の各々においては、シフトレジスタ 291 ~ 293 は、4 個のパルスによって飛ばされるので（実質的に無視されるので）、マルチプレクサ MU41 ~ MU4W は、8 ビット目の距離信号をそれぞれ 1 ビットステージ 281 ~ 28W へ出力することになる。

30

#### 【0717】

従って、マンハッタン距離が 2 ビットである場合、上述した動作によって検索データに類似する参照データを検索できる。この場合、選択器 780A は、“1” からなる信号 even に応じて、段数可変分周器 769A からの信号 out\_\_2 を発振信号 S<sub>1</sub> として分周回路 20 へ出力する。

40

#### 【0718】

このように、距離/時間変換回路 DT'<sub>1</sub>C を備えた連想メモリ 100A は、マンハッタン距離が 2 ビット以上である場合について、検索データに類似する参照データを検索できる。

#### 【0719】

上記においては、マンハッタン距離の最大ビット数は、8 ビットであると説明したが、この発明の実施の形態においては、これに限らず、マンハッタン距離のビット数は、2 以上の任意のビット数であればよい。そして、マンハッタン距離のビット数が 8 ビットより

50



も多い場合、マンハッタン距離のビット数に応じて、マルチプレクサ  $MU_{31} \sim MU_{3W}$ 、 $MU_{41} \sim MU_{4W}$ におけるシフトレジスタ、ゲートおよび選択器の個数を増やせばよい。

【0720】

また、上記においては、ユニット比較回路  $UC'_{11} \sim UC'_{1W}$ 、 $UC'_{21} \sim UC'_{2W}$ 、 $\dots$ 、 $UC'_{R1} \sim UC'_{RW}$ は、マンハッタン距離を用いて参照データと検索データとの間の距離を演算すると説明したが、この発明の実施の形態においては、これに限らず、ユニット比較回路  $UC'_{11} \sim UC'_{1W}$ 、 $UC'_{21} \sim UC'_{2W}$ 、 $\dots$ 、 $UC'_{R1} \sim UC'_{RW}$ は、ユークリッド距離、標準ユークリッド距離、マハラノビス距離、チェビシェフ距離およびミンコフスキー距離のいずれかを用いて参照データと検索データとの間の距離を演算してもよい。

10

【0721】

実施の形態2におけるその他の説明は、実施の形態1における説明と同じである。

【0722】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0723】

この発明は、連想メモリに適用される。

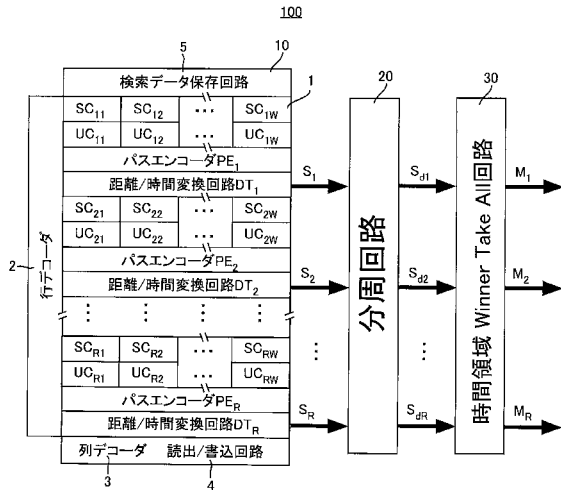
20

【符号の説明】

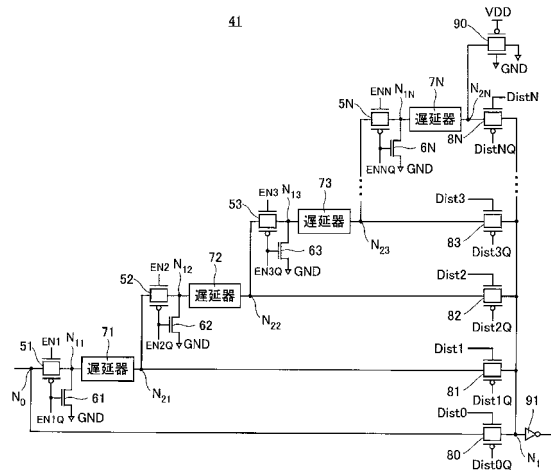
【0724】

1 メモリ部、2 行ココーダ、3 列デコーダ、4 読出/書込回路、5 検索データ保存回路、10 メモリアレイ部、20 分周回路、30 時間領域WTA回路、100 連想メモリ、 $SC_{11} \sim SC_{1W}$ 、 $SC_{21} \sim SC_{2W}$ 、 $\dots$ 、 $SC_{R1} \sim SC_{RW}$  参照データ保存回路、 $UC_{11} \sim UC_{1W}$ 、 $UC_{21} \sim UC_{2W}$ 、 $\dots$ 、 $UC_{R1} \sim UC_{RW}$  ユニット比較回路、 $PE_1 \sim PE_R$  パスエンコーダ、 $DT_1 \sim DT_R$  距離/時間変換回路。

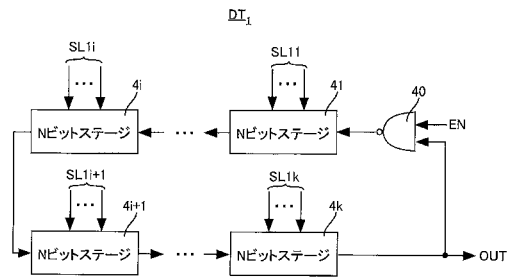
【 図 1 】



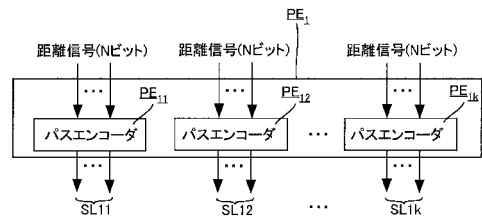
【 図 3 】



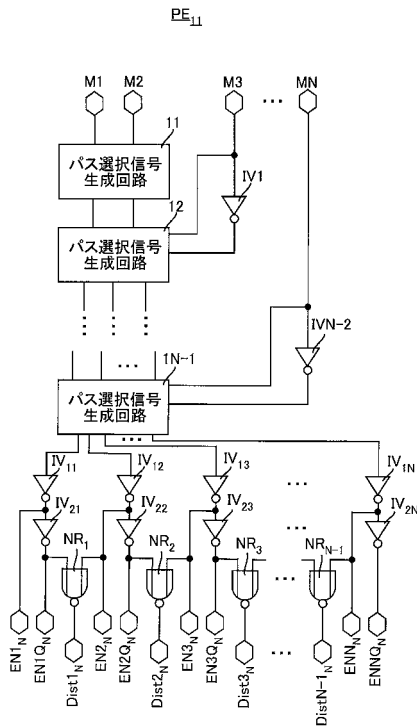
【 図 2 】



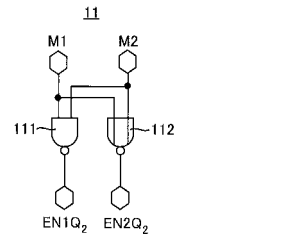
【 図 4 】



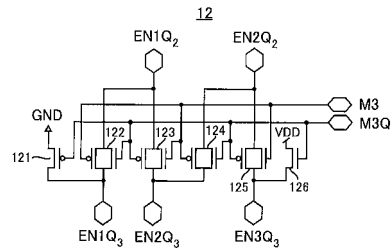
【 図 5 】



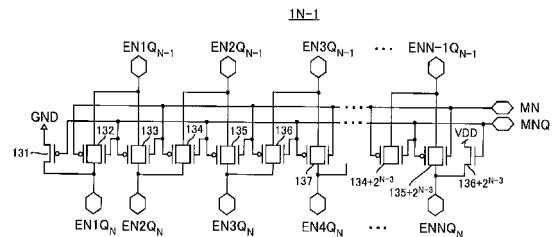
【 図 6 】



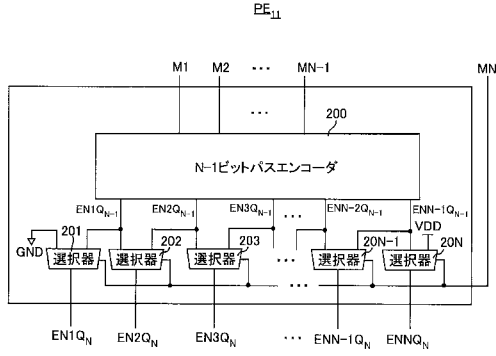
【 図 7 】



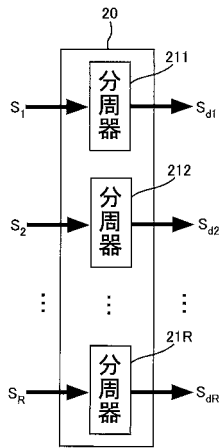
【 図 8 】



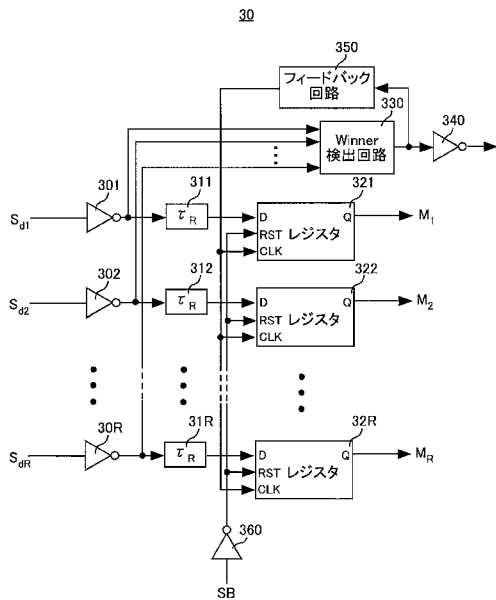
【図9】



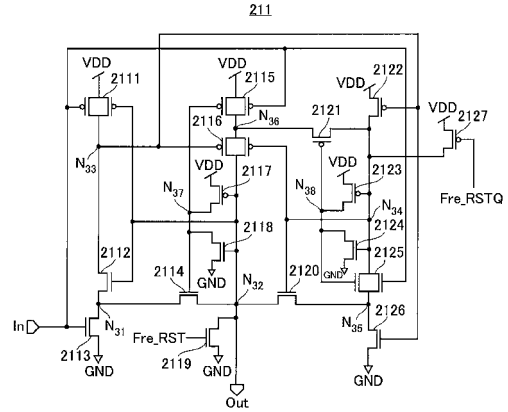
【図10】



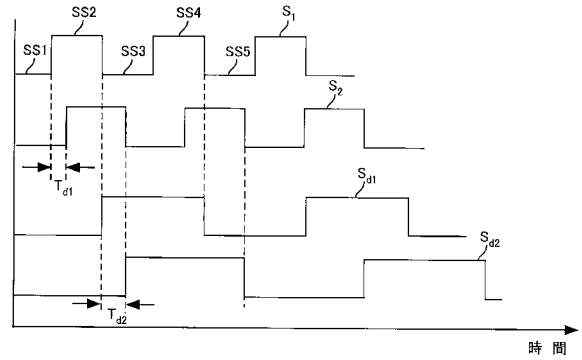
【図13】



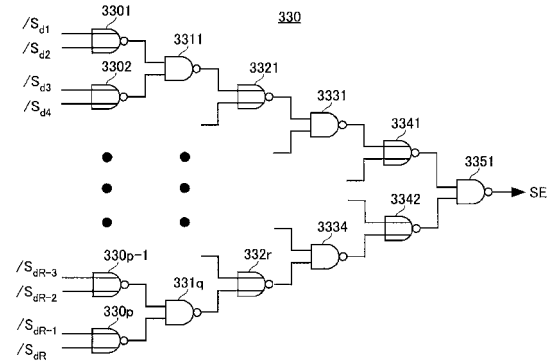
【図11】



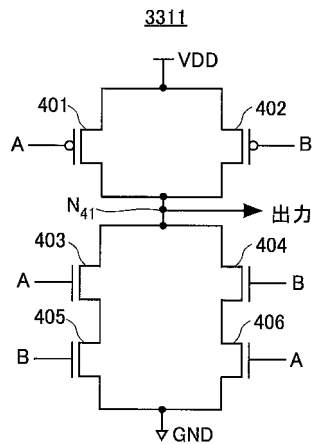
【図12】



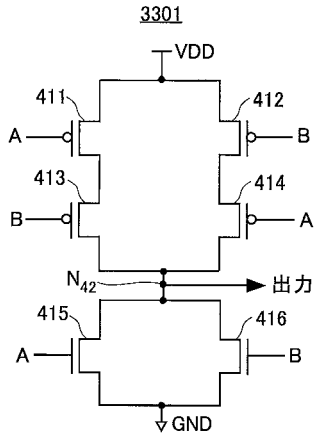
【図14】



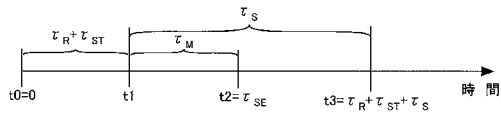
【図15】



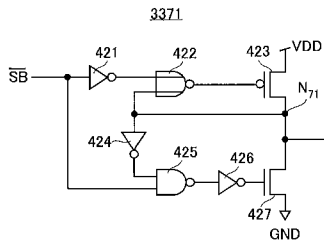
【図16】



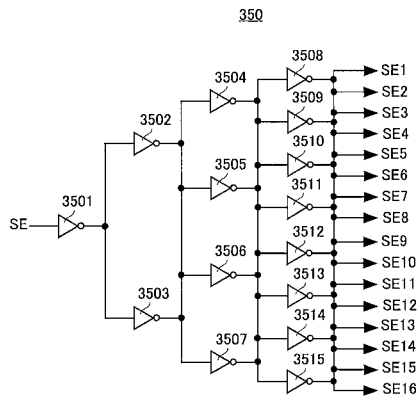
【図17】



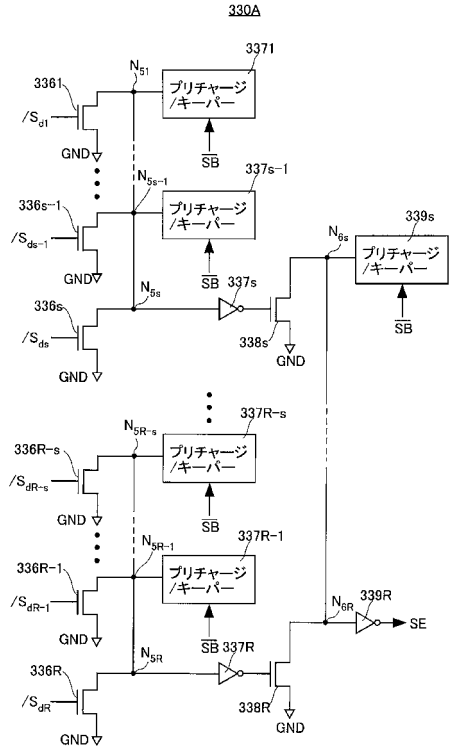
【図19】



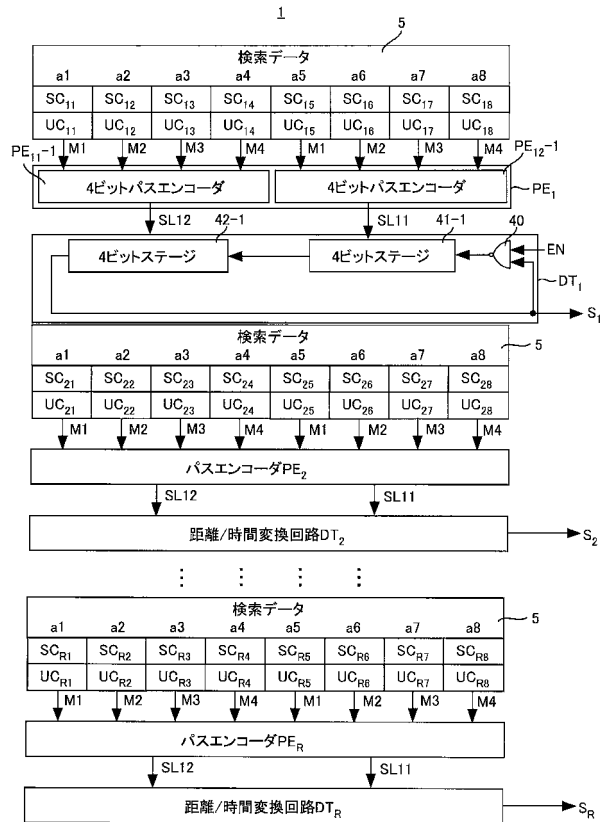
【図20】



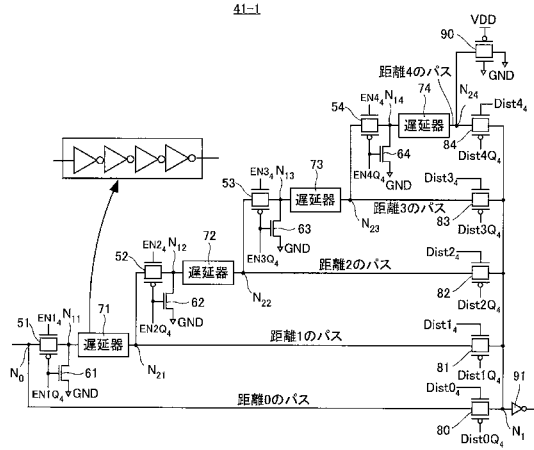
【図18】



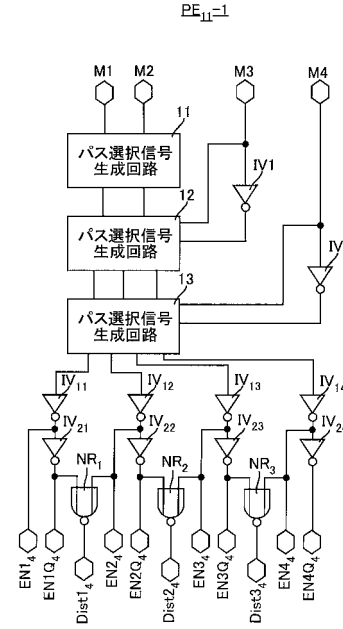
【図21】



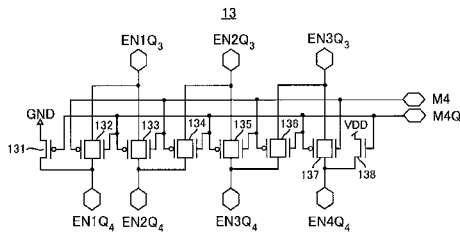
【 図 2 2 】



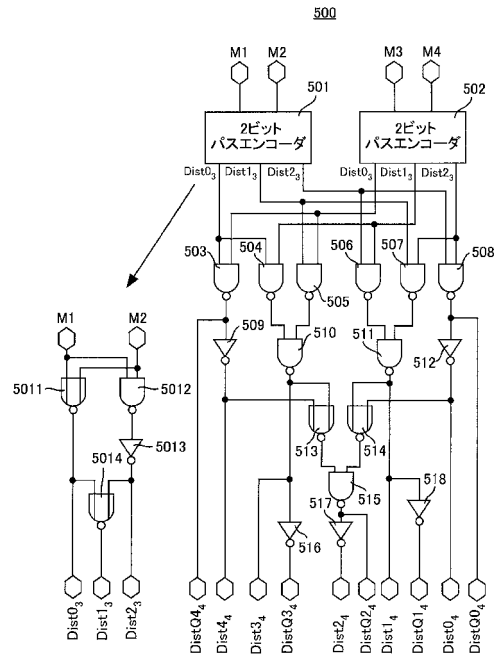
【 図 2 3 】



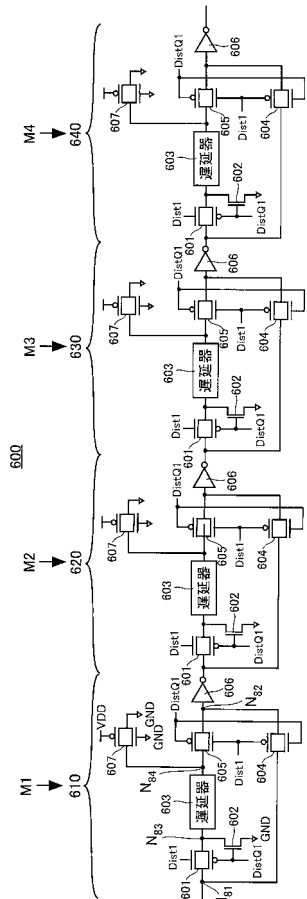
【 図 2 4 】



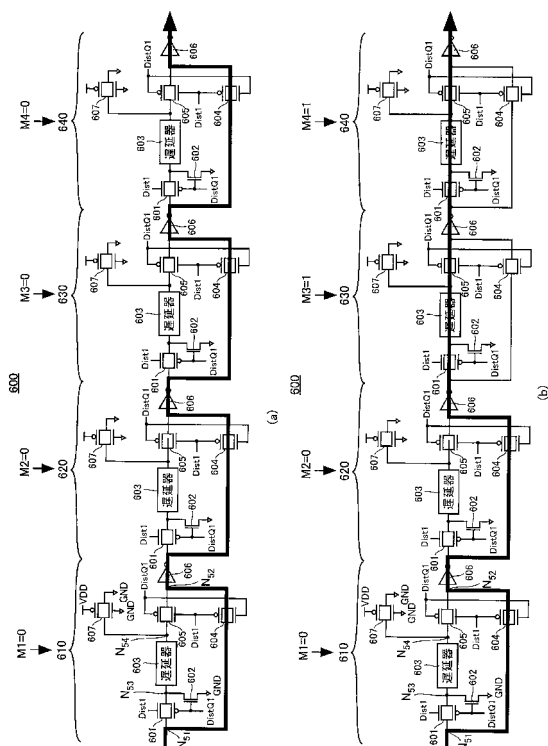
【 図 2 5 】



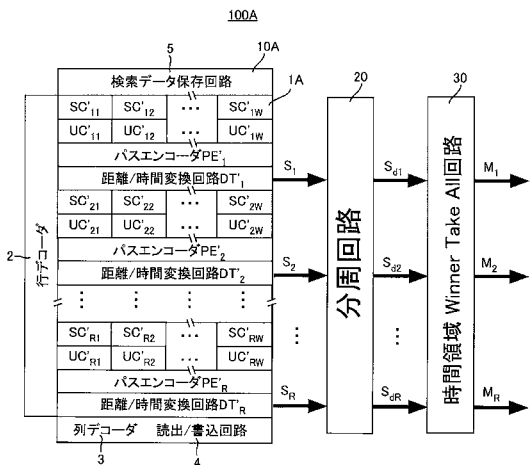
【図 26】



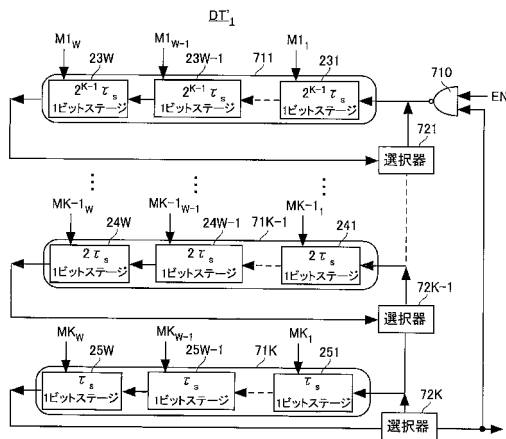
【図 27】



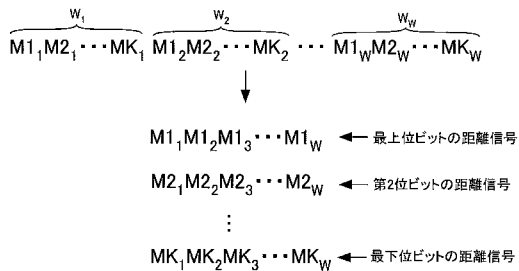
【図 28】



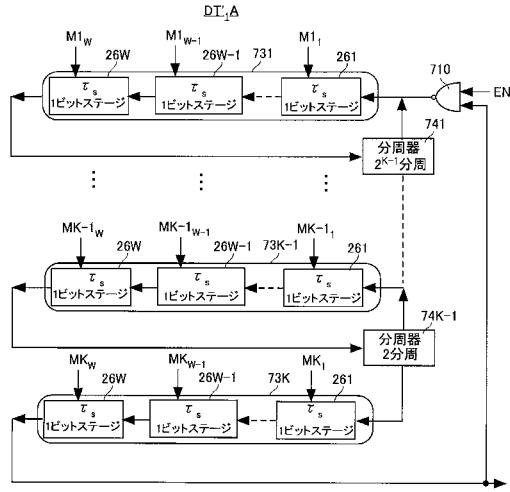
【図 30】



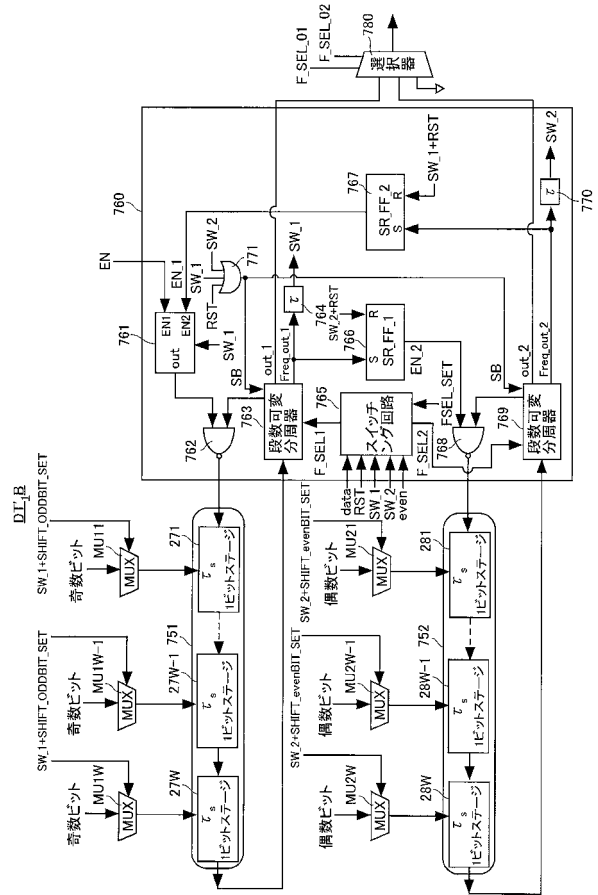
【図 29】



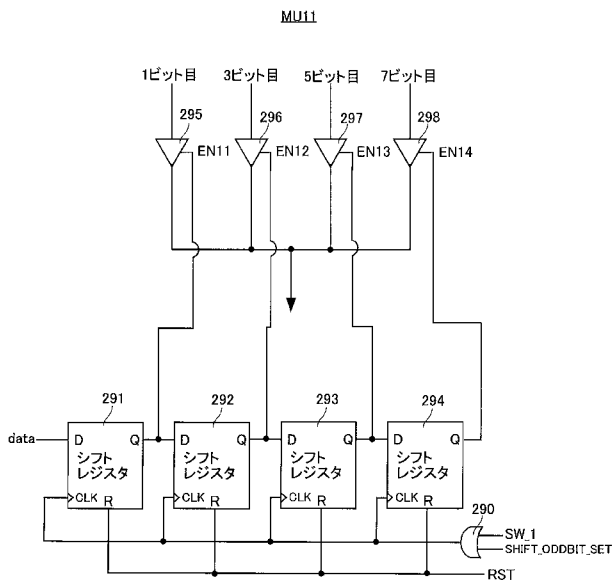
【図 3 1】



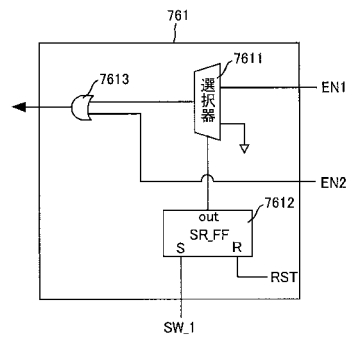
【図 3 2】



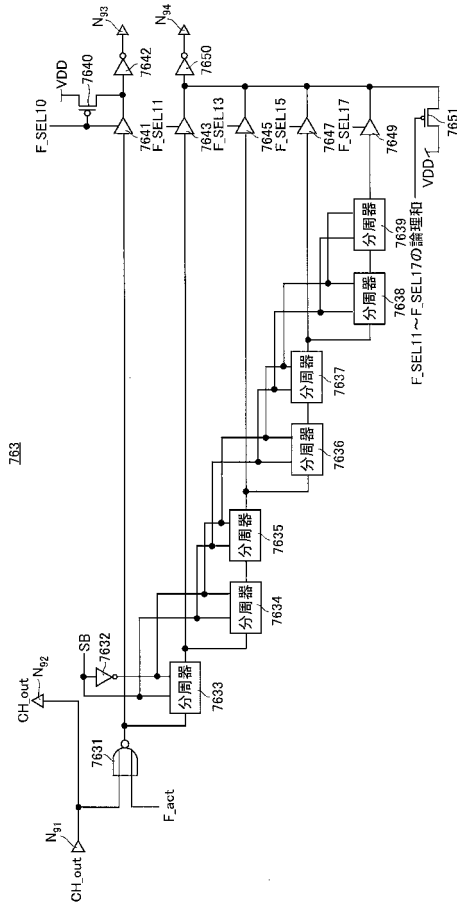
【図 3 3】



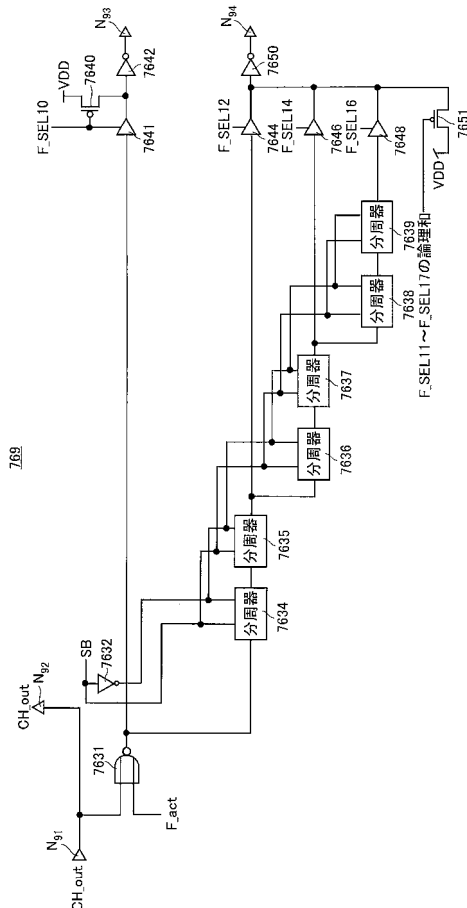
【図 3 4】



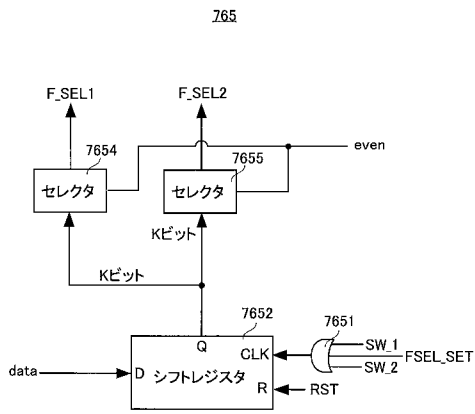
【 図 3 5 】



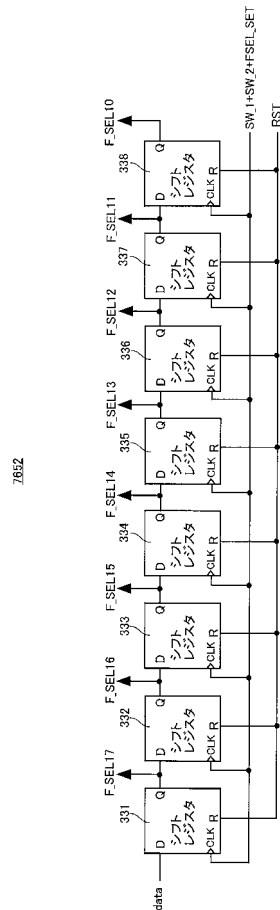
【 図 3 6 】



【 図 3 7 】

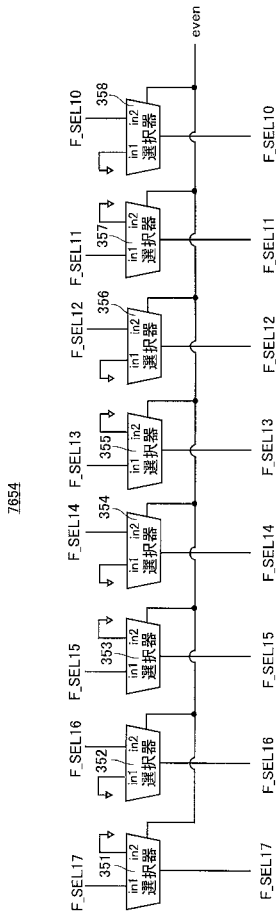


【 図 3 8 】

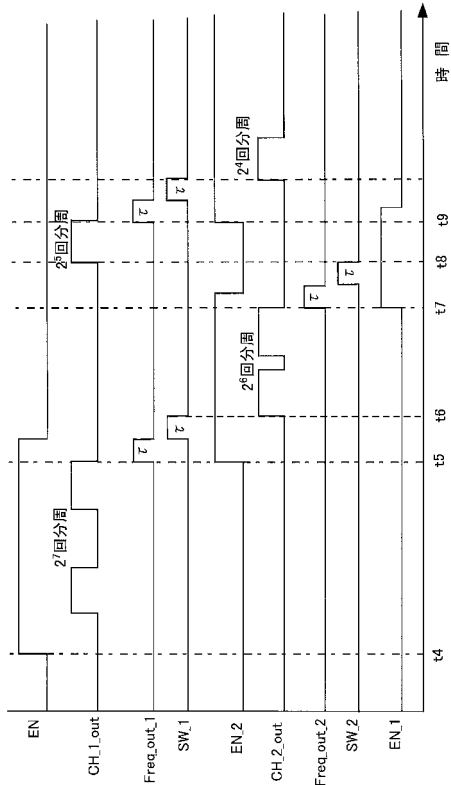




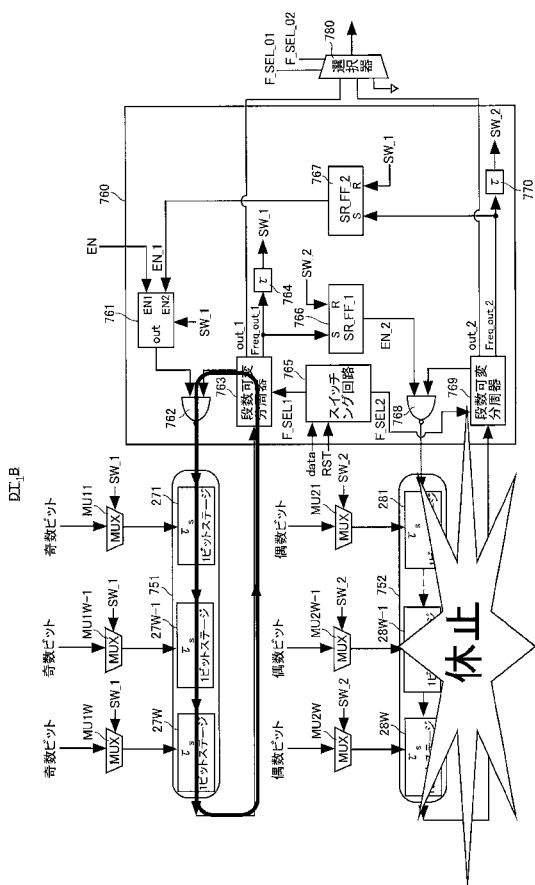
【 図 3 9 】



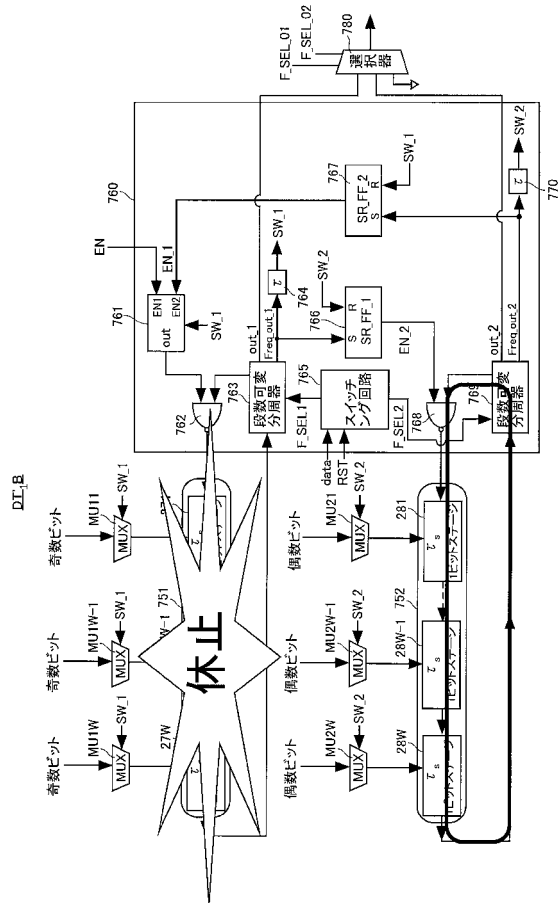
【 図 4 0 】



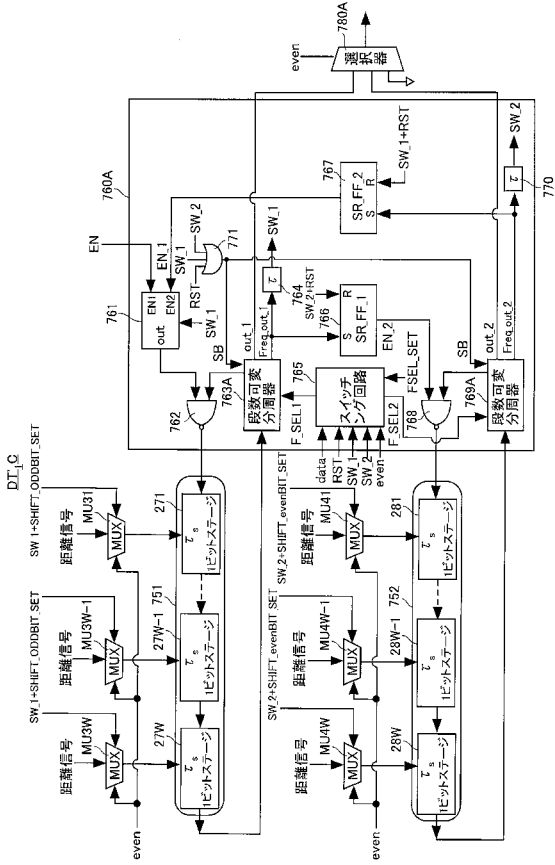
【 図 4 1 】



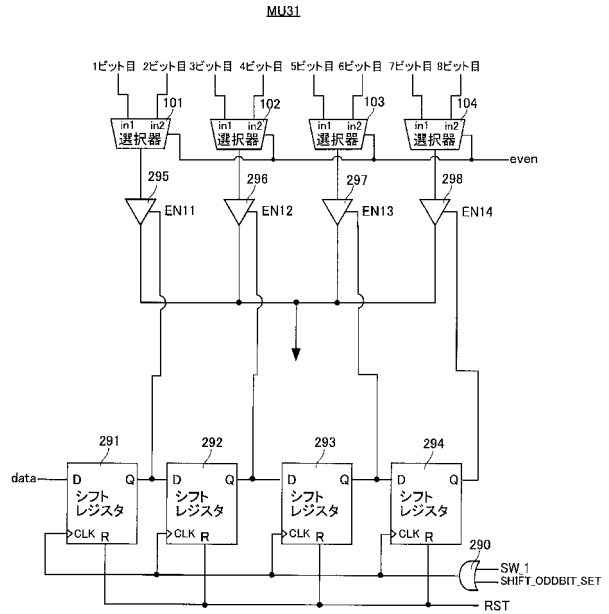
【 図 4 2 】



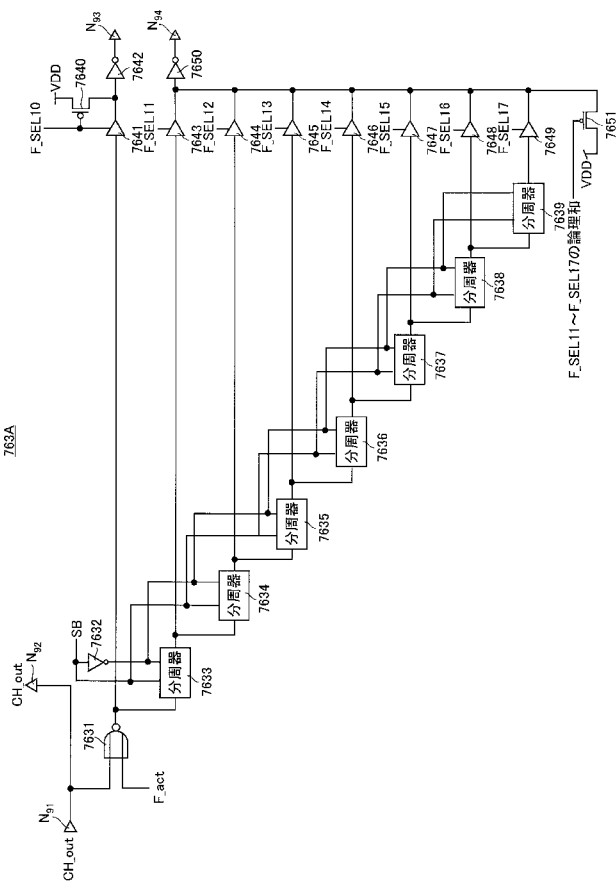
【 図 4 3 】



【 図 4 4 】



【 図 4 5 】



---

フロントページの続き

(72)発明者 マタウシュ ハンスユルゲン

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所  
内

(72)発明者 安田 雅浩

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所  
内

(72)発明者 佐々木 静龍

広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所  
内