

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5648922号
(P5648922)

(45) 発行日 平成27年1月7日(2015.1.7)

(24) 登録日 平成26年11月21日(2014.11.21)

(51) Int.Cl.		F I			
HO 1 L	27/146	(2006.01)	HO 1 L	27/14	A
HO 4 N	5/374	(2011.01)	HO 4 N	5/335	7 4 O
HO 4 N	5/369	(2011.01)	HO 4 N	5/335	6 9 O

請求項の数 18 (全 23 頁)

<p>(21) 出願番号 特願2011-535400 (P2011-535400)</p> <p>(86) (22) 出願日 平成22年10月5日 (2010.10.5)</p> <p>(86) 国際出願番号 PCT/JP2010/067452</p> <p>(87) 国際公開番号 W02011/043339</p> <p>(87) 国際公開日 平成23年4月14日 (2011.4.14)</p> <p>審査請求日 平成25年9月30日 (2013.9.30)</p> <p>(31) 優先権主張番号 特願2009-231587 (P2009-231587)</p> <p>(32) 優先日 平成21年10月5日 (2009.10.5)</p> <p>(33) 優先権主張国 日本国(JP)</p> <p>(出願人による申告) 平成20年度、文部科学省、地域科学技術振興事業委託事業、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(73) 特許権者 304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836</p> <p>(74) 代理人 100083806 弁理士 三好 秀和</p> <p>(74) 代理人 100108914 弁理士 鈴木 壯兵衛</p> <p>(72) 発明者 川人 祥二 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学 電子工学研究所内</p> <p>(72) 発明者 澤田 友成 静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学 電子工学研究所内</p> <p>審査官 安田 雅彦</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 半導体素子及び固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体領域と、

前記半導体領域の上部の一部に埋め込まれ、前記半導体領域とフォトダイオードをなすように光信号が選択的に照射される第2導電型の埋込領域と、

前記埋込領域から離間して前記半導体領域の一部に設けられ、特定のタイミングにおいて前記埋込領域から前記フォトダイオードが生成した電荷を信号電荷に寄与しない電荷として排出する、前記埋込領域よりも高不純物密度で第2導電型の排出領域と、

前記半導体領域の一部に設けられ、前記電荷の非排出時に信号電荷として前記埋込領域から転送された前記電荷を、読み出されるまで蓄積する、前記埋込領域よりも高不純物密度で第2導電型の読み出し領域と、

前記埋込領域と前記排出領域との間の前記半導体領域からなるチャンネルの上部に設けられ、前記特定のタイミングにおいて前記チャンネルの電位を制御して、前記電荷が前記埋込領域から前記排出領域に排出され、且つ前記電荷の前記読み出し領域側への移動を阻止するような電位勾配に変化させる電位勾配変更手段とを備え、前記埋込領域から前記読み出し領域へ至る経路が前記光信号に対し遮光され、前記特定のタイミングの終了後に前記電位勾配が、前記埋込領域から前記読み出し領域方向に前記信号電荷を転送するように戻ること

【請求項2】

前記読み出し領域が、前記埋込領域から離間して前記半導体領域の一部に設けられ、

前記埋込領域から前記読み出し領域に至る経路の一部の前記埋込領域側に設けられ、前記埋込領域の多数キャリアに対する前記埋込領域がなすポテンシャル谷の底の電位よりも深く、前記読み出し領域がなす前記多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第2導電型の蓄積領域を更に備え、

前記信号電荷の転送時において、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配を形成し、前記信号電荷を前記埋込領域から前記蓄積領域へ転送することを特徴とする請求項1に記載の半導体素子。

【請求項3】

前記読み出し領域が、前記埋込領域の内部、前記埋込領域と連続、又は前記埋込領域と少なくとも一部を重複して設けられ、

前記読み出し領域を囲んで前記読み出し領域に連続して設けられ、前記埋込領域の多数キャリアに対する前記埋込領域がなすポテンシャル谷の底の電位よりも深く、前記読み出し領域がなす前記多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第2導電型の蓄積領域を更に備え、

前記信号電荷の転送時において、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配を形成し、前記信号電荷を前記埋込領域から前記蓄積領域へ転送することを特徴とする請求項1に記載の半導体素子。

【請求項4】

前記蓄積領域が前記埋込領域よりも高不純物密度であることを特徴とする請求項2又は3に記載の半導体素子。

【請求項5】

前記読み出し領域が、前記埋込領域の内部、前記埋込領域と連続、又は前記埋込領域と少なくとも一部を重複して設けられ、

前記信号電荷の転送時に、前記埋込領域から前記読み出し領域へ向かい次第に電位が下がる電位勾配に沿って、前記信号電荷が前記埋込領域から前記読み出し領域へ直接転送されることを特徴とする請求項1に記載の半導体素子。

【請求項6】

前記電荷が前記埋込領域から排出されるとき、電荷流入面の主面となる排出領域の端部が、平面パターン上前記埋込領域の端部と平行に対峙していることを特徴とする請求項1～5のいずれか1項に記載の半導体素子。

【請求項7】

前記蓄積領域の下方に、第1導電型で前記半導体領域よりも高不純物密度のブロック層を更に備えることを特徴とする請求項2～5のいずれか1項に記載の半導体素子。

【請求項8】

前記排出領域の一部と前記読み出し領域の周囲を少なくとも囲む第1導電型のウェル領域を更に備え、

前記読み出し領域の少なくとも一部が、平面パターン上、前記ウェル領域の内部に含まれることを特徴とする請求項5に記載の半導体素子。

【請求項9】

第1導電型の半導体領域と、

前記半導体領域の上部の一部に埋め込まれ、前記半導体領域とフォトダイオードをなすように光信号が選択的に照射される第2導電型の埋込領域と、

前記埋込領域から離間して前記半導体領域の一部に設けられ、特定のタイミングにおいて前記埋込領域から前記フォトダイオードが生成した電荷を信号電荷に寄与しない電荷として排出する、前記埋込領域よりも高不純物密度で第2導電型の排出領域と、

前記半導体領域の一部に設けられ、前記電荷の非排出時に信号電荷として前記埋込領域から転送された前記電荷を、読み出されるまで蓄積する、前記埋込領域よりも高不純物密度で第2導電型の読み出し領域と、

前記埋込領域と前記排出領域との間の前記半導体領域からなるチャンネルの上部に設けられ、前記特定のタイミングにおいて前記チャンネルの電位を制御して、前記電荷が前記埋込

10

20

30

40

50

領域から前記排出領域に排出され、且つ前記電荷の前記読み出し領域側への移動を阻止するような電位勾配に変化させる電位勾配変更手段

とを備える画素を複数配列し、それぞれの画素において、前記埋込領域から前記読み出し領域へ至る経路が前記光信号に対し遮光され、前記特定のタイミングの終了後に前記電位勾配が、前記埋込領域から前記読み出し領域方向に前記信号電荷を転送するように戻ること

【請求項 10】

前記読み出し領域が、前記埋込領域から離間して前記半導体領域の一部に設けられ、

前記埋込領域から前記読み出し領域に至る経路の一部の前記埋込領域側に設けられ、前記埋込領域の多数キャリアに対する前記埋込領域がなすポテンシャル谷の底の電位よりも深く、前記読み出し領域がなす前記多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第2導電型の蓄積領域を更に備え、

前記信号電荷の転送時において、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配を形成し、前記信号電荷を前記埋込領域から前記蓄積領域へ転送することを特徴とする請求項9に記載の固体撮像装置。

【請求項 11】

前記読み出し領域が、前記埋込領域の内部、前記埋込領域と連続、又は前記埋込領域と少なくとも一部を重複して設けられ、

前記読み出し領域を囲んで前記読み出し領域に連続して設けられ前記埋込領域の多数キャリアに対する前記埋込領域がなすポテンシャル谷の底の電位よりも深く、前記読み出し領域がなす前記多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第2導電型の蓄積領域を更に備え、

前記信号電荷の転送時において、前記埋込領域から前記蓄積領域へ向かい次第に電位が下がる電位勾配を形成し、前記信号電荷を前記埋込領域から前記蓄積領域へ転送することを特徴とする請求項9に記載の固体撮像装置。

【請求項 12】

前記蓄積領域が前記埋込領域よりも高不純物密度であることを特徴とする請求項10又は11に記載の固体撮像装置。

【請求項 13】

前記読み出し領域が、前記埋込領域の内部、前記埋込領域と連続、又は前記埋込領域と少なくとも一部を重複して設けられ、

前記信号電荷の転送時に、前記埋込領域から前記読み出し領域へ向かい次第に電位が下がる電位勾配に沿って、前記信号電荷が前記埋込領域から前記読み出し領域へ直接転送されることを特徴とする請求項9に記載の固体撮像装置。

【請求項 14】

前記電荷が前記埋込領域から排出されるとき、電荷流入面の主面となる排出領域の端部が、平面パターン上前記埋込領域の端部と平行に対峙していることを特徴とする請求項9～13のいずれか1項に記載の固体撮像装置。

【請求項 15】

前記蓄積領域の下方に、第1導電型で前記半導体領域よりも高不純物密度のブロック層を更に備えることを特徴とする請求項10～13のいずれか1項に記載の固体撮像装置。

【請求項 16】

前記排出領域の一部と前記読み出し領域の周囲を少なくとも囲む第1導電型のウェル領域を更に備え、

前記読み出し領域の少なくとも一部が、平面パターン上、前記ウェル領域の内部に含まれることを特徴とする請求項13に記載の固体撮像装置。

【請求項 17】

前記読み出し領域が、前記画素にそれぞれ設けられた読み出しトランジスタのゲート電極に接続されることを特徴とする請求項10～16のいずれか1項に記載の固体撮像装置。

【請求項 18】

前記読み出し領域が、リセットトランジスタのソース電極をなす、又は前記ソース電極に接続されることを特徴とする請求項 17 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は光が生成した電子の検出を時間領域で変調する機能を持った半導体素子、及びこの半導体素子を 1 次元又は 2 次元配列した固体撮像装置に関する。

【背景技術】

10

【0002】

1994年に発表された「強度変調された照射野の検出及び復調のための装置（特許文献1参照。）」等の画素内に光で発生した電子の検出を時間領域で変調する機能を持ったセンサ要素は、「ロックインピクセル」とも呼ばれる。この様なロックインピクセルからなるセンサ要素を、最近のCMOSイメージセンサに用いられている埋込フォトダイオード構造に適用して、ロックインイメージセンサを実現することができれば、量産性に優れるため、安価で高性能なセンサが得られると期待される。

【0003】

例えば、CMOS製造技術を用いて共通のIC上に形成されたピクセル光検知ディテクタ及び専用の電子回路及び対応する処理回路の2次元アレイを含んだ3次元画像化システムが提案されている（特許文献2参照。）。特許文献1の1つの実施例においては、各ディテクタは、システムによって放射され、物体の点から反射され、そしてフォーカスされたピクセルディテクタによって検出されたパルスについての飛行時間（TOF）に比例するクロックパルス数を積算する対応する高速カウンタを有している。TOFデータは、特定のピクセルから、放射された光パルスを反射する物体上の点までの距離についての直接のデジタル的な尺度を与える。特許文献2の第2実施例では、カウンタ及び高速クロック回路は設けられず、代わりに電荷蓄積器及び電子シャッタ（S1）が各ピクセルディテクタに設けられる。各ピクセルディテクタは電荷を蓄積し、その総量が往復のTOFの直接的な尺度を与える。

20

しかしながら、従来のロックインピクセルを用いたイメージセンサは、いずれもMOSトランジスタのゲート構造を介して、電荷を1つ以上の蓄積領域に転送する動作を、変調された光と同期して検出するものである。このため、従来のロックインピクセルを用いたイメージセンサは構造が複雑であり、又MOSトランジスタのゲート構造を介した転送の場合、シリコン（Si）とシリコン酸化膜（SiO₂）の界面のトラップに電子が捕獲され、転送遅れが生じるという問題も発生する。

30

【0004】

このため、本発明者の一人は固体撮像装置のそれぞれの画素として機能する半導体素子が、光を入射するn型の受光用表面埋込領域と、平面パターン上、受光用表面埋込領域と一部重複する位置に埋め込まれ、受光用表面埋込領域よりもポテンシャル井戸（電子井戸）の深さが深く、受光用表面埋込領域が生成した電荷を蓄積するn型の電荷蓄積領域と、電荷蓄積領域が蓄積した電荷を受け入れるn型の電荷読み出し領域と、受光用表面埋込領域が生成した電子を排出するように、平面パターン上、受光用表面埋込領域の両側にそれぞれ配置されたn型の第1及び第2の排出ドレイン領域とを備える構造を提案した（特許文献3参照。）。ここで、受光用表面埋込領域と第1及び第2の排出ドレイン領域は、p型の半導体領域の表面の一部に埋め込まれている。受光用表面埋込領域の上には、p⁺型ピニング層が配置され、p⁺型ピニング層の上、p⁺型ピニング層と第1の排出ドレイン領域の間の半導体領域の上、及び、p⁺型ピニング層と第2の排出ドレイン領域の間の半導体領域の上にはゲート絶縁膜が形成されている。そして、ゲート絶縁膜上には、受光用表面埋込領域が生成した電子を第1及び第2の排出ドレイン領域へそれぞれ排出するため、平面パターン上、受光用表面埋込領域の両側に受光用表面埋込領域を挟むように、第1及

40

50

び第2の排出ゲート電極が配置されている。

【0005】

特許文献3で提案した構造においては、電荷蓄積領域と電荷読み出し領域との間に、電荷蓄積領域から電荷読み出し領域へ電荷を転送する読み出しゲート電極が配置され、読み出しゲート電極がゲート絶縁膜を介して電荷蓄積領域と電荷読み出し領域との間に形成される転送チャンネルの電位を制御し、電荷蓄積領域から電荷読み出し領域へ電荷を転送する。ゲート絶縁膜と、ゲート絶縁膜上の第1及び第2の排出ゲート電極とで、受光用表面埋込領域と第1の排出ドレイン領域の間の半導体領域の上部及び受光用表面埋込領域と第2の排出ドレイン領域の間の半導体領域の上部に形成されるチャンネルの電位をそれぞれ制御して、受光用表面埋込領域から第1及び第2の排出ドレイン領域へそれぞれ電荷を排出する。

10

【0006】

特許文献3で提案した構造によれば、受光用表面埋込領域と電荷蓄積領域の間にゲート構造を設けなくても、第1及び第2の排出ゲート電極に印加する電圧によりポテンシャル形状を変化させることにより、受光用表面埋込領域から電荷蓄積領域への電荷の転送を制御することができる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特表平10-508736号公報

20

【特許文献2】特表2003-510561号公報

【特許文献3】国際公開WO2010/074252号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献3で提案した半導体素子においては、電荷転送経路のポテンシャル分布（ポテンシャル形状）を静電誘導効果により制御して、第1及び第2の排出ゲート電極による電荷の転送方向の変調を実現しているが、受光用表面埋込領域の両側に排出ゲート電極があると、構造が複雑になるばかりか、電荷転送経路の中心付近でポテンシャル傾斜が0になってしまう、電荷の一部が残ってしまう可能性があり、効率よく電荷を転送できないという不具合があった。

30

【0009】

本発明は、以上を鑑みて発案されたものであり、電荷の通路の中心付近でポテンシャル傾斜が0になってしまう不都合を解消して、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることにより、電荷の転送効率が良く、画素の構造が簡単で高解像度化及び高速動作が可能な固体撮像装置及びこの固体撮像装置のセンサ要素（画素）として用いることの可能な半導体素子を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するために、本発明の第1の態様は、(a)第1導電型の半導体領域と、(b)半導体領域の上部の一部に埋め込まれ、半導体領域とフォトダイオードをなす第2導電型の埋込領域と、(c)埋込領域から離間して半導体領域の一部に設けられ、特定のタイミングにおいて埋込領域からフォトダイオードが生成した電荷を排出する、埋込領域よりも高不純物密度で第2導電型の排出領域と、(d)半導体領域の一部に設けられ、電荷の非排出時に電荷を埋込領域から転送され、読み出されるまで蓄積する、埋込領域よりも高不純物密度で第2導電型の読み出し領域と、(e)埋込領域と排出領域との間の半導体領域からなるチャンネルの上部に設けられ、チャンネルの電位を制御して、埋込領域から読み出し領域へ至るポテンシャルプロファイルの少なくとも一部の電位勾配、及び埋込領域から排出領域へ至るポテンシャルプロファイルの電位勾配を変化させ、電荷の転送の少なくとも一部及び電荷の排出を制御する電位勾配変更手段とを備える半導体素子であることを要旨とす

40

50

る。

【 0 0 1 1 】

本発明の第 2 の態様は、第 1 の態様で述べた半導体素子を画素として複数配列した固体撮像装置であることを要旨とする。

【 発明の効果 】

【 0 0 1 2 】

本発明によれば、電荷の通路の中心付近でポテンシャル傾斜が 0 になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができるので、電荷の転送効率が良く、画素の構造が簡単で高解像度化及び高速動作が可能な固体撮像装置及びこの固体撮像装置のセンサ要素（画素）として用いることの可能な半導体素子を提

10

【 図面の簡単な説明 】

【 0 0 1 3 】

【 図 1 】本発明の第 1 の実施の形態に係る固体撮像装置（ 2 次元イメージセンサ）の半導体チップ上のレイアウトを説明する模式的な平面図である。

【 図 2 】第 1 の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する概略的な平面図である。

【 図 3 】図 3（ a ）は、図 2 の A - A 方向から見た模式的な断面図である。図 3（ b ）は、電荷の蓄積領域への転送の様子を説明するポテンシャル図である。図 3（ c ）は、電荷の排出領域への排出の様子を説明するポテンシャル図である。

20

【 図 4 】第 1 の実施の形態に係る半導体素子の製造方法を説明する模式的な断面図である。

【 図 5 】第 1 の実施の形態に係る固体撮像装置の読み出し方法を、排出ゲート電極に印加する制御信号 T X D の繰り返し周期を基礎として説明するタイミングチャートである。

【 図 6 】第 1 の実施の形態に係る固体撮像装置の読み出し方法を、1 フレームについて説明するタイミングチャートである。

【 図 7 】第 1 の実施の形態に係る固体撮像装置を用いて、蛍光の寿命を測定する場合のタイミング図である。

【 図 8 】本発明の第 2 の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する概略的な平面図である。

30

【 図 9 】図 9（ a ）は、図 8 の B - B 方向から見た模式的な断面図である。図 9（ b ）は、電荷の読み出し領域への転送の様子を説明するポテンシャル図である。図 9（ c ）は、電荷の排出領域への排出の様子を説明するポテンシャル図である。

【 図 1 0 】光源として L E D 照明を背景光に対して相対的に増強させる場合のタイミング図である。

【 図 1 1 】本発明の第 3 の実施の形態に係る固体撮像装置の画素の一部となる半導体素子の構成を説明する概略的な平面図である。

【 発明を実施するための形態 】

【 0 0 1 4 】

次に、図面を参照して、本発明の第 1 ~ 第 3 の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

40

【 0 0 1 5 】

又、以下に示す第 1 ~ 第 3 の実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、染色した生体細胞からの蛍光や蛍光寿命を測定するバイオイメージング用固体撮像装置、或いは、各種の計測を行う時間相関イメージセンサ等の種々の固体撮像装置に適用可能である。又、本発明の技術的思想は、構成部品の材質、

50

形状、構造、配置等を下記のものに特定するものでなく、本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

【0016】

(第1の実施の形態)

本発明の第1の実施の形態に係る固体撮像装置(2次元イメージセンサ)は、図1に示すように、画素アレイ部1と周辺回路部(2, 3, 4, 5, 6)とを同一の半導体チップ上に集積化している。画素アレイ部1には、2次元マトリクス状に多数の画素 X_{ij} ($i = 1 \sim m; j = 1 \sim n; m, n$ はそれぞれ整数である。)が配列されており、例えば、方形形状の撮像領域を構成している。画素アレイ部1の下辺部には、画素行 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ 方向に沿って水平走査回路2が設けられ、画素アレイ部の左辺部には画素列 $X_{11}, \dots, X_{i1}, \dots, X_{(n-2)1}, X_{(n-1)1}, X_{n1}; X_{12}, \dots, X_{i2}, \dots, X_{(n-2)2}, X_{(n-1)2}, X_{n2}; X_{13}, \dots, X_{i3}, \dots, X_{(n-2)3}, X_{(n-1)3}, X_{n3}; \dots; X_{1j}, \dots, X_{ij}, \dots, X_{(n-2)j}, X_{(n-1)j}, X_{nj}; \dots; X_{1m}, \dots, X_{im}, \dots, X_{(n-2)m}, X_{(n-1)m}, X_{nm}$ 方向に沿って垂直走査回路3が設けられている。垂直走査回路3及び水平走査回路2には、タイミング発生回路4が接続されている。

10

【0017】

これらのタイミング発生回路及び水平走査回路2及び垂直走査回路3によって画素アレイ部内の単位画素 X_{ij} が順次走査され、画素信号の読み出しや電子シャッタ動作が実行される。即ち、第1の実施の形態に係る固体撮像装置では、画素アレイ部を各画素行 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ 単位で垂直方向に走査することにより、各画素行 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ の画素信号を各画素列 $X_{11}, \dots, X_{i1}, \dots, X_{(n-2)1}, X_{(n-1)1}, X_{n1}; X_{12}, \dots, X_{i2}, \dots, X_{(n-2)2}, X_{(n-1)2}, X_{n2}; X_{13}, \dots, X_{i3}, \dots, X_{(n-2)3}, X_{(n-1)3}, X_{n3}; \dots; X_{1j}, \dots, X_{ij}, \dots, X_{(n-2)j}, X_{(n-1)j}, X_{nj}; \dots; X_{1m}, \dots, X_{im}, \dots, X_{(n-2)m}, X_{(n-1)m}, X_{nm}$ 毎に設けられた垂直信号線によって画素信号を読み出す構成となっている。

20

【0018】

第1の実施の形態に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}; \dots; X_{i1} \sim X_{im}; \dots; X_{(n-2)1} \sim X_{(n-2)m}; X_{(n-1)1} \sim X_{(n-1)m}; X_{n1} \sim X_{nm}$ として機能する半導体素子の平面構造の一例を、図2に示し、図2の平面図における半導体素子のA-A方向から見たに対応する断面図を図3(a)に示す。図3(a)に示すように、画素 X_{ij} の一部となる半導体素子は、第1導電型(p型)の半導体領域21と、半導体領域21の上部に埋め込まれ、光を入射する第2導電型(n型)の埋込領域(受光カソード領域)23と、半導体領域21の上部の一部に埋込領域(受光カソード領域)23と一部を重複し、且つ埋込領域23と隣接(連続)して埋め込まれ、埋込領域23よりもポテンシャル谷(電子井戸)の深さが深く(図3(b)及び図3(c)参照。)、埋込領域23が生成した電荷を蓄積する第2導電型(n⁺型)の蓄積領域24と、蓄積領域24の下方に位置し、半導体領域21より高不純物密度の第1導電型(p⁺型)のブロック層25と、半導体領域21の上部の一部に蓄積領域24から右方に離間して埋め込まれ、蓄積領域24が蓄積した電荷を受け入れる第2導電型(n⁺型)の読み出し領域28と、半導体領域21の上部の一部に埋込領域23から左方に離間して埋め込まれ、埋込領域23が生成した電子を排出する第2導電型(n⁺型)の排出領域27とを備える。埋込領域23の上から蓄積領域24の上に渡り、第1導電型(p⁺型)のピニング層26が配置されている。ピニング層26は、ダーク時の表面でのキャリアの生成や信号キャリアの捕獲を抑制する層であり、ダーク電流や信号キャリアの捕獲の削減のために好ましい層として用いている。

30

40

【0019】

図2に破線で示したように、ピニング層26、ピニング層26の下方の埋込領域23、読み出し領域28と排出領域27を囲むように、半導体領域21より高不純物密度の第1導電型のウェル領域(pウェル)22が形成されている。図3(a)では、「第1導電型

50

の半導体領域」として、第1導電型の半導体領域21を用いる場合を例示しているが、半導体領域21の代わりに、第1導電型(p型)の半導体基板上に、半導体基板よりも低不純物密度の第1導電型(p型)のシリコンエピタキシャル成長層を形成して、エピタキシャル成長層を第1導電型の半導体領域として採用しても良く、第2導電型(n型)の半導体基板上に、第1導電型(p型)のシリコンエピタキシャル成長層を形成して、エピタキシャル成長層を第1導電型の半導体領域として採用しても良い。第2導電型(n型)の半導体基板上に、pn接合を形成するように、第1導電型(p型)のエピタキシャル成長層を形成すれば、長い波長の場合光が、第2導電型の半導体基板深くまで浸入するが、第2導電型の半導体基板で発生した光によるキャリアは、pn接合のビルトインポテンシャルによる電位障壁のため第1導電型のエピタキシャル成長層まで入って来られないので、第2導電型の半導体基板深くで発生したキャリアを積極的に捨てることのできる。これによって、深い位置で発生したキャリアが拡散で戻ってきて、隣の画素に漏れ込むのを防ぐことが可能になる。これは特に、RGBのカラーフィルタが搭載された単板カラーのイメージセンサの場合に、色の混合を起こさないようにできる効果を奏する。

10

【0020】

埋込領域23と、埋込領域23の直下の半導体領域(アノード領域)21とで第1の埋込フォトダイオード(以下において、単に「フォトダイオード」という。)D1を構成している。蓄積領域(カソード領域)24と、蓄積領域24の直下の半導体領域21とで第2の埋込フォトダイオード(以下において「電荷蓄積ダイオード」という。)D2を構成している。

20

【0021】

ピニング層26上の半導体領域21の上、及び埋込領域23と読み出し領域28との間の半導体領域21の上にはゲート絶縁膜33が形成されている。ゲート絶縁膜33としては、シリコン酸化膜(SiO_2 膜)が好適であるが、シリコン酸化膜以外の種々の絶縁膜を用いた絶縁ゲート型トランジスタ(MISトランジスタ)の絶縁ゲート構造をなしても良い。例えば、シリコン酸化膜/シリコン窒化膜(Si_3N_4 膜)/シリコン酸化膜の3層積層膜からなるONO膜でも良い。更には、ストロンチウム(Sr)、アルミニウム(Al)、マグネシウム(Mg)、イットリウム(Y)、ハフニウム(Hf)、ジルコニウム(Zr)、タンタル(Ta)、ビスマス(Bi)のいずれか1つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物等がゲート絶縁膜33として使用可能である。

30

【0022】

ゲート絶縁膜33の上には、蓄積領域24と読み出し領域28との間に形成される転送チャネルの電位を制御して、蓄積領域24から読み出し領域28へ電荷を転送する読み出しゲート電極32と、埋込領域23と排出領域27との間に形成される排出チャネルの電位を制御して、埋込領域23から、埋込領域23が生成した電子を排出領域27へ電荷を転送する排出ゲート電極31が埋込領域23の片側にのみ配置されている。ゲート絶縁膜33とゲート絶縁膜33上の排出ゲート電極31とで、埋込領域23と排出領域27との間の半導体領域21の上部に形成されるチャネルの電位を制御し、ポテンシャルプロファイル(電位勾配)を変更して、埋込領域23から排出領域27への電荷を排出/非排出、及び蓄積領域24への信号電荷の転送/非転送を制御する電位勾配変更手段(31, 33)を構成している。又、ゲート絶縁膜33とゲート絶縁膜33上の読み出しゲート電極32とで、蓄積領域24と読み出し領域28との間の半導体領域21の上部に形成されるチャネルの電位を制御して、蓄積領域24から読み出し領域28へ電荷を転送する電荷転送制御手段(32, 33)を構成している。

40

【0023】

図3(b)及び図3(c)は、図3(a)の断面図において、埋込領域23、蓄積領域24、読み出し領域28を水平面で切った断面におけるポテンシャル図であり、電荷(電子)を黒丸で示している。図3(a)に対応して、図3(b)及び図3(c)の中央の左側に埋込領域23の伝導帯端の位置を示すポテンシャル谷(第1のポテンシャル谷)PW

50

1を示す。更に、第1のポテンシャル谷PW1の右側に、蓄積領域24の伝導帯端の位置を示すポテンシャル谷(第2のポテンシャル谷)PW2を示す。更に、第2のポテンシャル谷PW2の右側に、読み出し領域28のポテンシャル井戸のフェルミレベル以下の電子が充満した状態を右上がりのハッチングで示す。読み出し領域28のポテンシャル井戸の深さは、フェルミレベルになるので、図3(b)及び図3(c)においては、右上がりのハッチングで示した領域の上端のレベルが、ポテンシャル井戸の深さを定義する。第2のポテンシャル谷PW2と、読み出し領域28のポテンシャル井戸との間の電位障壁は、読み出しゲート電極32直下の半導体領域21の伝導帯端のポテンシャル分布に相当する。一方、第1のポテンシャル谷PW1の左側に、排出領域27のポテンシャル井戸のフェルミレベル以下の電子が充満した状態を右上がりのハッチングで示す。第1のポテンシャル谷PW1と、排出領域27のポテンシャル井戸との間の電位障壁は、埋込領域23の片側にのみ設けられた排出ゲート電極31直下の半導体領域21の伝導帯端のポテンシャル分布に相当する。

10

【0024】

図3(b)及び図3(c)に示すように、埋込領域23と蓄積領域24との間にポテンシャルバリアを設けないようにして、埋込領域23の完全空乏化したときの第1のポテンシャル谷PW1の深さが、蓄積領域24の完全空乏化したときの第2のポテンシャル谷PW2の深さよりも階段状(ステップ状)に浅くなるようにするためには、例えば、埋込領域23の不純物密度よりも蓄積領域24の不純物密度が階段状に高くなるように、それぞれの不純物密度を選べば良い。埋込領域23の不純物密度よりも蓄積領域24の不純物密度を階段状に高く設定する方法は、公知の種々の方法が採用可能である。但し、図2に示した平面パターンにおけるマスク位置のずれによるポテンシャルバリアが発生しないようにするためには、図2及び図3(a)に示すように、蓄積領域24には、深い第2のポテンシャル谷PW2を形成するようにn型の不純物が2回イオン注入され(不純物密度 n_1 と不純物密度 n_2)、浅い第1のポテンシャル谷PW1を形成する埋込領域23には1回のみイオン注入される(不純物密度 n_1 のみ)ようにすれば良い。即ち、図2の平面図において埋込領域23と蓄積領域24との両方を含む広い領域への不純物密度 n_1 を実現するためのイオン注入のマスクと、蓄積領域24のみからなる狭い領域への不純物密度 n_2 のイオン注入のマスクを用意し、マスク合わせにより選択的に1回のみイオン注入される領域と選択的に2回イオン注入される領域を形成して階段状の不純物密度分布を実現すれば良い。

20

30

【0025】

ブロック層25は、第1の実施の形態に係る固体撮像装置に使用する波長が長い場合において、半導体領域21の深くで発生した電子が表面に拡散によって戻ってくる場合、その一部が、蓄積領域24に取り込まれるのをブロックすることができる。このため、例えば近赤外光など、使用する光の波長が長い場合であっても、排出ゲート電極31の電位制御による発生電子の蓄積領域24への転送の変調特性に対する、半導体領域21の深くで発生した電子が表面に拡散によって戻ってくる影響を抑制することが可能である。

【0026】

蓄積領域24及びブロック層25は、図4に示すように、半導体領域21を、フォトレジスト膜でマスクングし、例えばp型の半導体を形成するホウ素イオン($^{11}\text{B}^+$)、n型の半導体を形成する砒素イオン($^{75}\text{As}^+$)を、順次イオン注入することにより形成される。ブロック層25を形成するホウ素イオン($^{11}\text{B}^+$)は深く、蓄積領域24を形成する砒素イオン($^{75}\text{As}^+$)等は浅く注入する。イオン注入の加速電圧が高いほど深く注入することができるが、同じ加速電圧の場合は軽い質量のホウ素の方が砒素と比べ深く注入される。蓄積領域24及びブロック層25は、1種のマスクを用いて形成されるので、フォトレジスト膜のマスクずれによるポテンシャルバリアが形成されることを防ぐことができ、ポテンシャルバリアによる電荷の転送不良をなくし、転送を高速化できる。

40

【0027】

図2に示す平面図において、埋込領域23は、F字型をなすように、上側に延伸した先

50

の2箇所屈折して右側に2本の段付きストライプとして延伸し、2本の段付きストライプはそれぞれ、右方に向け階段状に幅が減少している。図2に示すように、埋込領域23の平面パターンの一部を複数の細い縞状(ストライプ状)にして、互いに対峙させることにより、縞状パターンの中の半導体領域21を容易に空乏化させることができる。F字型をなす縞状パターンにより、受光面積を拡大し、且つ第1のポテンシャル谷PW1の底(空乏化したときの電位)を実効的に第2のポテンシャル谷PW2の底よりも高くすることができ、信号電荷の完全転送を行うことができる。図2では、F字型をなすように、右上側に2本の段付きストライプを示したが例示に過ぎず、3本以上のストライプでも構わない。図2において、排出ゲート電極31は、埋込領域23の左側の辺の一部と隣接するように、埋込領域23の片側にのみ配置され、排出領域27は、埋込領域23の左側に排出ゲート電極31を隔てて、排出ゲート電極31の一部から左側に突出するように隣接して設けられている。下側の部分に埋込領域23と一部を重畳し蓄積領域24及びブロック層25が設けられている。蓄積領域24とブロック層25とは同一のマスクを用いて形成されているので図2に示す平面図において一致している。

10

【0028】

排出領域27と排出ゲート電極31とは、図示を省略した表面配線により互いに接続されている。埋込領域23の上にはピニング層26が形成されているので、半導体領域21の最上層に着目すれば、ピニング層26と排出領域27との間の半導体領域21の上方に排出ゲート電極31が設けられていることになる。更に、ピニング層26と読み出し領域28との間には読み出しゲート電極32が設けられている。

20

【0029】

図2及び図3(a)に示すように、電荷が埋込領域23から排出されるとき、電荷流入面の主面となる排出領域27の端部が、排出ゲート電極31直下において、平面パターン上で、埋込領域23の端部と平行に対峙している。そして、埋込領域23の片側にのみ設けられた排出ゲート電極31が埋込領域23の一部に重複し且つ隣接するように配置されているので、電位勾配変更手段(31, 33)によって、ポテンシャルプロファイル(電位勾配)を変更する際には、埋込領域23の排出領域27に対向する部分の全体において、排出領域27に向かう電界を排出ゲート電極31直下の半導体領域21に発生させることができる。よって、第1の実施の形態に係る半導体素子は、電荷の排出領域27への排出効率を向上させ、且つ埋込領域23から蓄積領域24に至る信号電荷の高速転送を実現することが可能であると共に、画素の構造を簡単化できる。

30

【0030】

図2の平面図に示すように、埋込領域23、蓄積領域24、読み出し領域28及び排出領域27を囲むように、破線で示した領域の外側に第1導電型のウェル領域(pウェル)22が形成されている。破線の更に外側のピニング層26を囲む太い実線30は、素子分離領域との境界を示す。即ち、図2に示す太い実線30の外側が、LOCOS法やSTI法等によって形成される素子分離絶縁膜の領域である。

【0031】

例えば、排出領域27に接続された排出ゲート電極31に制御信号TXDとして高い電圧(正の電圧)を与えると、図3(c)に示すような埋込領域23から排出領域27の方に向かう空乏化電位の傾きが発生する。図3(c)に示すような傾きのポテンシャル分布に起因する電界によって、埋込領域23で発生した殆どの電子は排出領域27に排出され、これにより蓄積領域24には転送されなくなる。

40

【0032】

一方、排出ゲート電極31に制御信号TXDとして低い電圧(0V、又は-1V程度の負電圧)を与えると、図3(b)に示すように、埋込領域23と排出領域27との間に電子に対する電位障壁が形成され、埋込領域23から蓄積領域24の方に向かう空乏化電位の傾きが発生する。よって、埋込領域23から排出領域27には電子は排出が止まり、図3(b)に示すようなポテンシャル分布に起因する電界によって、埋込領域23で発生した殆どの電子(電荷)が、蓄積領域24に転送される。

50

【0033】

以上のように、埋込領域23と蓄積領域24との間に特別なゲート構造を設けることなく、埋込領域23の片側にのみ設けられた排出ゲート電極31の電位制御だけで、光による発生電子の蓄積領域24への蓄積量(又は蓄積状態)を変調することができる。又、排出ゲート電極31に制御信号TXDとして低い電圧を与えたときには、埋込領域23から蓄積領域24の方に向かう空乏化電位の傾きが形成されているので、埋込領域23から蓄積領域24にすべての電荷を転送する完全転送が実現できる。この完全転送により、残像を防止でき、残電荷によるランダムノイズの発生を防止できる。

【0034】

この様に、第1の実施の形態に係る固体撮像装置によれば、埋込領域23の片側にのみ、電位勾配変更手段(31, 33)をなす排出ゲート電極31が設けられ、排出ゲート電極31の電位制御だけで、蓄積領域24への信号電荷の転送/非転送を制御することができるので、特許文献3で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が0になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができるので、画素の構造が単純化され、電荷の転送効率が高くなり、高解像度化及び高速動作が可能になる。又、埋込領域23から蓄積領域24に至る電荷転送経路にゲート構造やスイッチがないため、ゲート電極下を電子が通過するときのシリコン/酸化膜界面(Si-SiO₂界面)での電子のトラップがなく、高速転送が可能となるため、時間分解能が向上する。更に、埋込領域23と蓄積領域24が1つの埋込フォトダイオード構造となっているため、暗電流ノイズ、転送ノイズ等のノイズの抑制の点からも有利となる。更に、蓄積領域24の下方に、ブロック層25を備えているので、排出ゲート電極31の電位制御による発生電子の蓄積領域24への転送の変調特性に対する、半導体領域21の深い位置で発生した電子が表面に拡散によって戻ってくる影響を抑制することができる。

【0035】

一方、読み出しゲート電極32は、ゲート絶縁膜33を介して転送チャネルの電位を静電的に制御する。例えば、読み出しゲート電極32に制御信号TXとして低い電圧(0V、又は負電圧)を与えると、蓄積領域24と読み出し領域28との間に電子に対する電位障壁が形成され、蓄積領域24から読み出し領域28へ電荷は転送されない。一方、読み出しゲート電極32に制御信号TXとして高い電圧(正の電圧)を与えると、蓄積領域24と読み出し領域28との間の電位障壁の高さが減少、若しくは消滅し、蓄積領域24から読み出し領域28へ電荷が転送される。

【0036】

図3(a)に示すように、読み出し領域28には、読み出し用バッファアンプを構成する信号読み出しトランジスタ(増幅トランジスタ)TA_{ij}のゲート電極が接続されている。信号読み出しトランジスタTA_{ij}のドレイン電極は電源VDDに接続され、信号読み出しトランジスタTA_{ij}のソース電極は画素選択用のスイッチングトランジスタTS_{ij}のドレイン電極に接続されている。画素選択用のスイッチングトランジスタTS_{ij}のソース電極は、垂直信号線B_jに接続され、スイッチングトランジスタTS_{ij}のゲート電極には水平ラインの選択用制御信号S(i)が垂直走査回路3から与えられる。選択用制御信号S(i)をハイ(H)レベルにすることにより、スイッチングトランジスタTS_{ij}が導通し、信号読み出しトランジスタTA_{ij}で増幅された読み出し領域28の電位に対応する電流が垂直信号線B_jに流れる。更に、読み出し領域28には、読み出し用バッファアンプを構成するリセットトランジスタTR_{ij}のソース電極が接続されている。リセットトランジスタTR_{ij}のドレイン電極は電源VDDに接続され、リセットトランジスタTR_{ij}のゲート電極にはリセット信号R(i)が与えられる。リセット信号R(i)をハイ(H)レベルにして、リセットトランジスタTR_{ij}が読み出し領域28に蓄積された電荷を吐き出し、読み出し領域28をリセットする。

【0037】

半導体領域21は、不純物密度 $5 \times 10^{12} \text{ cm}^{-3}$ 程度以上、 $5 \times 10^{16} \text{ cm}^{-3}$ 程度以下

10

20

30

40

50

程度が好ましい。図3(b)及び図3(c)に示すように、蓄積領域24の多数キャリアに対するポテンシャル谷の底の電位が、埋込領域23がなすポテンシャル谷の底の電位よりも深くなるように、蓄積領域24の不純物密度は埋込領域23よりも高く設定している。例えば、埋込領域23の不純物密度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $8 \times 10^{18} \text{ cm}^{-3}$ 程度以下、好ましくは $2 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $8 \times 10^{17} \text{ cm}^{-3}$ 程度の比較的的空乏化が容易な値が採用可能であり、その厚さは $0.1 \sim 3 \mu\text{m}$ 程度、好ましくは $0.1 \sim 0.3 \mu\text{m}$ 程度とすることが可能である。一方、蓄積領域24の不純物密度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $8 \times 10^{18} \text{ cm}^{-3}$ 程度以下、好ましくは $4 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{18} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $1.6 \times 10^{18} \text{ cm}^{-3}$ 程度の値が採用可能であり、その厚さは $0.1 \sim 3 \mu\text{m}$ 程度、好ましくは $0.1 \sim 0.3 \mu\text{m}$ 程度とすることが可能である。蓄積領域24の不純物密度は、埋込領域23の不純物密度の $1.2 \sim 5$ 倍、好ましくは $1.5 \sim 2.5$ 倍程度に設定しておけば、蓄積領域24のポテンシャル谷の底の電位が、埋込領域23がなすポテンシャル谷の底の電位よりも適度に深くなる。

【0038】

ゲート絶縁膜33を熱酸化膜で形成する場合は、熱酸化膜の厚さは、 150 nm 程度以上、 1000 nm 程度以下、好ましくは 200 nm 程度以上、 400 nm 程度以下とすれば良い。ゲート絶縁膜33を熱酸化膜以外の誘電体膜とする場合は、熱酸化膜の比誘電率 ϵ_r (1 MHz で $\epsilon_r = 3.8$)で換算した等価な厚さとすれば良い。例えば、比誘電率 $\epsilon_r = 4.4$ であるCVD酸化膜を用いるのであれば上記厚さを $4.4 / 3.8 = 1.16$ 倍した厚さを、比誘電率 $\epsilon_r = 7$ であるシリコン窒化物(Si_3N_4)膜をゲート絶縁膜33に用いるのであれば上記厚さを $7 / 3.8 = 1.84$ 倍した厚さを採用すれば良い。但し、標準的なCMOS技術で形成される酸化膜(SiO_2 膜)をゲート絶縁膜33に用いるのが好ましく、CMOS技術におけるフィールド酸化膜をゲート絶縁膜33に用いるのが製造工程の簡略化に適している。

【0039】

図3(a)に示すように、遮光膜41の開口部42は、光電荷の発生が、フォトダイオードD1を構成している埋込領域23の直下の半導体領域21で生じるように選択的に設けられている。図3(a)では、ゲート絶縁膜33のみを示しているが、遮光膜41は、図示を省略した多層配線構造をなす複数の層間絶縁膜の内のいずれかの上部に設けられたアルミニウム(Al)等の金属薄膜で構成すれば良い。

【0040】

< 固体撮像装置の動作：距離画像センサ >

図2及び図3(a)に概略構成を示したロックインピクセルの応用を以下に説明する。即ち、光源からパルス幅 T_0 の繰り返しパルス信号として照射された光が、対象物で反射され、レンズを介して、図1に示した固体撮像装置(2次元イメージセンサ)のそれぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ に入射する。即ち、図3(a)に示したように、それぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ の遮光膜41の開口部42を介して、それぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ のフォトダイオードD1に入射する。フォトダイオードD1は、遮光膜の開口部42を介して入射したパルス幅 T_0 のパルス光を光信号として受光し、この光信号を電荷に変換する。この際、図5に示すタイミング図のように、埋込領域23の片側にのみ設けられた排出ゲート電極31に制御信号TXDとして高い電圧(正の電圧)を受信したパルス幅 T_0 の光パルスのタイミングに対して与える。

【0041】

既に説明したとおり、排出ゲート電極31に制御信号TXDとして高い電圧(正の電圧)を与えると、図3(c)に示すような傾きのポテンシャル分布に起因する電界によって、埋込領域23で発生した殆どの電子は排出領域27に排出される。一方、排出ゲート電極31に制御信号TXDとして低い電圧(0V、又は -1 V 程度の負電圧)を与えると、図3(b)に示すようなポテンシャル分布によって、埋込領域23で発生した殆どの電

10

20

30

40

50

子（電荷）が、蓄積領域 2 4 に転送される。

【 0 0 4 2 】

先ず、図 5（ a ）のように、パルス幅 T_o の受信光パルスが排出ゲート電極 3 1 に印加する制御信号 TXD の立ち上がりエッジに、光パルスの遅れ時間 T_d 分、遅れてかかるようなタイミングで発光させた場合、光パルスによって埋込領域 2 3 で発生し、蓄積領域 2 4 に蓄積される電荷 Q_1 は、

$$Q_1 = I_p(T_o - T_d) + Q_B + Q_{SR} \quad \dots (1)$$

与えられる。ここで、 I_p は受信光パルスにより発生する光電流、 Q_B は背景光による電荷、 Q_{SR} は受信光パルスによって発生した電荷の内、応答速度が遅く、埋込領域 2 3 中でオフセット電荷としてふるまう成分である。

【 0 0 4 3 】

図 5（ b ）では、計測対象とする測距範囲において、パルス幅 T_o の受信光パルスによる埋込領域 2 3 で発生した電荷は、すべて蓄積領域 2 4 に蓄積されるように光パルスのタイミングを設定しており、この場合に、蓄積される電荷 Q_2 は、

$$Q_2 = I_p T_o + Q_B + Q_{SR} \quad \dots (2)$$

と表される。

【 0 0 4 4 】

図 5（ c ）では、受信した光パルスにより埋込領域 2 3 で発生した成分は、すべて排出領域 2 7 に排出されるように光パルスのタイミングを設定している。この場合は、応答速度の遅いオフセット電荷の成分 Q_{SR} と背景光による成分 Q_B が蓄積領域 2 4 に蓄積されるように取り込まれ、

$$Q_3 = Q_B + Q_{SR} \quad \dots (3)$$

で表される。式（ 3 ）から、式（ 1 ）、式（ 2 ）に含まれる背景光による成分 Q_B と電荷の成分の内、応答速度の遅いオフセット電荷の成分 Q_{SR} をキャンセルすることにより、光パルスの遅れ時間 T_d を求めることができることが分かる。即ち、光パルスの遅れ時間 T_d は、

$$T_d = T_o(Q_2 - Q_1)/(Q_2 - Q_3) \quad \dots (4)$$

から求めることができるので、対象物までの距離 L は、光速 c を用いて、

$$L = (c/2) T_d = (c/2) T_o(Q_2 - Q_1)/(Q_2 - Q_3) \quad \dots (5)$$

により求められる。

【 0 0 4 5 】

実際には、図 5 で示した排出ゲート電極 3 1 に印加する制御信号 TXD の繰り返し周期 T_s を 1 サイクルとして、多数回繰り返し、十分な電子数を蓄積領域 2 4 に蓄積したのち、各画素の信号をイメージセンサの外部に読み出す。その一連の操作を図 5（ a ）、（ b ）、（ c ）に対して順次行い、読み出された各電荷量に比例した信号電圧或いは、その信号電圧に比例したデジタル値により、デジタル領域での演算で、式（ 5 ）に相当する処理を行うことで距離が求められる。

【 0 0 4 6 】

実際のイメージセンサの読み出しのタイミングの例を、図 6 に示す。図 1 に示した固体撮像装置（ 2 次元イメージセンサ ）では、図 2 及び図 3（ a ）の排出ゲート電極 3 1 に、

10

20

30

40

50

全画素共通の制御信号TXDを与え、同じタイミングで動作させる。或いは、例えば、行毎にタイミングの異なる信号を加え、読み出し動作と連動させて与えても良い。図6のように、「光照射」の期間で、排出ゲート電極31に制御信号TXDを繰り返し周期 T_g で、多数回繰り返し印加し、電荷の排出領域27への排出と、蓄積領域24への転送を繰り返し、十分な電子数を蓄積領域24に蓄積する。その後、「読み出し」の期間で、図1に示した画素アレイ部1の各行の排出ゲート電極31に、垂直走査回路3から制御信号TX(1), ..., TX(i), ..., TX(n-2), TX(n-1), TX(n)を、図6に示すように、順に印加し、蓄積領域24の信号電子を読み出す。信号をイメージセンサの外部に読み出す方法については、従来の埋込フォトダイオードを用いた電荷転送型のCMOSイメージセンサと違いはなく、詳細な説明は省略する。図6では、読み出し期間における、各行毎に与えるTX信号のタイミングだけを示している。

10

【0047】

第1の実施の形態に係る固体撮像装置によれば、変調された光信号と同期して電荷の検出を行う場合において、信号検出のための電荷転送経路が一種類であるため、例えばフォトダイオードからの複数の蓄積領域24にゲート電極構造を介して、電荷を振り分ける従来の構造と比較して、画素毎に特性ばらつきを少なくした距離画像センサを実現することができる。又、第1の実施の形態に係る固体撮像装置によれば、埋込領域23の片側にのみ、電位勾配変更手段(31, 33)をなす排出ゲート電極31が設けられ、排出ゲート電極31の電位制御だけで、蓄積領域24への信号電荷の転送/非転送を制御することができるので、特許文献3で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が0になってしまう不都合もない。

20

【0048】

<固体撮像装置の動作：蛍光強度及び蛍光の寿命測定>

次に、本発明の第1の実施の形態に係る固体撮像装置の応用例として、対象物の蛍光の寿命を画像化する方法を説明する。蛍光寿命の測定は、バイオイメージングにおいて有用であり、その計測が半導体デバイスと簡単な光源及び光学系で実現することができれば、蛍光の寿命測定の応用範囲を拡大することができる。

【0049】

図7は、排出ゲート電極31に制御信号TXDとして低い電圧(0V、又は-1V程度の負電圧)を印加する期間 T_g を短くし、そのパルスのタイミング T_d を1フレーム毎に変化させることで蛍光の寿命を測定する場合のタイミング図を示している。期間Tの間以外は、排出ゲート電極31に制御信号TXDとして高い電圧を与えて、埋込領域23の電荷を排出領域27へ排出する。繰り返しパルスの励起光を照射したとき、励起光が照射された対象物からの蛍光は遅れて応答する。

30

【0050】

蛍光は指数関数的に減衰するため、蛍光の強度をPとすると、蛍光Pと時間Tとの関係は、 t を蛍光の寿命、 P_0 を蛍光の強度の初期値として、式(6)のように表すことができる：

$$P = P_0 \exp(-t/\tau) \quad \dots (6)$$

40

【0051】

図7において、タイミング $T_d = t_1$ から期間Tの間、制御信号TXDとして低い電圧を排出ゲート電極31に与えて、蛍光による電荷を蓄積領域24に転送したとき、蛍光電荷の転送の遅れ時間を無視すれば、転送電荷 Q_1 は、式(7)のように、時刻 t_1 から $t_1 + T$ の期間の積分で与えられる：

【数 1】

$$Q_1 = k \int_{t_1}^{t_1 + \Delta T} P_0 \exp(-t/\tau) dt = kP_0\tau \exp(-t_1/\tau)(1 - \exp(-\Delta T/\tau))$$

... (7)

この転送動作を何度も繰り返す。このとき、蛍光の寿命が変化せず、同じ蛍光を繰り返すとすれば、N回の繰り返しにより、その電荷はN倍になる。

10

【0052】

同様に、図11において、時刻 t_1 とは異なるタイミング $T_d = t_2$ から期間 T の間、制御信号 $T \times D$ として低い電圧を排出ゲート電極31に与えて、蛍光による電荷を蓄積領域24に転送したとき、蛍光電荷の転送の遅れ時間を無視すれば、転送電荷 Q_2 は、式(8)のように、時刻 t_2 から $t_2 + T$ の期間の積分で与えられる：

【数 2】

$$Q_2 = k \int_{t_2}^{t_2 + \Delta T} P_0 \exp(-t/\tau) dt = kP_0\tau \exp(-t_2/\tau)(1 - \exp(-\Delta T/\tau))$$

20

... (8)

式(7)及び式(8)から、蛍光の寿命は以下の式(9)のように表すことができる：

$$= (t_2 - t_1) / \ln(Q_1/Q_2) \quad \dots (9)$$

【0053】

したがって、蛍光により発生した電荷を異なるタイミングで読み出すことにより、蛍光の寿命を測定可能となる。尚、イメージセンサとしての全体的な読み出しの動作は、図6を用いて説明した動作と実質的に同様であるので、重複した説明を省略する。

30

【0054】

第1の実施の形態に係る固体撮像装置によれば、特許文献3で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が0になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができ、変調された光信号と同期して電荷の検出を行う場合において、信号検出のための電荷転送経路が一種類であるため、例えばフォトダイオードからの複数の蓄積領域24にゲート電極構造を介して、電荷を振り分ける従来の構造に比較して画素毎に特性ばらつきを少なくして、蛍光の寿命を画像化することができる。

【0055】

図7に示したタイミング図は、蛍光寿命を測る場合だけでなく、蛍光の強度を測るものにも使える。蛍光の強度の測定は、単に時間的に窓をかけて、励起光の成分を捨てて(排出)、蛍光が発生しているときだけ、転送するようにすれば良い。その時間窓のタイミングは固定であるが、蛍光をできるだけ集めたいので、励起光のすぐ後で、開きはじめ、十分に減衰するまで時間窓を広く、即ち T を大きくする。

40

【0056】

よって、蛍光強度イメージングの場合は、時間窓 T を固定として、励起光による電荷を十分に排出したのちに、排出ゲートを閉じ、蛍光により発生した電荷のみを電荷蓄積部に転送する。従来、蛍光強度イメージングでは、励起光による成分と蛍光による成分の分離は、それらの波長が異なることを利用し、光の波長に対して選択する光学フィルタのみが用いられているが、励起光と蛍光の波長成分が一部重なりあうため、励起光が必ずしも

50

十分に分離できない場合がある。本発明のように、時間窓による選択を併用することで、より分離性が高まり、より微弱な蛍光を検出することができる。

【 0 0 5 7 】

(第2の実施の形態)

第1の実施の形態に係る固体撮像装置の画素では、読み出しゲート電極32の電位制御によって、蓄積領域24に蓄積された電荷を読み出し領域28に転送したが、図8に平面図を示すように、固体撮像装置の画素 X_{ij} の一部としての半導体素子を、読み出し領域28aが埋込領域23aの内部で、且つ蓄積領域24aの内部に位置するようにし、読み出しゲート電極を設けずに蓄積領域24aに蓄積された電荷を直接読み出し領域28に転送するようにしても良い。

10

【 0 0 5 8 】

図9(a)に、図8のB-B方向から見た階段断面図を示すように、本発明の第2の実施の形態に係る固体撮像装置の画素(半導体素子)は、第1導電型(p型)の半導体領域21と、半導体領域21の上部の一部に埋め込まれ、半導体領域21とフォトダイオードをなす第2導電型(n型)の埋込領域(受光カソード領域)23aと、埋込領域23aから離間して半導体領域21の一部に設けられ、特定のタイミングにおいて埋込領域23aからフォトダイオードが生成した電荷を排出する、埋込領域23aよりも高不純物密度で第2導電型(n⁺型)の排出領域27と、半導体領域21の一部に設けられ、電荷の非排出時に電荷を埋込領域23aから転送され、読み出されるまで蓄積する、埋込領域23aよりも高不純物密度で第2導電型(n⁺型)の読み出し領域28aと、埋込領域23aと排出領域27との間の半導体領域21からなるチャンネルの上部に設けられ、チャンネルの電位を制御して、埋込領域23aから読み出し領域28aへ至るポテンシャルプロファイルの少なくとも一部の電位勾配、及び埋込領域23aから排出領域27へ至るポテンシャルプロファイルの電位勾配を変化させ、電荷の転送の少なくとも一部及び電荷の排出を制御する電位勾配変更手段(31, 32)とを備える。本発明の第2の実施の形態に係る固体撮像装置の画素(半導体素子)は、読み出し領域28aを囲んで読み出し領域28aに連続して設けられ、埋込領域23aの多数キャリアに対する埋込領域23aがなすポテンシャル谷の底の電位よりも深く、読み出し領域28aがなす多数キャリアに対するポテンシャル井戸の深さよりも浅いポテンシャル谷を形成する第2導電型(n型)の蓄積領域24aを更に備える(図9(b)及び図9(c)参照)。電位勾配変更手段(31, 32)は、電荷の転送時において、埋込領域23aから蓄積領域24aへ向かい次第に電位が下がる電位勾配を形成し、電荷を埋込領域23aから蓄積領域24aへ転送する。図8の平面図では、読み出し領域28aが埋込領域23aの内部に設けられているが、読み出し領域28aは埋込領域23aの内部に完全に含まれている必要はなく、読み出し領域28aは埋込領域23aと連続、又は埋込領域23aと少なくとも一部を重複して設けられていても良い。

20

30

【 0 0 5 9 】

図9(a)に示すように、埋込領域23aに光が選択的に入射するように、遮光膜41の開口部42が設けられている。遮光膜41の開口部42を設けることにより、光電荷の発生が、フォトダイオードD1を構成している埋込領域23aの直下の半導体領域21で生じる。図9(a)では、ゲート絶縁膜33のみを示しているが、遮光膜41は、図示を省略した多層配線構造をなす複数の層間絶縁膜の内のいずれかの上部に設けられたアルミニウム(Al)等の金属薄膜で構成すれば良いのも第1の実施の形態に係る固体撮像装置と同様である。

40

【 0 0 6 0 】

本発明の第2の実施の形態に係る固体撮像装置の画素(半導体素子)は、第1の実施の形態に係る固体撮像装置と同様に、蓄積領域24aの下方に設けられ、半導体領域21より高不純物密度の第1導電型(p⁺型)のブロック層25aと、埋込領域23aの上から蓄積領域24aの上に渡り設けられた、第1導電型(p⁺型)のピニング層26aとを更に備える。そして、図8に破線で示したように、ピニング層26a、ピニング層26aの

50

下方の埋込領域 2 3 a、排出領域 2 7、蓄積領域 2 4 a を囲むように、半導体領域 2 1 より高不純物密度の第 1 導電型のウェル領域 (p ウェル) 2 2 が形成されている。破線の更に外側のピニング層 2 6 a を囲む太い実線 3 0 a は、素子分離領域との境界を示す。即ち、図 8 に示す太い実線 3 0 a の外側が、LOCOS 法や STI 法等によって形成される素子分離絶縁膜の領域である。

【 0 0 6 1 】

第 2 の実施の形態に係る固体撮像装置の画素 (半導体素子) には読み出しゲート電極はないが、ゲート絶縁膜 3 3 上には、埋込領域 2 3 a と排出領域 2 7 との間に形成される排出チャンネルの電位を制御して、埋込領域 2 3 a から、埋込領域 2 3 a が生成した電子を排出領域 2 7 へ転送する排出ゲート電極 3 1 が埋込領域 2 3 a の片側にのみ、配置されている。ゲート絶縁膜 3 3 とゲート絶縁膜 3 3 上の排出ゲート電極 3 1 とで、埋込領域 2 3 a と排出領域 2 7 との間の半導体領域 2 1 の上部に形成されるチャンネルの電位を制御し、ポテンシャルプロファイル (電位勾配) を変更して、埋込領域 2 3 a から排出領域 2 7 への電荷を排出 / 非排出、及び埋込領域 2 3 a から蓄積領域 2 4 a への信号電荷の転送 / 非転送を制御する電位勾配変更手段 (3 1 , 3 3) を構成している。

10

【 0 0 6 2 】

図 9 (b) 及び図 9 (c) は、図 9 (a) の階段断面図において、埋込領域 2 3 a、蓄積領域 2 4 a、読み出し領域 2 8 a を水平面で切った断面におけるポテンシャル図であり、電荷 (電子) を黒丸で示している。図 9 (a) に対応して、図 9 (b) 及び図 9 (c) の左側に、排出領域 2 7 のポテンシャル井戸のフェルミレベル以下の電子が充満した状態を右上がりのハッチングで示す。又、排出領域 2 7 のポテンシャル井戸の右側に、埋込領域 2 3 a の伝導帯端の位置を示すポテンシャル谷 (第 1 のポテンシャル谷) P W 1 と、第 1 のポテンシャル谷 P W 1 の右側に、蓄積領域 2 4 a の伝導帯端の位置を示すポテンシャル谷 (第 2 のポテンシャル谷) P W 2 を示す。第 2 のポテンシャル谷 P W 2 の中央部に、第 2 のポテンシャル谷 P W 2 の底よりも深い読み出し領域 2 8 a のポテンシャル井戸を示す。読み出し領域 2 8 a のポテンシャル井戸の深さは、フェルミレベルになるので、図 9 (b) 及び図 9 (c) においては、右上がりのハッチングで示した領域の上端のレベルが、ポテンシャル井戸の深さを定義する。読み出し領域 2 8 a を示す深いポテンシャル井戸の周りのフェルミレベルの上方の位置には、読み出し領域 2 8 a よりも浅い第 2 のポテンシャル谷 P W 2 の底を示す伝導帯端が囲み、第 2 のポテンシャル谷 P W 2 が読み出し領域 2 8 a がなす深いポテンシャル井戸に単調に連続している。蓄積領域 2 4 a の多数キャリアに対するポテンシャル谷の底の電位が、埋込領域 2 3 a がなすポテンシャル谷の底の電位よりも深く、読み出し領域 2 8 a がなすポテンシャル井戸の深さよりも浅くなるように、蓄積領域 2 4 a の不純物密度は埋込領域 2 3 a よりも高く、読み出し領域 2 8 a の不純物密度よりも低く設定している。

20

30

【 0 0 6 3 】

第 1 のポテンシャル谷 P W 1 とその左側に示した排出領域 2 7 の深いポテンシャル井戸との間の電位障壁は、排出ゲート電極 3 1 の直下の半導体領域 2 1 の伝導帯端のポテンシャル分布に相当する。例えば、排出ゲート電極 3 1 に、制御信号 T X D として、低い電位 (0 V、又は - 1 V 程度の負電圧) を与えると、図 9 (b) に示すように、埋込領域 2 3 と排出領域 2 7 との間に電子に対する電位障壁が形成され、埋込領域 2 3 から蓄積領域 2 4 a の方向に向かう空乏化電位の傾きが発生する。図 9 (b) に示すようなポテンシャル分布に起因する電界によって、埋込領域 2 3 a で発生した殆どの電子 (電荷) が、蓄積領域 2 4 a に転送され、更に蓄積領域 2 4 a を示す第 2 のポテンシャル谷 P W 2 を経由して、読み出し領域 2 8 a の深いポテンシャル井戸へ転送される。

40

【 0 0 6 4 】

一方、排出領域 2 7 に接続された排出ゲート電極 3 1 に制御信号 T X D として高い電位 (正の電圧) を与えると、図 9 (c) に示すように、埋込領域 2 3 a から左側の排出領域 2 7 の深いポテンシャル井戸に向かう空乏化電位の傾きが発生する。図 9 (c) に示すようなポテンシャル分布に起因する電界によって、埋込領域 2 3 a で発生した電子は、排出

50

領域 2 7 に排出され、読み出し領域 2 8 a の深いポテンシャル井戸へは転送できなくなる。

【 0 0 6 5 】

図 8 及び図 9 (a) に示すように、電荷が埋込領域 2 3 a から排出されるとき、電荷流入面の主面となる排出領域 2 7 の端部が、排出ゲート電極 3 1 直下において、平面パターン上で、埋込領域 2 3 a の端部と平行に対峙している。そして、排出ゲート電極 3 1 が埋込領域 2 3 a の一部に重複し且つ隣接するように配置されているので、電位勾配変更手段 (3 1 , 3 3) によって、ポテンシャルプロファイル (電位勾配) を変更する際には、埋込領域 2 3 a の排出領域 2 7 に対向する部分の全体において、排出領域 2 7 に向かう電界を排出ゲート電極 3 1 直下の半導体領域 2 1 に発生させることができる。よって、第 2 の実施の形態に係る半導体素子は、電荷の排出領域 2 7 への排出効率を向上させ、且つ埋込領域 2 3 a から蓄積領域 2 4 a を経て読み出し領域 2 8 a へ至る信号電荷の高速転送を実現することが可能であると共に、画素の構造を簡単化できる。更に、第 2 の実施の形態に係る半導体素子は、読み出し領域 2 8 a に電荷を転送するための読み出しゲート電極を省略しているため、半導体素子の構造が簡単化され、画素の面積を小さくでき、高空間解像度で高速動作するイメージセンサを実現できる。但し、通常の読み出しでは、リセットノイズがキャンセルされないことと、半導体表面で電荷を蓄積することから、暗電流が大きくなる点に注意が必要である。

10

【 0 0 6 6 】

この様に、第 2 の実施の形態に係る固体撮像装置によれば、埋込領域 2 3 a の片側のみ、排出ゲート電極 3 1 が設けられ、排出ゲート電極 3 1 の電位制御だけで、蓄積領域 2 4 a への信号電荷の転送 / 非転送を制御することができるので、特許文献 3 で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が 0 になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができるので、画素の構造が簡単化され、電荷の転送効率が高くなり、高解像度化及び高速動作が可能になる。

20

【 0 0 6 7 】

(第 3 の実施の形態)

又、既に述べた第 2 の実施の形態の説明では、図 8 及び図 9 に示したように、読み出し領域 2 8 a を蓄積領域 2 4 a の表面の中央付近に位置するようにし、蓄積領域 2 4 a の下方に、半導体領域 2 1 より高不純物密度の第 1 導電型 (p ⁺ 型) のブロック層 2 5 a を設け、読み出しゲート電極を設けずに蓄積領域 2 4 に蓄積された電荷を直接読み出し領域 2 8 に転送する構造を示したが、本発明の第 3 の実施の形態に係る固体撮像装置の画素 X_{ij} の一部としての半導体素子では、図 1 1 に示すように、第 2 の実施の形態で用いた蓄積領域 2 4 a 及びブロック層 2 5 a の領域をなくして、ウェル領域 (p ウェル) 2 2 b を読み出し領域 2 8 b と重ねるレイアウトを採用している。図 1 1 の平面図において、破線で示した領域の外側がウェル領域 2 2 b である。図 1 1 は平面図なので、ゲート絶縁膜の図示を省略しているが、ゲート絶縁膜とゲート絶縁膜上の排出ゲート電極 3 1 とで、埋込領域 2 3 b と排出領域 2 7 との間の半導体領域 2 1 の上部に形成されるチャネルの電位を制御し、ポテンシャルプロファイル (電位勾配) を変更して、埋込領域 2 3 b から排出領域 2 7 への電荷を排出 / 非排出、及び埋込領域 2 3 b から読み出し領域 2 8 b への信号電荷の転送 / 非転送を制御する電位勾配変更手段を構成している。

30

40

【 0 0 6 8 】

図 1 1 に示すように、電荷が埋込領域 2 3 b から排出されるとき、電荷流入面の主面となる排出領域 2 7 の端部が、排出ゲート電極 3 1 直下において、平面パターン上で、埋込領域 2 3 b の端部と平行に対峙している。そして、埋込領域 2 3 b の片側のみにおいて、排出ゲート電極 3 1 が埋込領域 2 3 b の一部に重複し且つ隣接するように配置されているので、電位勾配変更手段によって、ポテンシャルプロファイル (電位勾配) を変更する際には、埋込領域 2 3 b の排出領域 2 7 に対向する部分の全体において、排出領域 2 7 に向かう電界を排出ゲート電極 3 1 直下の半導体領域 2 1 に発生させることができる。よっ

50

て、第3の実施の形態に係る半導体素子は、電荷の排出領域27への排出効率を向上させ、且つ埋込領域23bから読み出し領域28bへの信号電荷の高速転送を実現することが可能であると共に、画素の構造を簡単化できる。特に、第3の実施の形態に係る固体撮像装置の画素（半導体素子）には蓄積領域24aがないので、図9に示した第2のポテンシャル谷PW2がないポテンシャルプロファイルになる。このため、埋込領域23bがなすポテンシャル谷から読み出し領域28bがなすポテンシャル井戸への電位勾配に沿って、直接、電荷が高效率で転送され、ほぼ第2の実施の形態と同様な効果を奏する。

【0069】

図11に示す第3の実施の形態に係る固体撮像装置の画素のレイアウトでは、ウェル領域22bの平面パターンと読み出し領域28bの平面パターンの一部が重複しているので、ウェル領域22bにブロック層25aと等価な機能を持たせることが可能で、半導体領域21からの読み出し領域28bへの光の漏れ込みをなくすることができる。但し、図11に示すように、ウェル領域22bから読み出し領域28bの一部が突出して、ウェル領域22bの平面パターンと読み出し領域28bの平面パターンとが重複するレイアウトであるので、ウェル領域22bによって、埋込領域23bがなすポテンシャル谷から読み出し領域28bがなすポテンシャル井戸への経路にポテンシャルバリアが形成される可能性がある。第3の実施の形態に係る固体撮像装置の画素においてポテンシャルバリアが形成されないようにするためには、ウェル領域22bと読み出し領域28bの不純物密度の関係や相対的な位置関係を正確に決める必要がある。ウェル領域22bを示す破線の更に外側のピニング層26bを囲む太い実線30bは、素子分離領域との境界を示す。即ち、図11に示す太い実線30bの外側が、LOCOS法やSTI法等によって形成される素子分離絶縁膜の領域である。

【0070】

この様に、第3の実施の形態に係る固体撮像装置によれば、埋込領域23bの片側にのみ、排出ゲート電極31が設けられ、排出ゲート電極31の電位制御だけで、読み出し領域28bへの信号電荷の転送/非転送を制御することができるので、特許文献3で提案した構造の場合のような、電荷の通路の中心付近でポテンシャル傾斜が0になってしまう不都合もなく、電荷転送経路の全幅においてポテンシャル傾斜を生じさせることができるので、画素の構造が簡単化され、電荷の転送効率が高くなり、高解像度化及び高速動作が可能になる。

【0071】

（その他の実施の形態）

上記のように、本発明は第1～第3の実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなる。

【0072】

例えば、本発明の第1～第3の実施の形態のいずれかで説明した構造を利用して、距離測定等に用いる光源としてのLED照明を、背景光に対して相対的に増強させることもできる。この場合、図10に示すように、LEDが発光しているタイミングに合わせて、排出ゲート電極31に制御信号TXDとして低い電圧を与え、LEDにより生成された電荷を蓄積領域24に転送されるようにし、それ以外の期間では発生した電子が排出領域27に排出されるようにする。この場合、LEDを繰り返し発光させたときの、発光のデューティ比を小さくして、直流発光の場合に比べて、最大許容駆動電流を大きくすることができるので、同じ発光強度を得るのに必要なLEDの数を減らすことができる。

【0073】

本発明の第3の実施の形態に係る固体撮像装置では、図11に示すように、第2の実施の形態で用いた蓄積領域24a及びブロック層25aの領域をなくして、ウェル領域（pウェル）22bを読み出し領域28bと重ねるレイアウトを採用したが、蓄積領域24aの平面パターンを残すレイアウトを採用しても良い。即ち、図9に示した第2の実施の形態に係る固体撮像装置の画素のブロック層25aのパターンをなくすが、蓄積領域24a

のパターンは利用し、読み出し領域の平面パターンの一部にウェル領域 2 2 a の平面パターンが重なるレイアウトを採用しても良い。この場合は、蓄積領域 2 4 a を残しているので、図 9 に示したと同様に第 2 のポテンシャル谷 P W 2 が残り、埋込領域 2 3 b がなす第 1 のポテンシャル谷 P W 1 から、第 2 のポテンシャル谷 P W 2 を経由して、読み出し領域がなすポテンシャル井戸へ電荷が順に転送され、ほぼ第 2 の実施の形態と同様な効果を奏する。しかしながら、蓄積領域 2 4 a のパターンを残すレイアウトの場合には、蓄積領域 2 4 a の領域の下に比較的高濃度の p 層がないため、半導体領域 2 1 から読み出し領域への電光の漏れ込み特性が不利になる。しかし、ブロック層 2 5 a をなくすレイアウトの採用によって、固体撮像装置の製造工程が簡単になるという利点がある。

【 0 0 7 4 】

10

更に、既に述べた第 1 ~ 第 3 の実施の形態に係る固体撮像装置の説明では、第 1 導電型を p 型、第 2 導電型を n 型として説明したが、第 1 導電型を n 型、第 2 導電型を p 型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。

【 0 0 7 5 】

又、既に述べた第 1 ~ 第 3 の実施の形態の説明においては、2 次元固体撮像装置（エリアセンサ）を例示的に説明したが、本発明の半導体素子は 2 次元固体撮像装置の画素のみに用いられるように限定して解釈するべきではない。例えば、図 1 に示した 2 次元マトリクスにおいて、 $j = m = 1$ とした 1 次元固体撮像装置（ラインセンサ）の画素として複数の半導体素子を 1 次元に配列しても良いことは、上記開示の内容から、容易に理解できる

20

【 0 0 7 6 】

この様に、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 符号の説明 】

【 0 0 7 7 】

$X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$... 画素

1 ... 画素アレイ部

2 ... 水平走査回路

3 ... 垂直走査回路

4 ... タイミング発生回路

5 ... 信号処理回路

2 1 ... 半導体領域

2 2 , 2 2 a , 2 2 b ... ウェル領域（破線の外側がウェル領域）

2 3 , 2 3 a , 2 3 b ... 埋込領域

2 4 , 2 4 a ... 蓄積領域

2 5 , 2 5 a ... ブロック層

2 6 , 2 6 a ... ピニング層

2 7 ... 排出領域

2 8 , 2 8 a , 2 8 b ... 電荷読みだし領域

3 0 ... 素子分離領域との境界を示す線（太い実線の外側が素子分離絶縁膜）

3 1 ... 排出ゲート電極

3 2 ... 読み出しゲート電極

3 3 ... ゲート絶縁膜

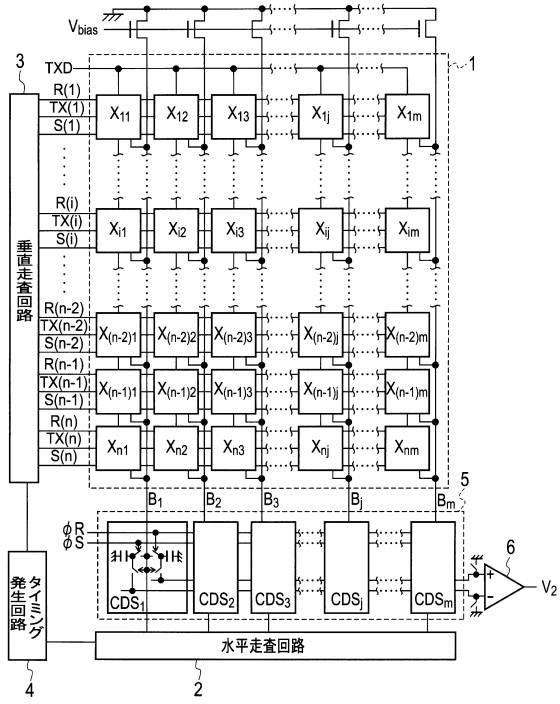
4 1 ... 遮光膜

4 2 ... 開口部

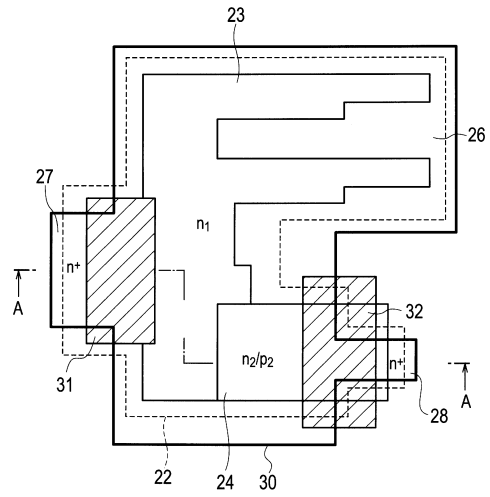
30

40

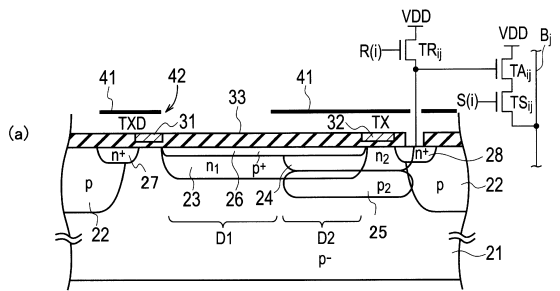
【図1】



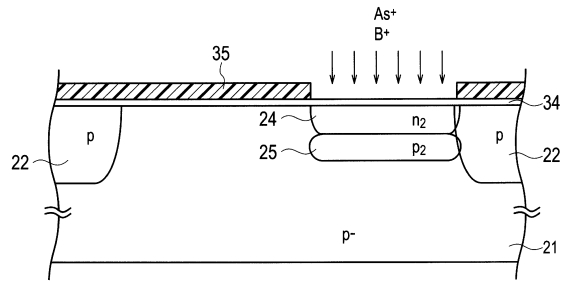
【図2】



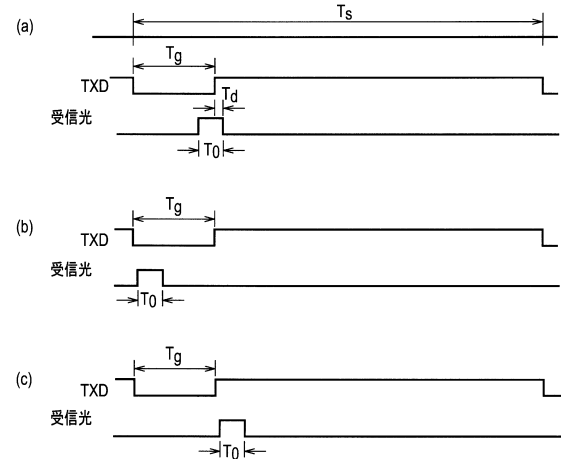
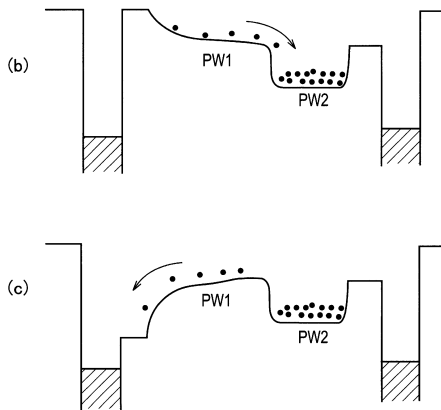
【図3】



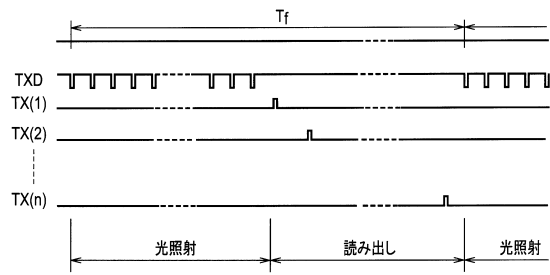
【図4】



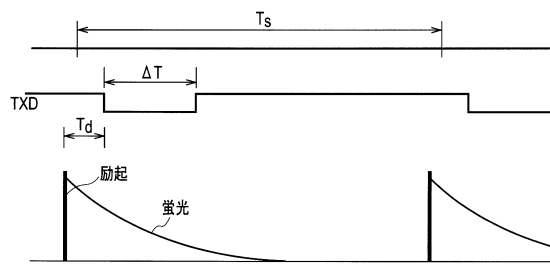
【図5】



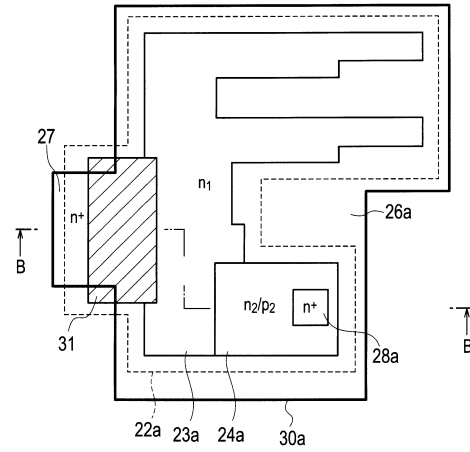
【 図 6 】



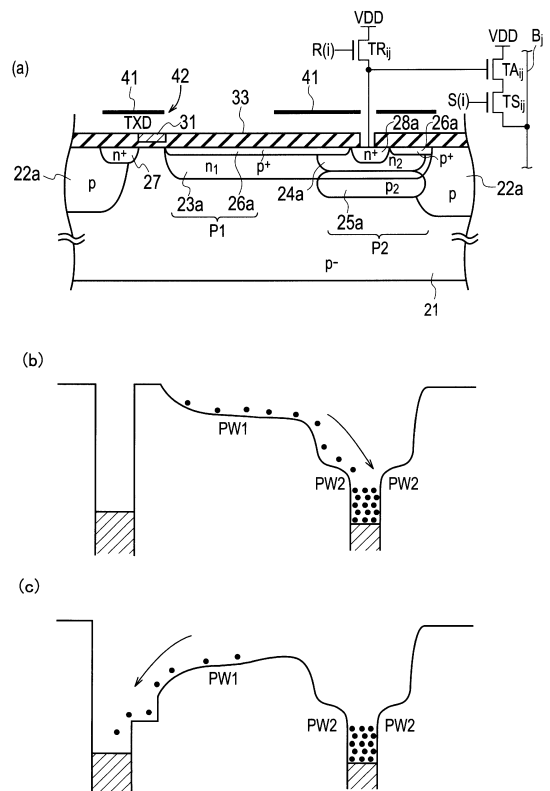
【 図 7 】



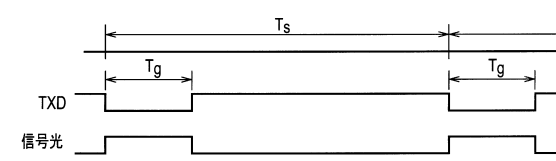
【 図 8 】



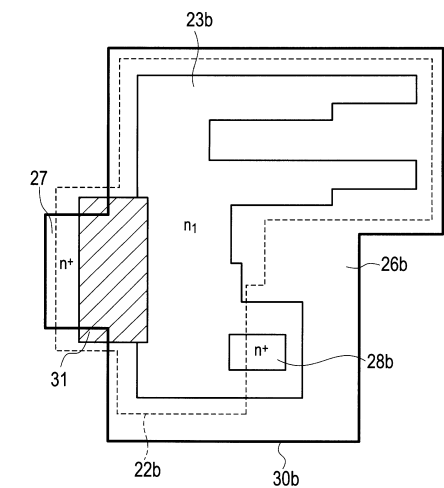
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(56)参考文献 特開2008-103647(JP,A)
特開2008-252814(JP,A)
特開2001-326341(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14 - 148
H04N 5/335 - 378