

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5703527号
(P5703527)

(45) 発行日 平成27年4月22日(2015.4.22)

(24) 登録日 平成27年3月6日(2015.3.6)

(51) Int.Cl. F I
H O 1 J 1/304 (2006.01) H O 1 J 1/30 F

請求項の数 2 (全 17 頁)

(21) 出願番号	特願2011-540583 (P2011-540583)	(73) 特許権者	301021533
(86) (22) 出願日	平成22年11月10日(2010.11.10)		独立行政法人産業技術総合研究所
(86) 国際出願番号	PCT/JP2010/070416		東京都千代田区霞が関1-3-1
(87) 国際公開番号	W02011/059103	(73) 特許権者	304023318
(87) 国際公開日	平成23年5月19日(2011.5.19)		国立大学法人静岡大学
審査請求日	平成25年10月11日(2013.10.11)		静岡県静岡市駿河区大谷836
(31) 優先権主張番号	特願2009-259464 (P2009-259464)	(74) 代理人	100082669
(32) 優先日	平成21年11月13日(2009.11.13)		弁理士 福田 賢三
(33) 優先権主張国	日本国(JP)	(74) 代理人	100095337
			弁理士 福田 伸一
		(74) 代理人	100095061
			弁理士 加藤 恭介
		(72) 発明者	長尾 昌善
			茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
			最終頁に続く

(54) 【発明の名称】 電界放出素子

(57) 【特許請求の範囲】

【請求項1】

基板上に設けられ、先端が先鋭な電子放出端となっているエミッタと、該エミッタ先端を露呈する開口を有し、引き出し電圧を印加することで該エミッタから電子を放出させる引き出しゲート電極と、を含んで成る電界放出素子において；

上記エミッタ先端を露呈する開口を有し、その開口内周縁が上記引き出しゲート電極の開口内周縁よりも上記エミッタ先端により近い位置に設けられた収差抑制電極をさらに含み；

上記引き出しゲート電極の上記開口の内周縁は上記エミッタ先端の高さ位置よりも高くなっているのに対し、該収差抑制電極の開口の内周縁の高さ位置は上記エミッタ先端の高さ位置よりも低くなっていると共に；

該収差抑制電極には、収差抑制電圧印加回路が接続し；

該収差抑制電圧印加回路は該収差抑制電極に対し、該エミッタの電位よりも低い電圧範囲において上記エミッタ先端近傍の等電位線を上記収差抑制電極の開口内周縁と平行にするべく制御する収差抑制電圧を印加すること；

を特徴とする電界放出素子。

【請求項2】

上記収差抑制電極の上記エミッタ先端を露呈する開口の径はサブミクロンオーダ以下であって、該収差抑制電極の高さ位置と上記エミッタ先端の高さ位置との高低差は50nm以上100nm以下であること；

を特徴とする請求項 1 記載の電界放出素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上に設けられたエミッタの先鋭な先端に高電界を印加し、当該エミッタ先端から電子を放出させる電界放出素子（冷電子放出素子とも言う）に関し、特に放出される電子を集束しながらアノード電極に向けて出力する際に当該放出電子軌道に見込まれる球面収差を抑制するための改良に関する。

【背景技術】

【0002】

電界放出素子（FED）は、当初、古典的な熱電子放出タイプの陰極線管（CRT）に代わり、主としてフラットパネルディスプレイ（FPD）型の画像表示装置に相当する電子放出源として用いられるべく研究、開発されてきた。昨今ではさらに、電子ビームリソグラフィの電子源としてとか、超高精細の要求される FPD にも相当するよう、エミッタ先端から放出される電子ビームを十分に集束できるような機能をも持つ電界放出素子も求められ始めた。

【0003】

これに応えるべく研究された電界放出素子として、下記文献 1 に開示されているように、エミッタ先端周囲に設けられた引き出しゲート電極の他に、電子ビームを集束させるための集束電極（レンズ電極）を設けた、一般にダブルゲート型と略称される集束電極一体型電界放出素子がある。レンズ一体型 FEA と呼ばれるこの種の集束電極一体型電界放出素子では、引き出しゲート電極も集束電極も、基板上に形成されたエミッタの先端を上方空間に露呈する開口（望ましいのは極力真円に近い円形開口）を持つように形成される。そのため、これら電極は、エミッタを囲む電極という意味で、形態的な呼称からはリング状電極と呼ばれることもある。

文献 1: Fabrication of Silicon Field emitter arrays Integrated with beam focusing lens, Yoshikazu Yamaoka 他, Jpn. J. Appl. Phys., Vol. 35, Part 1, No. 12B, (1996) pp. 6626 - 6628.

【0004】

この文献 1 では、集束電極に関し、引き出しゲート電極との位置関係において三形態（a） - （c）が開示されている。

（a）集束電極を引き出しゲート電極の上方に設けた構造。

（b）引き出しゲート電極を囲むように同一平面に設けた構造。

（c）引き出しゲート電極の上方に積層して設けられるけれども、引き出しゲート電極の開口縁部分がコニード式火山の噴火口のように、高さ方向に立ち上がって集束電極の開口内に侵入し、盛り上がった形になっている結果、集束電極の開口縁の高さ位置が当該引き出しゲート電極開口縁とほぼ同じ高さになっている構造。

【0005】

少なくとも引き出しゲート電極の他に集束電極をも有する集束電極一体型電界放出素子の場合、例えばエミッタ電位を 0 V とすると、引き出しゲート電極には、当然のことではあるが、電子を引き出すためにある一定の正の電圧 V_{ex} を印加する。集束電極には、放出された電子ビームを集束させるため、少なくとも V_{ex} よりも低い電圧 V_f ($V_f < V_{ex}$) を印加する。もちろん、 V_f が低い程、集束効果はより強くなるが、 V_f を低くして行き、0 V 近くにまで低下させると、エミッタから取り出し得る電流量は大きく減少してしまう。これは、 V_{ex} よりも低い電圧 V_f によりエミッタ先端での電界集中が緩和されてしまい、結果としてエミッタ先端に印加される電界強度が弱くなってしまふことに起因している。

【0006】

10

20

30

40

50

この問題を克服するため、下記文献2に認められるように、集束電極の開口縁位置を引き出しゲート電極の開口縁位置よりも低くすることで、集束電極の創る低い電位分布がエミッタ先端には及ばないようにし、エミッタ先端に印加される電界強度を維持しつつ、放射される電子ビームの集束効果を得るようにした工夫が開示されている。

文献2： Focusing Characteristics of Double-Gated Field-Emitter Arrays with a Lower Height of the Focusing Electrode", Yoichiro Neo他, Appl. Phys. Exp. 1 (2008), 053001-3. 【0007】

しかし、このような構造であっても、より強い集束効果を得ようとする、やはり集束電極の作る電位の低いポテンシャル障壁がエミッタ先端の上方に形成され、放出された電子ビームの一部がそのポテンシャル障壁を越えることができずにゲート電極の方に戻って来てしまい、やはり取り出し得る電流量が減ってしまうと言う別の問題に直面した。

【0008】

そこで、電子放出点となるエミッタ先端の鉛直線上にポテンシャル障壁を形成しないように、さらにもう一段集束電極を設けて、ここにプラスの電圧を印加する試みがなされた。下記文献3の図2及び下記文献4の図9には、二枚の集束電極を有する構造が開示されている。

文献3：特開平7-192682号公報

文献4：特開平6-275189号公報

【0009】

しかし、本発明者等が以前に行った電界計算および電子軌道の計算機シミュレーションでは、集束レンズとして二枚の集束電極を有する素子構造によれば、確かに集束した電子ビームは形成できるものの、エミッタ先端での電界集中が損なわれ、放出される電流量が減少する結果となった。換言すれば、エミッタ先端の電界強度を損なわずに電子ビームの集束を行い得るような各集束電極への電位配分を、実際のデバイスに印加可能な電圧範囲内で見出すことができなかつた。

【0010】

そこで、本発明者等は、集束電極をもう一枚追加し、計三枚の集束電極の積層構造を持つ集束電極一体型電界放出素子構造を考えても見た。こうすれば、中間の第二集束電極に集束効果を満足させるに十分な低い電位を与えても、それによるエミッタ先端の電界集中の緩和を一番下の第一の集束電極で防ぐことができ、また、電子放出点の鉛直線上に形成されるポテンシャルの壁は一番上の第三集束電極で防ぐことができるのではないかと思われたからである。

【0011】

事実、検証の結果、このような構造であれば、素子の電气的特性としては満足な特性が得られることが分った。しかし今度は、製法上からの問題が生じた。つまり、そのような集束電極三枚構成にする場合、中間の第二集束電極は例えば1 μ m以上等、200nm程度で済む他の電極に比すとその膜厚をかなり厚くせねば、効率的な電子ビーム集束効果は得られなくなることが分かったのである。ところが、同一基板上にこのように第二集束電極のみが厚い構造を形成しようとする、これまでに開示されてきた様々な作製方法のいずれを適用しても、そのような構造は好適には作製できないのである。

【0012】

そこで本発明者の一部は、特願2008-218897号として出願された下記文献5において、このような問題も解決すべく、合理的な素子製造方法と共に、図4に示すような、略々同じオーダの厚みの集束電極を少なくとも四段積層した構造の電界放出素子を提案した。最下段の引き出しゲート電極を含めると、電極積層構造は全部で五段構成となる。

文献5：特開2010-55907号公報

【0013】

10

20

30

40

50

図4(B)はこのような電界放出素子の一例の平面図であって、本図中の4A-4A線に沿う断面端面図が同図(A)である。基板10上には先端11tpが先鋭な電子放出端となるエミッタ11が形成され、このエミッタ11の少なくとも先端11tpを露呈するために、基板10上には絶縁膜12が設けられていて、その上に、適当な電圧(バイアス電圧)を印加することでエミッタ先端11tpからの電子放出を促すための引き出しゲート電極13が形成されている。

【0014】

この引き出しゲート電極13の上に、放出される電子軌道に関する集束レンズとなる集束電極積層構造20が構築される。この集束電極積層構造20は、一層の絶縁膜と、その上に形成された一層の集束電極とを単位積層段とした場合、この単位積層段を基板10の鉛直方向に沿って少なくとも四段以上、積層して構成されており、図示の場合には四段となっている。最下段、すなわち高さ方向で一番下に位置する集束電極21を第一集束電極と呼ぶとすると、上に向かって順番に第二集束電極22、第三集束電極23、第四集束電極24がそれぞれ第一~第四の絶縁膜25~28を介して積層形成されている。

10

【0015】

引き出しゲート電極13と第一~第四集束電極21~24は、図4(B)に示す通り、上から平面的に見ると全て開口を有し、一般にこの開口は最も望ましくは円形開口である。従って、図4(A)の断面端面で見ると、各絶縁膜12, 25~28も各電極13, 21~24も、それぞれがエミッタ11に対し、半径方向に離間して空隙を置きながら当該エミッタ11を取り囲むように設けられている。

20

【0016】

換言すれば、各絶縁膜12, 25~28にあつてはその開口の内周縁12e, 25e~28eが、また各電極13, 21~24にあつてはその内周縁13e, 21e~24eが、エミッタ11に対し半径方向に見てそれぞれ最も近い部分となっている。また、断面形状においてはコニーデ式火山の噴火口近傍の形状に似ており、開口12e, 25e~28e: 13e, 21e~24eの近傍は、どれも裾野より上方に盛り上がるような形になっている。

【0017】

このように四枚の集束電極21~24が積層された集束電極一体型電界放出素子であると、従来の二枚以下の集束電極を持つ素子のもとより、製造方法的に無理のある三枚の集束電極を持つ素子に比し、原理構造として十分に現実的に作製可能であるという必須条件を満たしながら、電位の与え方の自由度が大幅に向上し、電界分布制御に自由度と確度が生まれ、電子電流の減少や放出された電子ビームが逆戻りする等のおそれを根本的に解決できる。

30

【0018】

このような構造において、同文献5では、最適な電界集中を得るために、エミッタ11の先端11tpと引き出しゲート電極13の内周縁13eの高さ位置を望ましくは同じ高さ、ないしエミッタ先端11tpの方を0.1μm程度高くすることや、寸法d1~d4で示す通り、各絶縁膜25~28の開口内周縁25e~28eを、それぞれ自身の上の各電極21~24の内周縁21e~24eよりも半径方向外方に望ましくはある程度後退させておくことが述べられている。

40

【0019】

後者は、放出された電子がこれらの絶縁膜25e~28eに衝突するとその部分の絶縁耐圧が劣化し、リーク電流発生のおそれを生み、信頼性が低下するため、これを防ぐためと、図示しないアノード電極に到達する前に放出電子が残留ガス分子と衝突するとそのガス分子をイオン化するが、生成された正イオンは電子とは逆向きにエミッタ11に向かって加速され、やがては基板10上に構築されている構造体のどこかに衝突するので、その衝突が絶縁膜において起こると、やはり絶縁耐圧の劣化に繋がるので、そのような衝突が起きないようにするためである。

【0020】

50

周知のように、アノード電極に印加される電圧は数kV程度と、引き出しゲート電極13や集束電極21~24に印加する電圧に比せば遙かに高いので、正イオンの軌道は引き出しゲート電極13や集束電極21~24に印加されている電圧値の如何に拘らず、基板10に対して略々垂直となる。したがって、正イオンが絶縁膜25~28に衝突するのを防ぐためには、鉛直上方からデバイスを見たときに、それぞれの絶縁膜内周縁25e~28eが見えないような位置にまで、各絶縁膜25~28を後退させて置く必要がある。そのため、図示のように各電極の開口径が下に位置する電極程、小径となるように構成した場合、これに呼応してエミッタ11に近い下段の絶縁膜程、後退量を大きく(後退距離を長く)設定するのが良く、すなわち $d_1 > d_2 > d_3 > d_4$ とするのが良いのである。

【0021】

10

また、例えば集束電極22や第三集束電極23への電界集中が大きくなり、それらから電界放出が起こってしまうと具合が悪いので、それを避けるために、少なくとも電界放出が起こる可能性のある電極の仕事関数を高くすることで電子放出を起りにくくするか、図4(A)で仮想線の円で囲った部分に第三集束電極23で代表させてその内周縁23eを拡大して示しているように、電極表面とそれに直交する内周縁23eの面との接合縁部に鋭利な角ができないように、当該開口内周縁の表面を角を持たない滑らかな形状、例えば断面半円形状に加工するのが良いとされている。

【0022】

後述の所から明らかなように、本発明は上述の文献5とは別の観点から別の改良構成を提案するものであるが、予め述べておくと、本発明を当該図4に示した電界放出素子と同様の断面構造の素子に適用する場合には、上述した種々の配慮は本発明を適用した電界放出素子においてもそのままに適用できる。

20

【0023】

いずれにしても、図4に示した電界放出素子の提供により、それ以前の電界放出素子の有していた様々な欠点や不利を克服ないし少なくとも緩和できたことは間違いない。取り出し得る電子電流量を低下させることなく、エミッタから放出される電子ビームを十分に集束することができ、また、各電極への電位の与え方の自由度も大幅に向上し、電界分布制御に自由度と確度が生まれた。換言すれば、電子電流量の確保と電子ビーム集束のために望ましいバイアス電圧を印加するための原理構造が提供されたと言って良い。

【先行技術文献】

30

【特許文献】

【0024】

【特許文献1】特開平7-192682号公報

【特許文献2】特開平6-275189号公報

【特許文献3】特開2010-55907号公報

【特許文献4】特許第3547531号公報

【特許文献5】特許第2835434号公報

【非特許文献】

【0025】

【非特許文献1】 Fabrication of Silicon Field emitter arrays Integrated with beam focusing lens, Yoshikazu Yamaoka他, Jpn. J. Appl. Phys., Vol. 35, Part 1, No. 12B, (1996) pp. 6626-6628.

40

【非特許文献2】 Focusing Characteristics of Double-Gated Field-Emitter Arrays with a Lower Height of the Focusing Electrode", Yoichihiro Neo他, Appl. Phys. Exp. 1(2008), 053001-3.

【発明の概要】

50

【発明が解決しようとする課題】

【0026】

しかし、図4に示された、それ以前のものに比せば遙かに優秀な電界放出素子でも、本発明者のさらなる検討の結果、なお解決すべき問題があることが分った。それは図5のシミュレーション結果に即して説明できる。同図において図4中と同じ符号は同じ構成要素を示しているが、エミッタ11の先端11tpから放出された電子の中、仮想線の縁で囲った部分Eeで示すように、集束電極群21~24で構成される集束レンズの外周縁近傍を通過するものの軌道は、レンズ中心部分を通過する電子の軌道に比し、より大きく屈曲され、球面収差を生む収差原因の電子軌道Edspとなってしまう。

【0027】

もちろん、電子ビームの収差は望ましくないので、これを防ぐ必要があるが、古典的にはいわゆるアパーチャと呼ばれる開口構造部材を挟み、収差原因となる電子軌道Edspを遮断するか跳ね返すという考えがある。図4(A)に示したような断面構造の電界放出素子においても、例えば引き出しゲート電極13の直上の集束電極21ないしはその他の電極22~24の開口径を小さく設計することでアパーチャを構成することができなくはない。しかし、当該アパーチャとなる電極に電子が衝突すると、その衝撃で電極からガス放出が起こる。その放出されたガスが原因で電極間、特にエミッタとの間で放電が起こると、直ちに素子破壊に繋がる。ナノオーダに及ぶ微細加工技術で作製されるような精緻な電界放出素子ではましてやそうである。これは絶対に避けなければならないことであるから、つまりは積層された電極のどれか一つをもアパーチャとして使用することは現実的ではないということになる。

【0028】

してみると、図4に示した電界放出素子に限らず、これまでの既存の電界放出素子に関しても等しく言えることは、エミッタ11の先端11tp近傍における等電位線(二次元的には等電位面)の姿態、すなわちポテンシャル分布に就いての観察、配慮が乏しかったということである。

【0029】

すなわち、図6に示すように、この種の電界放出素子ではエミッタ11の外面形状に沿った形に等電位線が形成されるが、エミッタ先端11tpから放出された電子はこの等電位線に対して垂直な方向に加速される。この状況は、引き出しゲート電極13の電位を如何に変えようとも変わることがない。この場合、電子がちょうど中心軸上に放出された場合は中心軸上に真っ直ぐに加速される望ましい電子軌道Ecとなるが、中心軸から少しでも離れると、中心軸から離れる方向に加速されることが分かる。このように、中心軸から外向き斜め方向に加速された電子は、球面収差を生む軌道Edspに沿って放射されることになる。なお、この図6は、エミッタ電位を0V、引き出しゲート電極13の電位を50Vに設定してのシミュレーション図であるが、他の電位条件でも、エミッタ先端11tp近傍に平行ではない等電位線が生じたままになっているのが普通であって、それが球面収差をそもそも生む要因となっているのである。

【0030】

本発明はこの点に着目し、新たなる電界放出素子構造により、放出される電子ビーム軌道に関し、球面収差要因を根本的な所から排除ないし軽減できるようにせんとするものである。

この目的を達成するため、本発明では、下記構成による電界放出素子を提案する。

【課題を解決するための手段】

【0031】

基板上に設けられ、先端が先鋭な電子放出端となっているエミッタと、このエミッタ先端を露呈する開口を有し、引き出し電圧を印加することでエミッタから電子を放出させる引き出しゲート電極と、を含んで成る電界放出素子において；

エミッタ先端を露呈する開口を有し、その開口内周縁が引き出しゲート電極の開口内周縁よりもエミッタ先端により近い位置に設けられた収差抑制電極をさらに含み；

10

20

30

40

50

引き出しゲート電極の上記開口の内周縁はエミッタ先端の高さ位置よりも高くなっているのに対し、この収差抑制電極の高さ位置はエミッタ先端の高さ位置よりも低くなっていると共に、これには収差抑制電圧印加回路が接続し；

この収差抑制電圧印加回路は当該収差抑制電極に対し、エミッタの電位よりも低い電圧範囲においてエミッタ先端近傍の等電位線を上記収差抑制電極の開口内周縁と平行にするべく制御する収差抑制電圧を印加することを特徴とする電界放出素子。

【0032】

上記構成において、昨今のこの種の電界放出素子では普通となっている、ナノオーダからサブミクロンオーダを基調とする作製環境下に即し、上記した収差抑制電極のエミッタ先端を露呈する開口の径をサブミクロンオーダ以下としたときには、当該収差抑制電極の高さ位置とエミッタ先端の高さ位置との高低差は50nm以上100nm以下であることが望ましく、この寸法範囲にある収差抑制電極に対してならば、後述の通り、他の問題を生じ難い範囲で最も効果的に適当なる値の収差抑制電圧を印加することができる。

10

【発明の効果】

【0033】

本発明によると、新たに収差抑制電極を追加するという技術思想に従い、エミッタ先端近傍のポテンシャル分布を制御し、等電位線を極力平行にする方向に制御可能となり、根本的な所から効果的に球面収差を抑制できるようになる。そのため、電界放出素子としての電子ビーム集束機能も問題なく高め得るようになり、素子の高性能化と信頼度を高め、応用用途を拡大することができる。

20

【図面の簡単な説明】

【0034】

【図1】図1は、本発明の望ましい一実施形態としての電界放出素子の概略構成図である。

【図2】図2は、図1に示した電界放出素子におけるエミッタ先端近傍の等電位線の姿態ないしポテンシャル分布を説明する説明図である。

【図3(A)】図3(A)は、本発明の一実施形態において収差抑制電極がエミッタ先端に対し特定の高低差を持つ場合において、収差抑制電極に印加する収差抑制電圧 V_{sp} を-20Vとしたときの当該収差抑制電圧と引き出し電圧に対する電界強度及び放射角の関係をシミュレーションした結果の説明図である。

30

【図3(B)】図3(B)は、本発明の一実施形態において収差抑制電極がエミッタ先端に対し特定の高低差を持つ場合において、収差抑制電極に印加する収差抑制電圧 V_{sp} を0Vとしたときの当該収差抑制電圧と引き出し電圧に対する電界強度及び放射角の関係をシミュレーションした結果の説明図である。

【図4(A)】図4(A)は、従来提示された電界放出素子の一例の概略断面図である。

【図4(B)】図4(B)は、図4(A)に示した素子の概略平面図である。

【図5】図5は、図4(A)、(B)に示す電界放出素子において生じ得る電子ビームの球面収差に関する説明図である。

【図6】図6は、一般的にエミッタ先端近傍のポテンシャル分布と、それに起因して生じ得る電子ビーム球面収差発生に関する説明図である。

40

【発明を実施するための最良の形態】

【0035】

以下、図1以降に即し、本発明の望ましい実施形態である電界放出素子に就き説明する。断面構造的に見ると、本実施形態における電界放出素子は既に説明した図4に図示の集束電極一体型電界放出素子に良く似ており、電極だけに着目すれば五段電極構成であることも同じではある。

しかし、大きく異なるのは、基板10上に形成されたエミッタ11の先端11tpに最も近い電極は従前のように引き出しゲート電極ではなく、本発明により新たに追加された収差抑制電極31であるということである。引き出しゲート電極13には既述のように、また一般的にもエミッタ電位（一般に基板電位であって、通常は0V）よりも高い電圧（

50

一般に正電位) V_{ex} が印加されるが、後に詳しく説明するように、本発明により設けられた引き出しゲート電極 13 の下の収差抑制電極 31 には、エミッタ電位よりも低い電圧 (一般に負電位) V_{sp} が印加される。

【0036】

図1の電界放出素子に関し、構造的に説明すると、エミッタ11の形成されている基板10上には当該エミッタ11の少なくとも先端11tpを露呈する絶縁膜25が設けられ、その上に、本発明により追加された収差抑制電極31が形成されていて、これが後述の各種電極の中でその開口内周縁31eをエミッタ先端11tpに最も近づけた電極となる。その上に、絶縁膜26を挟み、適当な電圧(バイアス電圧)を印加することでエミッタ先端11tpからの電子放出を促すための引き出しゲート電極13が形成され、さらにこの引き出しゲート電極13の上に集束電極積層構造20が構築されている。

10

【0037】

本発明は、既述した図4に示されている電界放出素子の開発過程とは異なる観点からの改良なので、集束電極積層構造20は少なくとも一枚以上の集束電極を含めば良く、極端な場合には無くても良いが、望ましくは既に述べた理由から複数枚の積層構造であることが良い。図示の場合にはそれぞれ段間絶縁膜27, 28, 29を挟み、三枚の集束電極21, 22, 23が高さ方向に順次積層されて成っている。全ての電極は図4(B)に類似の平面視野のように、上から平面的に見ると全て開口を有するが、特に最も望ましくはこれらの開口を互いに同心関係にある円形開口とする。各絶縁膜25~29も各電極下では同様であって、これら高さ方向に重なり合う一連の開口の中に、エミッタ11の先端(電子放出端)11tpが露呈している。この構造を図1の断面端面で見ると、各絶縁膜25~29も各電極31, 13, 21~23も、それぞれエミッタ11に対し、半径方向に離間して空隙を置きながら当該エミッタ11を取り囲むように設けられている。従って、各電極31, 13, 21~23の内周縁31e, 13e, 21e~23eがエミッタ先端11tpに対し半径方向に見てそれぞれ最も近い部分となっている。また、断面形状においてはコニーデ式火山の噴火口近傍の形状に似ており、開口近傍は、どれも裾野より上方に盛り上がるような形になっている。

20

【0038】

本発明の電界放出素子では、図4に示した従来素子と異なり、引き出しゲート電極13の開口内周縁13eの高さ位置はエミッタ11の先端11tpの高さ位置よりも高い位置にある。これに対して、本発明により新たなる機能のために追加された収差抑制電極31の開口内周縁31eの高さ位置は、当該開口内周縁31eが臨んでいるエミッタ先端11tpの高さ位置よりも低くなっている。既に述べたような、ナノオーダからサブマイクロオーダを基調として作製される電界放出素子に本発明を適用する場合には、収差抑制電極31のエミッタ先端を露呈する開口の径はサブマイクロオーダ以下、例えば400nm程度とするが、このとき、その高低差dsは、後述するように望ましくは50nmから100nmの間とするのが良い。

30

【0039】

集束電極積層構造20中の各絶縁膜26~29は、既に図4に即して述べたように、その開口内周縁をその上に形成されている各電極21~23の内周縁21e~23eよりも半径方向外方にある程度後退させておくのが望ましい。電子衝突を防ぎ、絶縁破壊を起こさせないようにするためである。

40

【0040】

各電極31, 13, 21~23の材料や厚さに関しては、原理的には任意であるが、デバイスが作製し易い膜厚を選べばよく、本発明者の作製例では100nmのニオブを採用した。絶縁膜の厚みは200nm程度とした。各層毎に厚みを適選することはもちろん可能である。

【0041】

ここで、既存の素子においても存在していた各電極への印加電圧例(バイアス印加例)を述べてみると、エミッタ11の電位を基準電位(0V:一般に基板電位)とすると、引

50

き出しゲート電極 1 3 にはエミッタ 1 1 から効率的に電子を引き出し得るような正の電圧 V_{ex} を印加する。第一集束電極 2 1 に印加する電圧 V_{f1} は V_{ex} より高い電圧とする ($V_{f1} > V_{ex}$)。これにより、電子ビームを集束させたときにエミッタ先端 1 1 t p の電界強度が下がってしまうのを防ぐ。電子ビームを集束するために第二集束電極 2 2 に印加する電圧 V_{f2} と第三集束電極 2 3 に印加する電圧 V_{f3} は第一集束電極 2 1 への印加電圧 V_{f1} よりも低くするが、互いには同じ電圧値とするか ($V_{f1} > V_{f2} = V_{f3}$)、第三集束電極電位をより高い電位 ($V_{f3} > V_{f1}$) に付けても良い。ただ、本発明では、このようなことに関して特に規定するものではない。本発明の主眼は、以下に述べる収差抑制電極 3 1 の付加とその新たな機能にある。

【 0 0 4 2 】

すなわち、本発明では、その内周縁 3 1 e の高さ位置がエミッタ先端 1 1 t p の高さ位置よりも低い位置、望ましくは収差抑制電極 3 1 の開口の径をサブミクロンオーダー以下としたときにその高低差 d_s が 5 0 ~ 1 0 0 n m となる低い位置に収差抑制電極 3 1 を設け、ここにエミッタ電位に対する相対電位として零ないし負の電圧 V_{sp} を印加する。この収差抑制電圧 V_{sp} は、エミッタ先端 1 1 t p の近傍における等電位線を平行にし得る方向に制御するための電圧で、このようにすると、エミッタ先端 1 1 t p の近傍のポテンシャル分布を望ましい形に変形制御することができ、ひいてはエミッタ先端から放出される電子ビームの球面収差を効果的に抑制することができる。

【 0 0 4 3 】

図 2 は本発明の技術思想に従った場合のシミュレーション結果の一例が示されている。収差抑制電極 3 1 の開口径は 4 0 0 n m であるが、エミッタ 1 1 の電位を基準電位 (0 V) として、収差抑制電極 3 1 には電圧 $V_{sp} = - 1 0 V$ を印加し、引き出しゲート電極 1 3 には電圧 $V_{ex} = 1 0 0 V$ を印加した所、明らかなように、エミッタ先端近傍のポテンシャル分布に関し何も対策の取られていない図 6 の従前素子の場合に比し、等電位線はかなり望ましく平行化された。

【 0 0 4 4 】

中心軸から離れた所ではエミッタ表面の極く近傍において、やはり中心軸から離れる向きに加速される領域があるものの、その後、中心軸と垂直な方向の等電位線が多数形成され、中心軸に沿って加速されることが分かる。従前の素子構造では、こうしたポテンシャル分布は何らの制御もされていなかったのに対し、本発明によればこれを積極的に制御できるものとなる。従って、収差抑制電極には、放射角制御電極という名称を与えることもできる。

【 0 0 4 5 】

但し、実際の素子作製上は注意を要することもある。基本的な動作として、エミッタ先端 1 1 t p の近傍上方に正電位を印加する引き出しゲート電極 1 3 があることで、エミッタ先端 1 1 t p に電界集中が起こり、エミッタ先端部分の電界強度が例えば $4 \times 10^7 V/cm$ 程度以上の電界強度になったときに、電子放出が起こる。ところが、本発明に従って作製された電界放出素子では、エミッタ先端 1 1 t p の近傍に別の電極 (収差抑制電極 3 1) があるので、この収差抑制電極 3 1 にも電界集中が起こり、ここから電子放出が生じる可能性もある。これは、本来必要のないところからの電子放出であり、電子ビームを集束させる場合においては問題になるので、こうした収差抑制電極 3 1 からの電子放出は避けなければならない。

【 0 0 4 6 】

本発明の技術思想に従い、新たに設けた収差抑制電極 3 1 にはエミッタ先端 1 1 t p 近傍の等電位線 (電気力線) が平行になるように収差抑制電位を印加するのであるが、その際にも、電極の形状、特にその高さや印加電圧は以下の項目 (1) ~ (3) に注意しながら設定する必要がある。

【 0 0 4 7 】

(1) 収差抑制電極 3 1 の特に内周縁 3 1 e での電界強度が電界放出を起こさない程度に低くなるべく図ること。これには収差抑制電極 3 1 の仕事関数、表面の凹凸具合も考慮

10

20

30

40

50

する。

(2) エミッタ先端の電界強度が電子放出するだけ十分に高いこと。

(3) エミッタ11と収差抑制電極31間の絶縁膜25の絶縁耐圧、及び収差抑制電極31と引き出しゲート電極13の間の絶縁膜26の絶縁耐圧を超えないこと。

【0048】

このようなことに鑑みながら、適当なる条件を求めべく電界シミュレーション、電子ビーム軌道シミュレーションを行った。その結果を二例程、図3(A)、(B)に掲げて説明する。いずれにおいても収差抑制電極31の開口径は400nmとしている。同図(A)は収差抑制電極31の高さ(実効的には内周縁13eの高さ)がエミッタ先端11tpの高さよりも100nm低く設定されている場合(高低差 $d_s = 100\text{nm}$)であって、収差抑制電極31に印加する収差抑制電圧 V_{sp} を-20Vとしたときの引き出しゲート電極13に印加する電圧 V_{ex} とエミッタ先端11tpでの電界強度 E_a 及び電子放射角 R_a の関係を示している。

10

【0049】

エミッタ先端11tpから電子放出が起こるためには、エミッタ先端11tpの電界強度 E_a が電界強度閾値 E_{th} を超える必要があるが、図3(A)の場合、この条件は引き出しゲート電極13への印加電圧 V_{ex} を概ね105V以上にしたときと読み取れる。一方、良好な集束電子ビームを得るためには、エミッタ先端の放射角 R_a が予め実験的にこれを越えると望ましくないとされる放射角閾値 R_{th} 以下(ここでは 0.157rad すなわち 10° 程度であると規定した)である必要がある。この条件からは、引き出しゲート電極13に印加する電圧 V_{ex} が概ね120V以下であると読み取れる。従って、双方を満足する引き出しゲート電極13への印加電圧 V_{ex} の電圧範囲は、この場合には105V以上120V以下であることが分る。

20

【0050】

対して図3(B)の方を見てみると、やはり収差抑制電極31の高さがエミッタ先端11tpよりも100nm低く設定されていることは同じであるが、収差抑制電極31に印加する電圧 V_{sp} を相対電位で0V、すなわちエミッタ電位と同じとした場合には、電界強度 E_a 上の必要条件からは $V_{ex} > 85\text{V}$ とすべきことが分る。ところが、電子ビーム集束状況を良好に保つための条件からは $V_{ex} < 50\text{V}$ となってしまう、結局、この条件($d_s = 100\text{nm}$ 、 $V_{sp} = 0\text{V}$)においては双方の条件を同時に満たすことができないことが分る。

30

【0051】

このようなシミュレーションを、エミッタ先端11tpの高さと、それより低い収差抑制電極31の高さとの高低差 d_s が0から200nmまでの範囲で、かつ、印加電圧 V_{sp} が負方向に-20Vまでの範囲において行い、必要な電界集中が得られ、なおかつ、良好な集束電子ビームが得られる条件を求めた。その結果は下記表1に示されており、この表からして、本発明に従えば、少なくとも現場において最適な高低差 d_s 寸法、印加電圧値を見つげられることは明らかである。本表1において、印はこれまでの経験上、絶縁破壊などが起こるぎりぎりの電圧である。また、空欄は、上述のように、必要な電界強度条件とビームの集束条件とを同時には満たし得ない場合である。

40

【0052】

【表 1】

収差抑制電圧 V_{sp} (V)	エミッタ先端と収差抑制電極との高低差 d_s (nm)			
	0	50	100	150
0	110-150			
-2	110-150			
-4	120-150			
-6	120-150			
-8	120-150	100		
-10	120-150	110		
-12	※ 130-150	110-120		
-14	※ 130-150	110-130	100	
-16	※ 130-150	110-140	100	
-18	※ 140-150	110-150	110	
-20	※ 140-150	※ 120-150	110-120	

10

20

【0053】

この表 1 中において、既に $d_s = 150 \text{ nm}$ では満足な結果が得られないので、 $d_s = 200 \text{ nm}$ の場合はそもそも示していない。しかし、望ましくは高低差 d_s が 50 nm 以上 100 nm 以下の範囲では、相当な幅で収差抑制電極への印加可能電圧範囲を見込むことができ、かつ、効果的な収差抑制効果が見込めた。収差抑制電極 31 の開口径はサブミクロンオーダ以下であれば、その寸法変動に上記の結果は余り大きな影響を受けない。また、表 1 中では、高低差が零であっても印加可能な電圧範囲があることは分るが、実際には収差抑制電極 31 の開口内周縁 31e の高さ位置はエミッタ先端 11tp より低くした範囲に収差抑制上、効果的な領域があり、特に上記の 50 nm 以上 100 nm 以下の範囲が望ましかった。

30

【0054】

なお、実践的な配慮として、収差抑制電極 31 そのものからの望ましくない電界放出を抑えるためには仕事関数の高い材質を用いることが望ましいし、図 1 中に仮想線の円で囲って拡大図示しているように、構造的工夫としても、収差抑制電極 31 の電極表面とそれに直交する内周縁 31e の面との接合縁部に鋭利な角ができないように、当該開口内周縁 31e の表面を角を持たない滑らかな形状、例えば断面半円形状に丸く加工するのが望ましい。

40

【0055】

単に断面構造的にだけ見るならば、エミッタ先端に対してそれよりも低い位置に電極を設けた構造として、例えば下記文献 6 の特に図 7 に示された断面構造がある。

文献 6：特許第 3547531 号公報

しかし、明らかのように、当該文献 6 で述べられているサプレッサ電極と呼ばれている電極は、当該図 7 に関する説明の通り、エミッタからの熱電子の放出を抑えるためだけに設けられたものであって、到底、本願発明におけるような、エミッタ先端でのポテンシャル分布制御をなし得るものではない。本願発明で言う収差抑制電極 31 とはなり得ないものである。本願発明の対象としているような電界放出素子で想定されるナノオーダでの加工によるものではなく、当該サプレッサ電極の開口径は 0.4 mm もある。エミッタ先端

50

との高低差も何と0.25mmもある。このような寸法関係では、エミッタ先端近傍での等電位線の平行化制御等、できよう筈がないし、そもそも、当該文献6には本願発明のような技術思想はその片鱗すら、認めることができない。

【0056】

図1には、より実践的な配慮から、制御装置系についても併記されている。本発明の電界放出素子を電子顕微鏡や電子ビーム露光装置に用いる場合は、電子ビームの安定化を図る必要がある。このような目的のためには、例えば下記文献7に開示されているように、エミッタに電界効果トランジスタを接続する簡便な方法がある。

文献7：特許第2835434号公報

しかしこれは、電流の安定化のために、結局はエミッタの電位を変化させてエミッタから放出される電流を一定に保とうとする原理である。ところが、電子ビームを集束させようとする場合においては、エミッタの電位が揺らぐと、それはすなわち電子ビームの加速エネルギーが揺らぐことになり、結果として色収差を生じせしめることになるため、不向きである。

【0057】

これに対し、本発明の素子では極めて合理的な制御を図れる。図1に併記しているように、実際にはマイクロコンピュータ等を組み込んでソフト的に制御を図れる印加電圧制御回路51により、収差抑制電極31、引き出しゲート電極13、集束電極21~23に、それぞれ収差抑制電圧印加回路52、引き出し電圧印加回路53、集束電圧印加回路54~56を介し、上述した各種の条件を満たすのに適当なる電圧を印加させながら、最終的に電子を捕獲するアノード電極41での電流量をアノード電流測定回路61により逐一測定し、何らかの原因でアノード電流に変動が生じた場合、その電流量を一定に保つように、引き出し電圧 V_{ex} を帰還制御させることが簡単に可能になる。

【0058】

さらに、一般にアノード電流を一定にするために引き出し電圧 V_{ex} を変化させると、エミッタ周辺の電界分布が変化し、それにより集束条件も変化してしまうが、本発明では収差抑制電極31が設けられているので、印加電圧制御回路51の指令の下、より良い集束状態を維持させるために、収差抑制電圧印加回路52を介して収差抑制電極31に印加する収差抑制電圧 V_{sp} をも可変すべく、帰還制御できる。実際には様々な引き出し電圧に対する最適な条件を印加電圧制御回路51内に設けた図示しないメモリ等に予め参照テーブルという形で記録しておき、これを参照しながら、その時々に必要な引き出し電圧に応じた収差抑制電圧を印加するように制御できる。

【0059】

以上、本発明の望ましい実施形態に就き説明したが、本発明の要旨構成に即する限り、任意の改変は自由である。

【 図 2 】

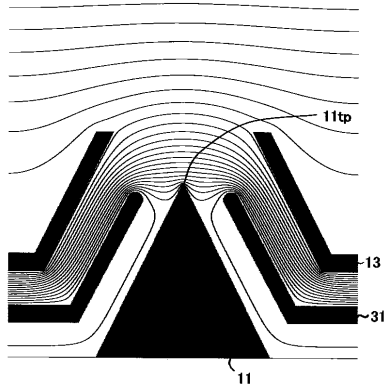


Fig. 2

【 図 3 (A) 】

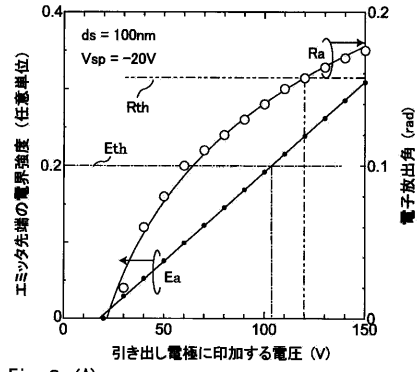


Fig. 3 (A)

【 図 3 (B) 】

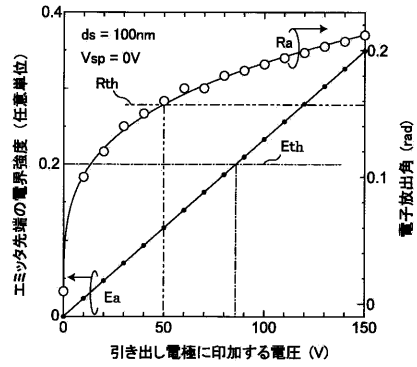


Fig. 3 (B)

【 図 4 (B) 】

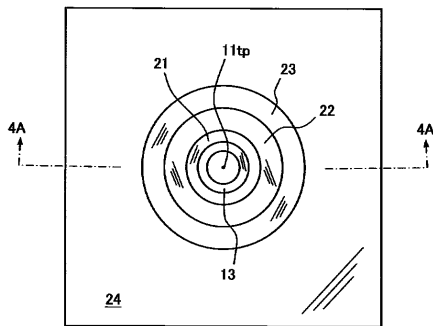


Fig. 4 (B)

【 図 5 】

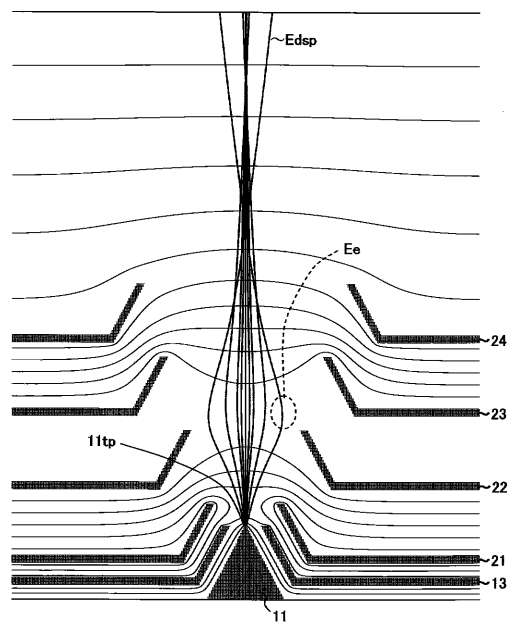


Fig. 5

【 図 6 】

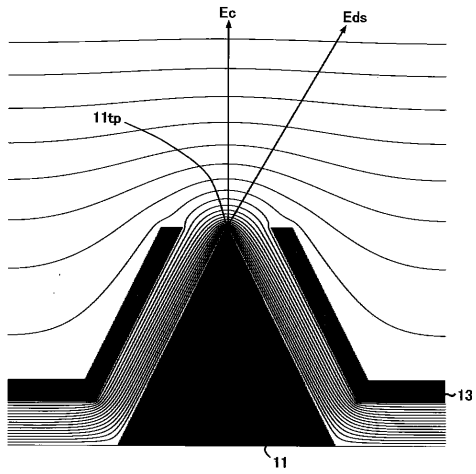


Fig. 6

【図 1】

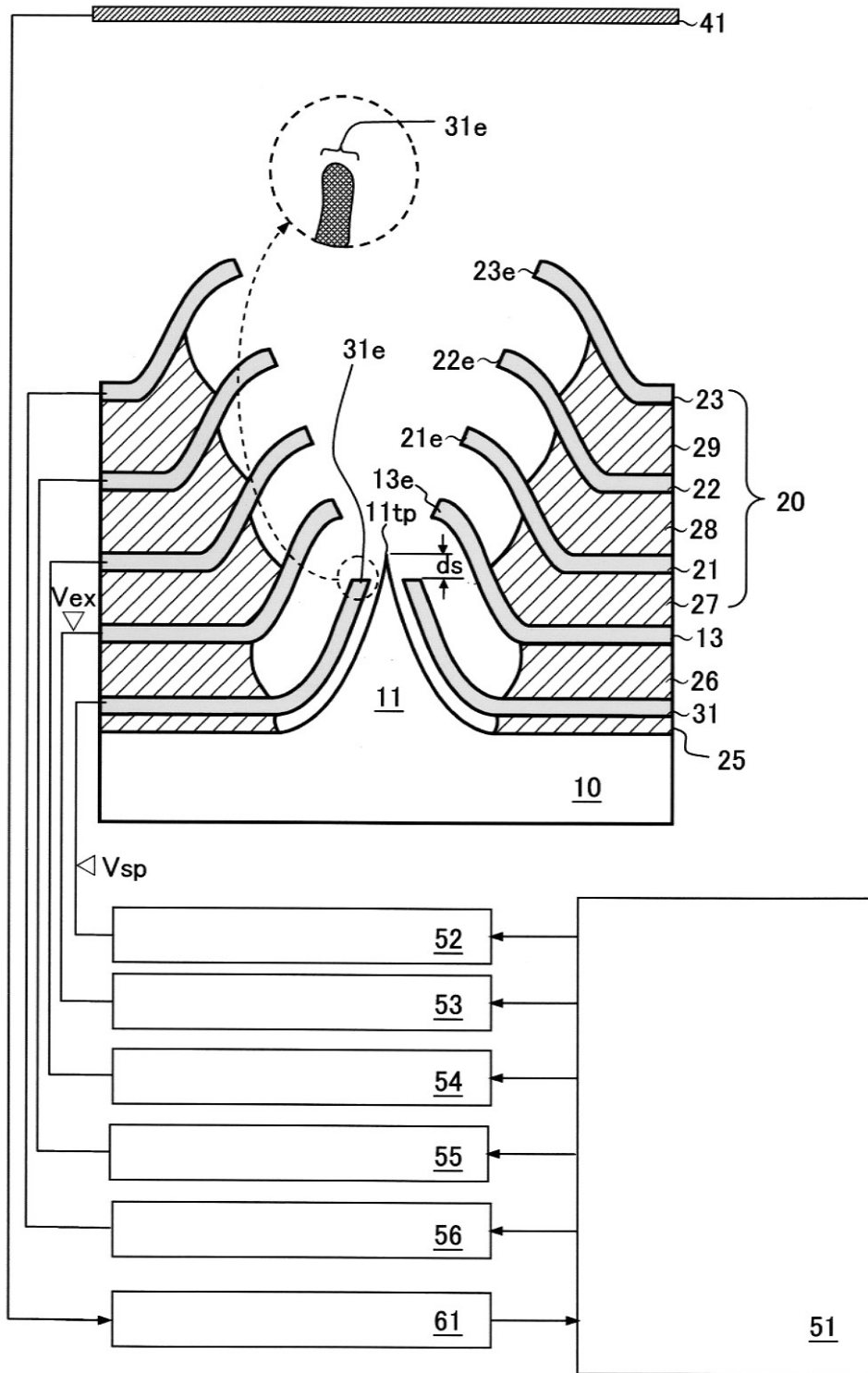


Fig. 1

フロントページの続き

- (72)発明者 吉田 知也
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内
- (72)発明者 根尾 陽一郎
静岡県浜松市中区城北3丁目5-1 国立大学法人静岡大学電子工学研究所内

審査官 小野 健二

- (56)参考文献 特開平06-275189(JP,A)
特開平10-149778(JP,A)
特開2010-055907(JP,A)
特開2000-268706(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------------------|
| H01J | 1/30 - 1/316, 9/02 |
| | 37/06 - 37/077 |