

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-26770

(P2015-26770A)

(43) 公開日 平成27年2月5日(2015.2.5)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/201 (2006.01)	HO 1 L 29/201	4 K O 3 O
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	5 F O 4 5
HO 1 L 29/778 (2006.01)	HO 1 L 21/205	5 F O 4 9
HO 1 L 29/812 (2006.01)	HO 1 L 33/00 1 4 O	5 F 1 O 2
HO 1 L 21/205 (2006.01)	HO 1 L 33/00 1 8 6	5 F 1 4 1
審査請求 未請求 請求項の数 15 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2013-156638 (P2013-156638)
 (22) 出願日 平成25年7月29日 (2013.7.29)

(71) 出願人 304021277
 国立大学法人 名古屋工業大学
 愛知県名古屋市昭和区御器所町字木市29番
 (72) 発明者 江川 孝志
 愛知県名古屋市昭和区御器所町字木市29番 国立大学法人名古屋工業大学内
 Fターム(参考) 4K030 AA11 AA13 AA17 AA18 BA02
 BA08 BA11 BA38 BB12 CA04
 CA12 DA03 DA08 FA10 JA01
 JA05 JA06 JA09 JA10 LA14
 LA15 LA18

最終頁に続く

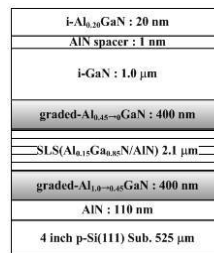
(54) 【発明の名称】 半導体積層構造およびこれを用いた半導体素子

(57) 【要約】

【課題】基板とは格子定数あるいは熱膨張係数が異なる A l G a N 系半導体層を順次設けた半導体積層構造において、反りを低減し、あるいはX線半値幅の小さい半導体積層構造およびこれを用いた半導体素子を提供する。

【解決手段】基板上にバッファ層、歪緩和層、デバイス層からなる A l G a N 系半導体層を順次設けた半導体積層構造であって、前記歪緩和層が組成傾斜層と超格子層からなり、組成傾斜層と超格子層の一方が他方からなる2層の中間に存在する半導体積層構造。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

基板上にバッファ層、歪緩和層、デバイス層からなる $AlGaIn$ 系半導体層あるいは $InAlN$ 系半導体層を順次設けた半導体積層構造であって、前記歪緩和層が組成傾斜層と超格子層からなり、組成傾斜層と超格子層の一方が他方からなる 2 層の中間に存在する半導体積層構造。

【請求項 2】

前記超格子層が 2 層の組成傾斜層の中間に存在する請求項 1 に記載の半導体積層構造。

【請求項 3】

前記超格子層の平均組成が、基板に近い一方の組成傾斜層 $Al_{x_1}Ga_{1-x_1}N$ の最終に形成される組成と他方の組成傾斜層 $Al_{x_2}Ga_{1-x_2}N$ の最初に形成される組成と一致する、請求項 2 に記載の半導体積層構造。

10

【請求項 4】

基板に近い一方の組成傾斜層 $Al_{x_1}Ga_{1-x_1}N$ の Al 含有率 X_1 が膜成長方向に $1 \sim 0.45$ 、他方の組成傾斜層 $Al_{x_2}Ga_{1-x_2}N$ の Al 含有率 X_2 が膜成長方向に $0.45 \sim 0$ 、超格子層の平均組成が $Al_{0.45}Ga_{0.55}N$ である、請求項 3 に記載の半導体積層構造。

【請求項 5】

前記超格子層が 2 つあり、その平均組成がともに同じ組成であり、当該 2 つの超格子層に挟まれた組成傾斜層 $Al_xGa_{1-x}N$ の X が前記超格子層の平均組成の Al 含有率から 0 に変化する請求項 1 に記載の半導体積層構造。

20

【請求項 6】

前記組成傾斜層 $Al_xGa_{1-x}N$ の X が、膜成長方向に連続的に減少する、あるいは膜成長方向に膜厚 $10\text{nm} \sim 100\text{nm}$ 毎に階段状に減少する前記請求項 1 ~ 5 のいずれかに記載の半導体積層構造。

【請求項 7】

前記超格子層を構成する一方の組成が AlN であり、他方の組成が $Al_{x_3}Ga_{1-x_3}N$ であり、 X_3 が $0 \sim 0.2$ である請求項 1 ~ 6 のいずれかに記載の半導体積層構造。

【請求項 8】

超格子を構成する一方の組成が AlN であり、他方の組成が $Al_{x_3}Ga_{1-x_3}N$ であり、 X_3 が $0 \sim 0.2$ の場合、その膜厚比が $1:2 \sim 1:4$ である請求項 7 に記載の半導体積層構造。

30

【請求項 9】

前記組成傾斜層の厚みが $0.1 \sim 1.0\ \mu\text{m}$ 、前記超格子層の厚みが $1.0 \sim 5.0\ \mu\text{m}$ である請求項 1 ~ 8 のいずれかに記載の半導体積層構造。

【請求項 10】

前記デバイス層がチャネル層およびバリア層を含む、請求項 1 ~ 9 のいずれかに記載の半導体積層構造。

【請求項 11】

前記チャネル層が $i-GaN$ 、前記バリア層が $i-Al_xGa_{1-x}N$ ($0.1 < X < 0.3$) あるいは $i-In_xAl_{1-x}N$ ($0.1 < X < 0.3$) である、請求項 10 に記載の半導体積層構造。

40

【請求項 12】

前記デバイス層が、第 1 の導電型半導体層、活性層、および第 1 の導電型と反対の第 2 の導電型半導体層を順次積層してなる受発光層である請求項 1 ~ 9 のいずれかに記載の半導体積層構造。

【請求項 13】

前記基板が Si 単結晶である請求項 1 ~ 12 のいずれかに記載の半導体積層構造。

【請求項 14】

請求項 10 または 11 の半導体積層構造にソース電極、ゲート電極、およびドレイン電極

50

を形成した H E M T 素子。

【請求項 15】

請求項 12 の半導体積層構造にカソード電極およびアノード電極を形成した受発光素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果トランジスタ (F E T)、発光ダイオード (L E D) 等の半導体素子に用いられる半導体積層構造であって、特に反りを抑制し、結晶品質の優れた、主に S i 基板を用いた半導体積層構造およびこれを用いた半導体素子に関するものである。

10

【背景技術】

【0002】

窒化物半導体は、電界効果トランジスタ等の電子デバイス、あるいは、可視光領域から紫外光領域の短波長帯における受発光デバイスの活性材料として、近年盛んに研究開発が行われている。

【0003】

一般的に、前記窒化物半導体は、サファイア、S i C 又は S i 等からなる基板上に形成される。特に、S i 単結晶基板 (以下、「S i 基板」という) は、大面積が低価格で入手でき、結晶性及び放熱性に優れ、さらに、へき開やエッチングが容易で、プロセス技術が成熟しているといった多くの利点をもっている。

20

【0004】

しかし、前記窒化物半導体と S i 基板とでは、格子定数や熱膨張係数が大きく異なるため、S i 基板上に窒化物半導体を成長させた場合、成長した窒化物半導体は、ウェーハとして反る、あるいはクラックやピット (点状欠陥) が発生するという問題があった。特に反りが大きいと、デバイス加工としてプロセスが困難となり、また素子として耐圧が低いなど大きな課題となっている。

【0005】

上記問題を解決するための手段としては、前記 S i 基板と窒化物半導体層との間にバッファ層を形成することで、反りあるいはクラックを抑制する技術が知られている。例えば、特許文献 1 では、S i 基板の上に、窒化物半導体からなり、組成的に勾配を付けた $A l_x G a_{1-x} N$ 等からなる緩衝層 (バッファ層) を形成し、該緩衝層の上に窒化ガリウムを形成してなる半導体材料が開示されている。

30

【0006】

また、特許文献 2 では、S i 基板上に、高 A l 含有層と、低 A l 含有層とを交互に複数層積層してなる $A l N$ 系超格子複合層を形成し、該 $A l N$ 系超格子複合バッファ層上に窒化物半導体層を形成してなる窒化物半導体素子が開示されている。

【0007】

しかしながら、特許文献 1 及び 2 に記載の半導体材料では、いずれも前記窒化物半導体層に発生する反りあるいはクラックの抑制については十分でなかった。

【0008】

一方、特許文献 3 および 4 では、反りの少ない半導体積層基板を得るため、2 インチ径で $330 \mu m$ 厚のサファイア基板上に、 $30 nm$ 厚の $G a N$ バッファ層を設けた後、 $G a N$ 層と $G a$ の一部を $I n$ で置換した $I n G a N$ 層からなる中間層を設け、さらに $A l G a N$ 系の膜を $20 \sim 30 nm$ の厚みで形成した半導体積層構造の反りが $10 \sim 25 \mu m$ であることが開示されている。

40

【0009】

しかし、特許文献 3 および 4 で用いたサファイア基板のヤング率は S i 基板のヤング率の 2 ~ 3 倍であり、相対的に反りが小さくなること、また、基板の径を 2 インチから 4 インチへと大きくすれば反りは 4 倍程度大きくなることが予想され、さらに歪緩和のための中間層上の $A l G a N$ の膜厚が小さく、中間層の歪緩和効果が十分には確認されていない。

50

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特表2004-524250号公報

【特許文献2】特開2007-67077号公報

【特許文献3】特開2008-211246号公報

【特許文献4】特開2007-60140号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

10

本発明の課題は、基板とは格子定数あるいは熱膨張係数が異なるAlGa_xN系半導体層を順次設けた半導体積層構造において、反りを低減し、あるいはX線半値幅の小さい半導体積層構造およびこれを用いた半導体素子を提供することにある。

【課題を解決するための手段】

【0012】

本発明者は、前記半導体積層構造において、歪緩和層が組成傾斜層と超格子層からなり、組成傾斜層と超格子層の一方が他方からなる2層の中間に存在する半導体積層構造が上記課題が解決しうることを見出した。すなわち、本発明によれば、以下の半導体積層構造およびこれを用いた半導体素子が提供される。

【0013】

20

[1] 基板上にバッファ層、歪緩和層、デバイス層からなるAlGa_xN系半導体層あるいはInAlN系半導体層を順次設けた半導体積層構造であって、前記歪緩和層が組成傾斜層と超格子層からなり、組成傾斜層と超格子層の一方が他方からなる2層の中間に存在する半導体積層構造。

【0014】

[2] 前記超格子層が2層の組成傾斜層の中間に存在する前記[1]に記載の半導体積層構造。

【0015】

[3] 前記超格子層の平均組成が、基板に近い一方の組成傾斜層Al_{x₁}Ga_{1-x₁}Nの最終に形成される組成と他方の組成傾斜層Al_{x₂}Ga_{1-x₂}Nの最初に形成される組成と一致する、前記[2]に記載の半導体積層構造。

30

【0016】

[4] 基板に近い一方の組成傾斜層Al_{x₁}Ga_{1-x₁}NのAl含有率X₁が膜成長方向に1~0.45、他方の組成傾斜層Al_{x₂}Ga_{1-x₂}NのAl含有率X₂が膜成長方向に0.45~0、超格子層の平均組成がAl_{0.45}Ga_{0.55}Nである、前記[3]に記載の半導体積層構造。

【0017】

[5] 前記超格子層が2つあり、その平均組成がともに同じ組成であり、当該2つの超格子層に挟まれた組成傾斜層Al_xGa_{1-x}NのXが前記超格子層の平均組成のAl含有率から0に変化する前記[1]に記載の半導体積層構造。

40

【0018】

[6] 前記組成傾斜層Al_xGa_{1-x}NのXが、膜成長方向に連続的に減少する、あるいは膜成長方向に膜厚10nm~100nm毎に階段状に減少する前記[1]~[5]のいずれかに記載の半導体積層構造。

【0019】

[7] 前記超格子層を構成する一方の組成がAlNであり、他方の組成がAl_{x₃}Ga_{1-x₃}Nであり、X₃が0~0.2である前記[1]~[6]のいずれかに記載の半導体積層構造。

【0020】

[8] 前記超格子層を構成する一方の組成がAlNであり、他方の組成がAl_{x₃}Ga_{1-x₃}N

50

$x_3 N$ であり、 x_3 が $0 \sim 0.2$ の場合、その膜厚比が $1:2 \sim 1:4$ である、前記[7]に記載の半導体積層構造。

【0021】

[9]前記組成傾斜層の厚みが $0.1 \sim 1.0 \mu m$ 、前記超格子層の厚みが $1.0 \sim 5.0 \mu m$ である前記[1]～[8]のいずれかに記載の半導体積層構造。

【0022】

[10]前記デバイス層がチャンネル層およびバリア層を含む、前記[1]～[9]のいずれかに記載の半導体積層構造。

【0023】

[11]前記チャンネル層が $i GaN$ 、前記バリア層が $i Al_x Ga_{1-x} N$ ($0.1 \leq x \leq 0.3$)あるいは $i In_x Al_{1-x} N$ ($0.1 \leq x \leq 0.3$)である、前記[10]に記載の半導体積層構造。

10

【0024】

[12]前記デバイス層が、第1の導電型半導体層、活性層、および第1の導電型と反対の第2の導電型半導体層を順次積層してなる受発光層である前記[1]～[9]のいずれかに記載の半導体積層構造。

【0025】

[13]前記基板がSi単結晶である前記[1]～[12]のいずれかに記載の半導体積層構造。

【0026】

[14]前記[10]または[11]の半導体積層構造にソース電極、ゲート電極、およびドレイン電極を形成したHEMT素子。

20

【0027】

[15]前記[12]の半導体積層構造にカソード電極およびアノード電極を形成した受発光素子。

【図面の簡単な説明】

【0028】

【図1】比較例1(構造1)の半導体積層構造の概念図である。

【図2】比較例2(構造2)の半導体積層構造の概念図である。

【図3】比較例3(構造3)の半導体積層構造の概念図である。

30

【図4】本発明実施例1(構造4)の半導体積層構造の概念図である。

【図5】本発明実施例2(構造5)の半導体積層構造の概念図である。

【図6】本発明および比較例の半導体積層構造を有するウェーハの反り量を測定する方法を示す図である。

【図7】本発明および比較例の半導体積層構造を有するウェーハの反り量を示す図である。

【図8】本発明および比較例の半導体積層構造を有するウェーハの(0004)面X線回折半値幅を示す図である。

【図9】本発明および比較例の半導体積層構造を有するウェーハの(20-24)面X線回折半値幅を示す図である。

40

【図10】本発明および比較例の半導体積層構造を有するウェーハのシート抵抗を示す図である。

【図11】本発明および比較例の半導体積層構造を有するウェーハのシートキャリア密度を示す図である。

【図12】本発明および比較例の半導体積層構造を有するウェーハのキャリア移動度を示す図である。

【発明を実施するための形態】

【0029】

以下、図面を参照しつつ本発明の実施の形態について説明する。本発明は、以下の実施形態に限定されるものではなく、発明の範囲を逸脱しない限りにおいて、変更、修正、改良

50

を加え得るものである。

【0030】

図1～図3は本発明に対する比較例1～3(構造1～3)の半導体積層構造の概念図であり、図4および図5は、本発明の実施例1および実施例2の半導体積層構造の概念図である。なお、図示の都合上、図1～図5における各層の厚みの比率は実際の比率を反映していない。図1～図5に示す半導体積層構造は、Si基板の上に、バッファ層としてAlN層、またはこれに加えてAlGa_xN層を形成し、次に歪緩和層、さらにデバイス層を順次積層したものである。これら半導体積層構造は、基板上に、バッファ層、歪緩和層、さらにデバイス層を順次エピタキシャル成長させることにより形成されるので、当該半導体積層構造は半導体エピタキシャル基板(あるいは半導体エピ基板)と称する場合がある。そして、図1～図5は、i GaNからなるチャンネル層およびi Al_{0.2} Ga_{0.8} Nからなるバリア層を含むHEMT素子を対象として、歪緩和層の構成を異なるように形成したものである。歪緩和層は、組成傾斜層あるいは超格子層の少なくとも一方からなり、本発明では、組成傾斜層と超格子層の組み合わせに特徴がある。以下、組成傾斜層および超格子層をそれぞれ一つの層として扱う。

10

【0031】

図1～図5の半導体積層構造に、たとえば、ソース電極、ゲート電極、およびドレイン電極を形成することにより、HEMT素子を形成することができる。一方、デバイス層として、第1の導電型半導体層、活性層、および第1の導電型と反対の第2の導電型半導体層を順次積層してなる受発光層、さらに電極を設けることにより受発光素子を形成することができる。

20

【0032】

本発明において基板は、その上に形成するバッファ層、歪緩和層、デバイス層の組成や構造、あるいは各層の形成手法に応じて適宜に選択される。例えば、基板としては、シリコン、ゲルマニウム、サファイア、炭化ケイ素、酸化物(ZnO、LiAlO₂、LiGaO₂、MgAl₂O₄、(LaSr)(AlTa)O₃、NdGaO₃、MgOなど)、Si-Ge合金、周期律表の第3族-第5族化合物(GaAs、AlN、GaN、AlGa_xN、AlInN)、ホウ化物(ZrB₂など)、などを用いることができる。ただし、室温～1200における前記基板の熱膨張係数が基板上に形成するAl_xGa_{1-x}Nからなる膜の熱膨張係数より小さいことが好ましく、なかでもSi基板が品質およびコストの点で好ましく、Si基板の厚みとしては0.42～1.00mmが好適である。

30

【0033】

バッファ層は、その上に形成する歪緩和層、デバイス層の組成や構造、あるいは各層の形成手法に応じて、様々な第3族窒化物半導体からなる単一層または複数層から形成される。本発明では、バッファ層はAl_xGa_{1-x}Nからなり、X=0.2の1層または2層からなり、合計の厚みとして30～500nmが好ましく、50～150nmがより好ましい。このバッファ層は、例えばMOCVD法やMBE法などの公知の成膜手法にて形成される。歪や転位密度ができるだけ少ない膜構造とすることが好ましく、後に形成される膜の品質に影響するため、転位密度は1×10¹¹/cm³以下に形成することが好ましい。

40

【0034】

バッファ層の次に歪緩和層が形成される。当該歪緩和層は組成傾斜層と超格子層からなり、組成傾斜層と超格子層の一方が他方からなる2層の中間に存在することが好ましい。超格子層が2層の組成傾斜層の中間に存在することがより好ましく、超格子層の平均組成が、基板に近い一方の組成傾斜層Al_{x1}Ga_{1-x1}Nの最終に形成される組成と他方の組成傾斜層Al_{x2}Ga_{1-x2}Nの最初に形成される組成と一致することが特に好ましい。好例としては、基板に近い一方の組成傾斜層Al_{x1}Ga_{1-x1}NのAl含有率X1が膜成長方向に1～0.45、他方の組成傾斜層Al_{x2}Ga_{1-x2}NのAl含有率X2が同じく膜成長方向に0.45～0、超格子層の平均組成がAl_{0.45}Ga_{0.5}Nである。

50

【0035】

一方、組成傾斜層が2層の超格子層の中間にある構造であってもよい。超格子層が2つあり、その平均組成がともに同じ組成であり、当該2つの超格子層に挟まれた組成傾斜層 $Al_xGa_{1-x}N$ の x が前記超格子層の平均組成の Al 含有率と同じ値から0に変化することがその一例である。

【0036】

前記組成傾斜層はその組成が、膜成長方向に連続的に減少する、あるいは膜成長方向に膜厚 $10\text{nm} \sim 100\text{nm}$ 毎に階段状に減少することが好ましい。超格子層を構成する一方の組成が AlN であり、他方の組成が $Al_{x_3}Ga_{1-x_3}N$ であり、 x_3 が $0 \sim 0.2$ であることが好ましい。そして、超格子の一对が AlN と $Al_{x_3}Ga_{1-x_3}N$ の場合、その膜厚比が $1:2 \sim 1:4$ が好ましい。当該膜厚比の組み合わせの場合、超格子の一对が AlN と $Al_{0.15}Ga_{0.85}N$ の場合には超格子層の平均組成における Al 組成比が $0.45 \sim 0.30$ となる。さらに組成傾斜層の厚みが $0.1 \sim 1.0\ \mu\text{m}$ 、前記超格子層の厚みが $1.0 \sim 5.0\ \mu\text{m}$ であることが好ましい。

10

【0037】

本発明の半導体積層構造が HEMT 素子に適用される場合は、歪緩和層に引き続き、チャネル層とバリア層、さらにこの2層間に適宜スペーサ層が設けられる。チャネル層は $iGaN$ で構成することが好ましく、バリア層として $iAl_xGa_{1-x}N$ ($0.1 < x < 0.3$) とすることが好ましい。二次元電子ガスの移動度を改善させるため、チャネル層とバリア層との間に $0.5 \sim 1.5\text{nm}$ 厚の AlN スペーサ層が適宜形成される。なお、チャネル層の $iGaN$ に対して、バリア層として $iIn_xAl_{1-x}N$ ($0.1 < x < 0.3$) を用いることもできる。

20

【0038】

一方、本発明の半導体積層構造が受発光素子に適用される場合は、HEMT 素子同様に、基板上にバッファ層、歪緩和層を設けた後、受発光層を設ける。この場合、発光層は第1の導電型半導体層、活性層、および第1の導電型と反対の第2の導電型半導体層からなる。例えば、膜厚 $0.1\ \mu\text{m} \sim 1.0\ \mu\text{m}$ の n 型半導体層、膜厚 $2\text{nm} \sim 20\text{nm}$ の活性層、および膜厚 $0.1\ \mu\text{m} \sim 1.0\ \mu\text{m}$ の p 型半導体層を順次形成する。そして、好適には n 型半導体層および p 型半導体層として GaN 、活性層として $InGaN$ を用いることができる。この後、発光層上にカソード電極およびアノード電極を設ける、あるいは一方の電極を基板の他方の面（積層膜とは反対）に形成して発光素子を作製することができる。

30

【実施例】

【0039】

(実施例1：歪緩和層として2層の超格子層間に組成傾斜層が介在する半導体積層構造)
本実施例において、まず4インチ径の厚み $525\ \mu\text{m}$ の (111) 面 Si 単結晶基板を用い、これを所定の MOCVD 装置の反応管内に設置した。MOCVD 装置は、キャリアガスあるいは反応ガスとして、少なくとも H_2 、 N_2 、TMG (トリメチルガリウム)、TMA (トリメチルアルミニウム)、および NH_3 が、反応管内に供給可能とされている。キャリアガスとして水素を流量 20SLM 及び窒素を流量 10SLM で流しながら、反応管内の圧力を 100Torr に保ちつつ、基板を 1210 まで昇温した後、10分間保持し、基板のサーマルクリーニングを実施した。

40

【0040】

その後、基板温度を下げて 1030 に保ちつつ、TMA とそのキャリアガスである水素を供給するとともに、 NH_3 とそのキャリアガスである水素とを供給することにより、バッファ層として膜厚 80nm の AlN 層を最初に形成した。供給反応ガスのモル比、すなわち、第5族ガス/第3族ガス (NH_3 / TMA) の比は 5600 とし、反応管内の圧力は 100Torr とした。

【0041】

そして基板温度を 1130 にし、供給する反応ガスモル比 (第5族ガス/第3族ガス)

50

を3900として膜厚30nmの $Al_{0.3}Ga_{0.7}N$ を形成した。以上により、 AlN 層および $Al_{0.3}Ga_{0.7}N$ 層からなるバッファ層を形成した。

【0042】

次に、基板温度を1130に維持したまま、第1の超格子層を形成した。バッファ層同様に供給ガスとしてTMA、TMG、および NH_3 の供給量を調整して、 AlN と $Al_{0.15}Ga_{0.85}N$ をそれぞれ6nm、15nmの膜厚で交互に積層し、1.25 μm 厚とした。

【0043】

次に組成傾斜層を形成した。組成傾斜層として $Al_{x_3}Ga_{1-x_3}N$ なる層は、基板温度を1130に維持し、圧力を100Torr、供給する反応ガスのモル比（第5族ガス/第3族ガス）を、4000から2800へと変えて、 Al 組成比 X_3 を0.45から0へと減少させ、膜厚400nmの組成傾斜層を形成した。膜成長方向に連続的に Al 組成を減少させた。

【0044】

次に、基板温度を1130に維持したまま、第1の超格子層と同一の条件にて、1.25 μm 厚の第2の超格子層を形成した。第1超格子層、組成傾斜層、および第2超格子層を合わせた歪緩和層の総厚は2.9 μm である。

【0045】

基板温度を1130に維持したまま、圧力を100Torr、供給する反応ガスモル比（第5族ガス/第3族ガス）が2800となるように供給して、チャンネル層として膜厚1.0 μm の $i-GaN$ 層を形成した。

【0046】

チャンネル層形成後、基板温度を1130に維持したまま、供給する反応ガスモル比（第5族ガス/第3族ガス）を AlN バッファ層と同様に供給して、1nm厚の AlN スペーサー層を形成した。引き続き、 $Al_{0.2}Ga_{0.8}N$ なるバリア層を膜厚20nm形成した。以上により、半導体積層構造（実施例1）を得た。

【0047】

（実施例2：歪緩和層として2層の組成傾斜層間に超格子層が介在する半導体積層構造）
実施例1同様に、まず4インチ径の厚み525 μm の(111)面 Si 単結晶基板を用い、これを所定のMOCVD装置の反応管内に設置し、キャリアガスとして水素を流量20SLM及び窒素を流量10SLMで流しながら、反応管内の圧力を100Torrに保ちつつ、基板を1210まで昇温した後、10分間保持し、基板のサーマルクリーニングを実施した。

【0048】

その後、基板温度を下げて1030に保ちつつ、TMAとそのキャリアガスである水素を供給するとともに、 NH_3 とそのキャリアガスである水素とを供給することにより、バッファ層として膜厚110nmの AlN 層を最初に形成した。供給反応ガスのモル比、すなわち、第5族ガス/第3族ガス（ NH_3 /TMA）の比は5600とし、反応管内の圧力は100Torrとした。

【0049】

次に第1の組成傾斜層を形成した。組成傾斜層として $Al_{x_3}Ga_{1-x_3}N$ なる層は、基板温度を1130に維持し、圧力を100Torr、供給する反応ガスモル比（第5族ガス/第3族ガス）を、5600から4000へと変えて、 Al 組成比の X_3 を1.0から0.45へと減少させ、膜厚400nmの組成傾斜層を形成した。膜成長方向に連続的に Al 組成を減少させた。

【0050】

次に、基板温度を1130に維持したまま、超格子層を形成した。バッファ層同様に供給ガスとしてTMA、TMG、および NH_3 の供給量を調整して、 AlN と $Al_{0.15}Ga_{0.85}N$ をそれぞれ6nm、15nmの膜厚で交互に積層し、2.1 μm 厚とした。

【0051】

10

20

30

40

50

さらに、第1の組成傾斜層と同一の条件にて、膜厚400nmの第2の組成傾斜層を形成した。第1組成傾斜層、超格子層、および第2組成傾斜層を合わせた歪緩和層の総厚は実施例1と同様に2.9μmである。

【0052】

チャンネル層、スペーサ層、およびバリア層は、実施例1と同一の条件で同じ層にて各層を形成した。

【0053】

(比較例1~3)

歪緩和層の構成は、実施例1および実施例2とは異なり、比較例1は超格子層のみ、比較例2は組成傾斜層上に超格子層、比較例3は超格子層上に組成傾斜層を形成した。歪緩和層の総厚は、実施例1および実施例2と同様に、総厚を2.9μmとした。

10

【0054】

(半導体積層構造の反り量を測定)

実施例1および実施例2、さらに比較例1~3の半導体エピウェーハの反り量を測定した。反り量の測定は図6のように行い、基板のオリフラ方向とこれに直角方向の平均とした。測定結果を図7に示す。ウェーハの反り量は実施例2(構造5)が最も小さくなった。

【0055】

(X線回折半値幅測定)

実施例1、実施例2、および比較例1~3の半導体エピウェーハの(0004)面、および(20-24)面のX線回折によるロッキングカーブ半値幅の測定結果をそれぞれ図8および図9に示す。両面ともに実施例2が最も半値幅が小さく、実施例1も比較的小さな半値幅が得られた。

20

【0056】

(転位密度測定)

実施例1、実施例2、および比較例1~3の半導体エピウェーハのらせん転位密度、および刃状転位密度を測定した結果を表1に示す。実施例2が、らせん転位密度および刃状転位密度ともに小さく、実施例1も比較的小さな転位密度であった。

【0057】

【表1】

構造	らせん転位密度 (cm ⁻²)	刃状転位密度 (cm ⁻²)
比較例1 (構造1)	1.3×10 ⁹	3.2×10 ¹⁰
比較例2 (構造2)	1.2×10 ⁹	1.4×10 ¹⁰
比較例3 (構造3)	1.0×10 ⁹	3.3×10 ¹⁰
実施例1 (構造4)	1.0×10 ⁹	1.4×10 ¹⁰
実施例2 (構造5)	8.6×10 ⁸	1.1×10 ¹⁰

30

【0058】

(シート抵抗、シートキャリア濃度、およびキャリア移動度の測定)

シート抵抗については、実施例1(構造4)が最も小さくなった。シートキャリア密度については、実施例1および実施例2、比較例1~3について大きな差異は見られなかった。キャリア移動度は、比較例2を除いてデータの幅が大きい、実施例1および実施例2は比較的大きなキャリア移動度が得られた。

【0059】

ウェーハの反り、X線半値幅、および転位密度の測定結果より、実施例2が最も良好であり、実施例1も比較的良好であった。特にウェーハの反りはデバイス作製に影響するため、実施例2が特に好ましい。キャリア移動度もウェーハの反りおよびX線半値幅が影響するためか、実施例1および実施例2が比較的好ましい結果が得られた。

40

【産業上の利用可能性】

【0060】

本発明の半導体積層構造は、電界効果トランジスタ(FET、HEMT)あるいは受発光素子等の半導体素子に用いられる。

【 図 1 】

i-Al _{0.20} GaN : 20 nm
AlN spacer : 1 nm
i-GaN : 1.0 μm
SLS(Al _{0.15} Ga _{0.85} N/AlN) 2.9 μm
AlGa _{0.7} N : 30 nm
AlN : 80 nm
4 inch p-Si(111) Sub. 525 μm

【 図 2 】

i-Al _{0.20} GaN : 20 nm
AlN spacer : 1 nm
i-GaN : 1.0 μm
SLS(Al _{0.15} Ga _{0.85} N/AlN) 2.5 μm
graded-Al _{1.0-0.45} GaN : 400 nm
AlN : 110 nm
4 inch p-Si(111) Sub. 525 μm

【 図 3 】

i-Al _{0.20} GaN : 20 nm
AlN spacer : 1 nm
i-GaN : 1.0 μm
graded-Al _{0.45-0} GaN : 400 nm
SLS(Al _{0.15} Ga _{0.85} N/AlN) 2.5 μm
Al _{0.3} Ga _{0.7} N : 30 nm
AlN : 80 nm
4 inch p-Si(111) Sub. 525 μm

【 図 4 】

i-Al _{0.20} GaN : 20 nm
AlN spacer : 1 nm
i-GaN : 1.0 μm
SLS(Al _{0.15} Ga _{0.85} N/AlN) 1.25 μm
graded-Al _{0.45-0} GaN : 400 nm
SLS(Al _{0.15} Ga _{0.85} N/AlN) 1.25 μm
Al _{0.3} Ga _{0.7} N : 30 nm
AlN : 80 nm
4 inch p-Si(111) Sub. 525 μm

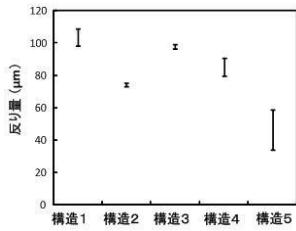
【 図 5 】

i-Al _{0.20} GaN : 20 nm
AlN spacer : 1 nm
i-GaN : 1.0 μm
graded-Al _{0.45-0} GaN : 400 nm
SLS(Al _{0.15} Ga _{0.85} N/AlN) 2.1 μm
graded-Al _{1.0-0.45} GaN : 400 nm
AlN : 110 nm
4 inch p-Si(111) Sub. 525 μm

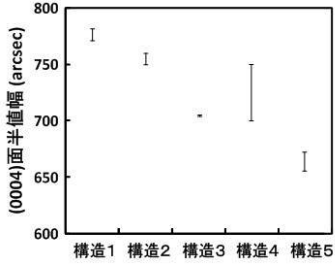
【 図 6 】



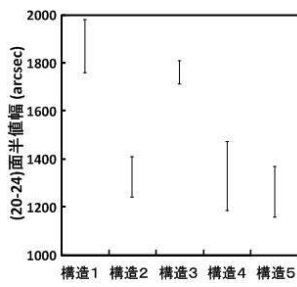
【 図 7 】



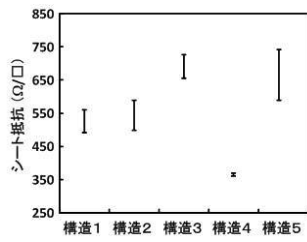
【 図 8 】



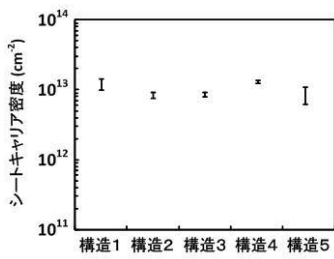
【 図 9 】



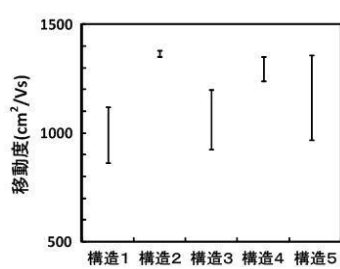
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<i>H 0 1 L 33/12 (2010.01)</i>		H 0 1 L	31/10	A 5 F 1 5 2
<i>H 0 1 L 33/32 (2010.01)</i>		C 2 3 C	16/34	
<i>H 0 1 L 31/10 (2006.01)</i>		H 0 1 L	21/20	
<i>C 2 3 C 16/34 (2006.01)</i>				
<i>H 0 1 L 21/20 (2006.01)</i>				

Fターム(参考) 5F045 AA04 AB09 AB14 AB17 AC08 AC12 AC15 AC18 AD14 AD15
 AE25 AF02 AF03 AF04 AF05 AF06 AF07 AF09 BB11 BB12
 CA07 CA09 CA13 DA53 DA54 DA58 EB15
 5F049 MB07 QA16 SS03
 5F102 GB01 GC01 GD01 GJ03 GK04 GK08 GM05 GM08 GQ01
 5F141 AA40 CA40 CA65 CA66 CB36
 5F152 LL05 LL09 LN03 LN12 LN14 MM05 MM10 NN03 NN04 NN05
 NN12 NN13 NN27 NP09 NQ09