

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-206512

(P2013-206512A)

(43) 公開日 平成25年10月7日(2013.10.7)

(51) Int.Cl. F I テーマコード (参考)  
**G 1 1 C 11/41 (2006.01)** G 1 1 C 11/40 B 5 B 0 1 5  
**G 1 1 C 11/412 (2006.01)** G 1 1 C 11/40 3 0 1

審査請求 未請求 請求項の数 5 O L (全 20 頁)

(21) 出願番号 特願2012-76414 (P2012-76414)  
 (22) 出願日 平成24年3月29日 (2012.3.29)

(71) 出願人 504174135  
 国立大学法人九州工業大学  
 福岡県北九州市戸畑区仙水町1番1号  
 (74) 代理人 100121371  
 弁理士 石田 和人  
 (72) 発明者 中村 和之  
 福岡県飯塚市大字川津680-4  
 (72) 発明者 齊藤 貴彦  
 宮崎県宮崎市清武町池田台28-5  
 (72) 発明者 岡村 均  
 横浜市都筑区茅ヶ崎東1-1 港北NTイ  
 オ2-510  
 Fターム(参考) 5B015 HH01 HH03 JJ24 KA04 KA07  
 KA33

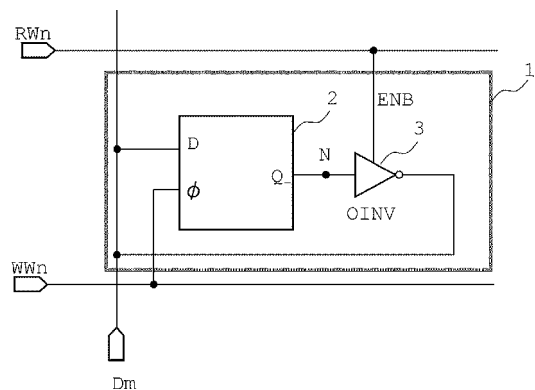
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】回路を構成する各トランジスタの設計サイズに依らず、マージン設計なしに安定動作可能な半導体記憶装置の提供。

【解決手段】 D端子(D)、クロック端子( )、及びQ端子(Q<sub>o</sub>)を有し、クロック端子( )のライト選択信号がアサートされるとビット線からD端子(D)のデータ信号の電圧をスルーし、ライト選択信号がネゲートされるとデータライトデータ信号の電圧をホールドし、スルー/ホールドされる電圧の反転値をQ端子(Q<sub>o</sub>)から出力するDラッチ回路2、並びにDラッチ回路2のQ端子(Q<sub>o</sub>)とデータ線(D)の間に接続され、リード選択信号がアサートされるとQ端子(Q<sub>o</sub>)の電圧の反転値をビット線(D)へ出力しリード選択信号がネゲートされると出力が高インピーダンス状態となるトライステートバッファ3を具備するメモリセル1とを備えた。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

リードワード線及びライトワード線の対からなるワード線ペアと、  
前記ワード線ペアに交差するビット線と、  
前記ワード線ペアと前記ビット線の交点に対応して設けられたメモリセルと、を備え、  
前記メモリセルは、

D 端子、クロック端子、及び Q 端子を有し、前記 D 端子、前記クロック端子が其々前記ビット線、前記ライトワード線に接続され、前記ライトワード線から前記クロック端子に入力されるライト選択信号がアサートされると前記ビット線から前記 D 端子に入力されるデータ信号の論理レベル電圧をスルーし、前記ライト選択信号がネゲートされると前記データ信号の論理レベル電圧をホールドし、スルー又はホールドされる論理レベル電圧又はその反転値電圧を前記 Q 端子から出力する D ラッチ回路と、

10

入力端子、制御端子、及び出力端子を有し、前記入力端子が前記 D ラッチ回路の前記 Q 端子に接続され、前記制御端子が前記リードワード線に接続され、前記出力端子が前記ビット線に接続されており、前記リードワード線から前記制御端子に入力されるリード選択信号の論理レベル電圧がアサートされると、前記入力端子の論理レベル又はその反転値を前記出力端子から前記ビット線へ出力し、前記リード選択信号の論理レベル電圧がネゲートされると、出力状態が高インピーダンス状態となるスリーステート・バッファと、を備えたことを特徴とする半導体記憶装置。

**【請求項 2】**

20

前記 D ラッチ回路は、

前記 D 端子と前記 Q 端子の間に設けられ、互いに入力端子と出力端子とがループ状に接続された第 1 のインバータ及び第 2 のインバータを含むインバータ・ループと、

前記インバータ・ループに挿入されたトランスファ・ゲートであるループゲート回路と

、  
前記 D 端子と前記インバータ・ループとの間に挿入されたトランスファ・ゲートである入力ゲート回路と、を備え、

前記ループゲート回路は、其の制御端子が前記ライトワード線に接続され、前記ライト選択信号がネゲートされると導通状態、アサートされると非導通状態となるものであり、

前記入力ゲート回路は、其の制御端子が前記ライトワード線に接続され、前記ライト選択信号がアサートされると導通状態、ネゲートされると非導通状態となるものであることを特徴とする請求項 1 記載の半導体記憶装置。

30

**【請求項 3】**

前記スリーステート・バッファは、

前記入力端子から入力される前記 D ラッチ回路の出力電圧を高インピーダンスで受ける高インピーダンス入力回路と、

前記高インピーダンス入力回路の出力端子と前記ビット線との間に接続され、前記制御端子から入力される前記リード選択信号がアサートされると導通状態、ネゲートされると非導通状態となるよう通断を行う出力ゲート回路と、を備えていることを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

40

**【請求項 4】**

前記高インピーダンス入力回路は、C M I S インバータ又はソース接地された片チャンネル M I S F E T であることを特徴とする請求項 3 に記載の半導体記憶装置。

**【請求項 5】**

複数の前記ワード線ペアと複数の前記ビット線とが格子状に配設され、両者の各交点に対応して前記メモリセルが設けられており、

読出データの論理レベル電圧を外部へ出力するための外部データ出力端子と、

書込データの論理レベル電圧を外部から入力するための外部データ入力端子と、

データの書込又は読み出しを行うメモリセルに接続する前記ビット線の列を選択する列アドレス信号を外部から入力するための列アドレス入力端子と、

50

ラッチ制御信号を外部から入力するためのラッチ端子と、

前記各ビット線、前記外部データ出力端子、前記外部データ入力端子、前記列アドレス入力端子及び前記ラッチ端子に接続され、前記列アドレス入力端子に入力される前記列アドレス信号に従って、前記外部データ入力端子及び前記外部データ出力端子を前記各ビット線の何れか一つに接続する列選択回路と、を備え、

前記列選択回路は、出力セクタと、前記各ビット線の其々に対して設けられた複数のデータホールド回路及び複数の書込用セクタと、を備え、

前記出力セクタは、複数の入力端子、1つの出力端子及び選択制御端子を有し、前記各入力端子が前記各ビット線に其々接続され、前記出力端子が前記外部データ出力端子に接続され、前記選択制御端子が前記列アドレス入力端子に接続されており、前記列アドレス入力端子から入力される前記列アドレス信号に従って、前記各ビット線の何れか一つを前記外部データ出力端子に接続するマルチプレクサであり、

前記各データホールド回路は、D端子、クロック端子、及びQ端子を有し、前記D端子が対応する前記ビット線に接続され、前記クロック端子が前記ラッチ端子に接続されており、前記ラッチ端子から入力される前記ラッチ制御信号に従って、対応する前記ビット線の論理レベル電圧をラッチして前記Q端子に出力するDラッチ回路であり、

前記各書込用セクタは、2つの入力端子、1つの出力端子及び選択制御端子を有し、前記各入力端子が前記外部データ入力端子及び対応する前記データホールド回路のQ端子に其々接続され、前記出力端子が対応する前記ビット線に接続され、前記選択制御端子が前記列アドレス入力端子に接続されており、前記列アドレス信号により対応する前記ビット線が選択された場合、該ビット線に前記外部データ入力端子を接続し、それ以外の場合、該ビット線に対応する前記データホールド回路のQ端子を接続するマルチプレクサであることを特徴とする請求項1乃至4の何れか一に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SRAMに使用される半導体記憶装置に関し、特に、低電力・超微細プロセスにおいてもマージン設計が容易、あるいはマージンフリー設計が可能な半導体記憶装置に関する。

【背景技術】

【0002】

従来から、SRAM (Static Random Access Memory) に使用される半導体記憶装置として、6トランジスタSRAMメモリセル (以下、「6T-SRAM」という。) が広く用いられている。図9は6T-SRAMの基本的な回路構成を表す図である。1つの6T-SRAMにつき、6個のMISFET (Metal-Insulator-Semiconductor Field-Effect Transistor) (M1~M6) と2本のビット線BL, BLBと1本のワード線WLが使用される。MISFET (M1, M2) と、MISFET (M3, M4) とは、其々、CMIS (Complementary Metal-Insulator-Semiconductor) インバータ (INV1, INV2) を構成し、MISFET (M5, M6) は、ワード線 (WL) により通断されるトランスマッション・ゲートを構成する。CMISインバータ (INV1, INV2) は互いにクロスカップリングされ、インバータ・ラッチ回路 (フリップ・フロップ) が構成されている。そして、両CMISインバータ (INV1, INV2) の入力は、其々、トランスマッション・ゲート (M5, M6) を介して、ビット線 (BL, BLB) に接続されている。

【0003】

リード動作時には、ワード線 (WL) をHレベルとしてトランスマッション・ゲート (M5, M6) を導通状態とすることにより、両ビット線 (BL, BLB) に、インバータ・ラッチ回路にラッチされた状態値が出力される。一方、ライト動作時には、書き込み値に応じて、ビット線 (BL, BLB) のうち一方をHレベル、他方をLレベルとして書き込み値を設定し、この状態でワード線 (WL) をHレベルとしてトランスマッション・ゲ

ート (M5, M6) を導通状態とする。これにより、インバータ・ラッチ回路に書き込み値が設定される。

#### 【0004】

しかしながら、近年では、集積回路の微細化、低電圧化に伴い、CMISインバータ及びトランスマッション・ゲートに使用されるトランジスタ (M1 ~ M6) の製造ばらつきの問題が顕在化してきている。図10は、CMOS素子の微細化の進展に伴う電源電圧とゲート長のばらつきの変遷を表す図である。図10のように、年々CMOS素子の低電圧化が進展してきており、それに伴ってばらつきが増大している。2010年では、ゲート長ばらつきは  $3 / \text{mean}$  (平均 (mean) に対する標準偏差 ( ) の3倍値の割合) で約50%に達しており、今後さらにばらつきが増大することが容易に推測できる。このようにばらつきが増大することにより、SRAMの動作マージンが減少する。

10

#### 【0005】

図11は、(a)トランスマッション・ゲートのトランジスタ (M5, M6) のゲート幅に対する図9のインバータ・ラッチ回路の端子電圧 (CH, CL) の関係、及び (b) 6T-SRAMのリード時に於けるノイズマージンを表す図である。図11(a)において、横軸は、トランスマッション・ゲートのトランジスタ (M5, M6) のゲート幅  $W_{TN}$  を表し、縦軸はリード/ライト時のインバータ・ラッチ回路 (INV1, INV2) の端子電圧 CH, CL (図9参照) を表す。点線 (RD) はリード時、実線 (WT) はライト時の各端子電圧である。リード時においては、ゲート幅  $W_{TN}$  が小さく (トランスマッション・ゲートの抵抗が大きく) ても十分に読み出し可能であるが、ゲート幅  $W_{TN}$  が大きくなるにつれてトランスマッション・ゲートの抵抗が下がり読み出し時に、インバータ・ラッチ回路の各端子からビット線 (BL) へ電流が漏出するため端子電圧が低下する。そして、ゲート幅  $W_{TN}$  がある閾値  $W_{TNR}$  を超えると、リードの瞬間にインバータ・ラッチ回路に保持されたデータが破壊されるようになるため、メモリセルとしては成立しなくなる。一方、ライト時においては、ゲート幅  $W_{TN}$  があまり小さいと、トランスマッション・ゲートの抵抗が大きいため書き込みができなくなる。従って、ゲート幅  $W_{TN}$  がある閾値  $W_{TNW}$  より小さいと書き込みができず、メモリセルとしては成立しなくなる。従って、トランスマッション・ゲートのトランジスタ (M5, M6) のゲート幅  $W_{TN}$  の許容範囲は、 $W_{TNW} < W_{TN} < W_{TNR}$  となる。

20

#### 【0006】

また、図11(b)は、SRAMの動作マージンの指標として用いられている静的ノイズマージン (SNM) を表す図であり、一般にバタフライカーブ (メガネ特性) と呼ばれる特性図である。図11(b)の横軸、縦軸は、其々、インバータ・ラッチ回路の端子電圧 CL, CH を表している。Vs が CMIS インバータ (INV1, INV2) の閾値電圧である。また、図11(b)に示した2つの曲線は、其々、CMIS インバータ (INV1, INV2) のリード時における電圧転送曲線 (VTC) を表す。リード時における SNM は、図11(b)に示した正方形の対角線の長さで表される。

30

#### 【0007】

上述したように、実際のLSIの製造プロセスでは、ゲート長のばらつきや、不純物のゆらぎ等により、メモリセルを構成する各トランジスタの性能ばらつきが大きいため、上述したトランジスタ (M5, M6) の設計においては、ゲート幅  $W_{TN}$  の最適値に対して、さらにばらつきを考慮したマージン設計が必要となる。現在のところ、このマージン設計においては、多くの場合、各トランジスタのばらつき幅を20~50%程度として設計が行われている。しかしながら、SRAM全体では、このようなメモリセルが何百万個も実装されているため、個々のメモリセルのばらつきのマージンが重畳することとなる。そのため、近い将来には、全体的に1/10~10倍の範囲のマージンを見込んだ設計が必要とされることになる。

40

#### 【0008】

従って、このままメモリセルの微細化・低電圧化が進み、トランジスタ性能のばらつきがさらに増大すると、現在のマージン設計では破綻することが明らかである。そこで、ト

50

ランジスタ性能のばらつきに影響されないマージンフリー設計が可能なSRAMメモリセル（半導体記憶装置）が必要とされている。

【0009】

かかる半導体記憶装置に関するものとしては、特許文献1, 2に記載のものが公知である。図12は、特許文献1に記載のSRAMメモリセルの回路図である。このメモリセルでは、ビット線として、書き込み専用のビット線(WBL, WBLB)と読み出し専用のビット線(RBL, RBLB)とを設けるとともに、各CMISインバータ(INV1, INV2)に対し、書込専用ビット線(WBL, WBLB)に対するトランスミッション・ゲート(WT1, WT2)と、読出専用ビット線(RBL, RBLB)に対するトランスミッション・ゲート(RT1, RT2)とを設けた構成とされている。尚、図12において、カラム選択線(CSL)は、データを書き込むセルのカラムを選択する線である。また、カラム選択用トランジスタ(CT1, CT2)は、カラム選択線(CSL)の電圧値によって通断される、カラム選択用のトランスミッション・ゲートである。

10

【0010】

このように、読み出し専用のトランスミッション・ゲート(RT1, RT2)と、書き込み専用のトランスミッション・ゲート(WT1, WT2)とを独立して設けることによって、書き込み時のトランスミッション・ゲートのゲート幅と、読み出し時のトランスミッション・ゲートのゲート幅を独立に設計することが可能となる。従って、図11において、書込用トランスミッション・ゲート(WT1, WT2)のゲート幅は $W_{TNW}$ 以上であればよく、読出用トランスミッション・ゲート(RT1, RT2)のゲート幅は $W_{TNR}$ 以下であればよいため、許容ゲート幅の制約が緩やかとなり、許容閾値 $W_{TNW}$ ,  $W_{TNR}$ に対して十分余裕をもったゲート幅に設計すれば各トランスミッション・ゲートの性能ばらつきに対する設計マージンを大きくすることが可能である。

20

【0011】

尚、図12において、カラム選択用トランジスタ(CT1, CT2)により書き込みを行うメモリセルのカラムを選択するようにしているが、これは、書き込み時において、書き込みを行おうとするカラム以外のカラムのメモリセルが書き換えられることを防止するためである。

【0012】

また、図13は、特許文献2に記載のSRAMメモリセルの回路図である。図13の回路においても、書き込み専用のビット線(BLW, BLWB)と読み出し専用のビット線(BLR)とを設けるとともに、各CMISインバータ(INV1, INV2)に対し、書込専用ビット線(BLW, BLWB)に対するトランスミッション・ゲート(WT1, WT2)と、読出専用ビット線(BLR)に対するトランスミッション・ゲート(RT1)及び読出トランジスタ(RT2)とを設けた構成とされている。この回路では、書き込み側は図12の回路と同様であるが、読み出し側は、インバータ・ラッチ回路の出力を直接読み出し専用のビット線(BLR)に接続するのではなく、高インピーダンスの読出トランジスタ(RT2)のゲートにより受けてから、トランスミッション・ゲート(RT1)を介して読み出し専用のビット線(BLR)に接続する構成とされている。これにより、図12の回路と同様、読み出し専用のトランスミッション・ゲート(RT1)及び読出トランジスタ(RT2)と、書き込み専用のトランスミッション・ゲート(WT1, WT2)とを独立して設けることで、書き込み時のトランスミッション・ゲートのゲート幅と、読み出し時のトランスミッション・ゲートのゲート幅を独立に設計することが可能となる。また、読み出し時には高インピーダンスの読出トランジスタ(RT2)のゲートを介してラッチされた値を出力するため、読み出し時にインバータ・ラッチ回路が保持する状態値が破壊される恐れがなくなる。

30

40

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2010-277634号公報

50

【特許文献2】W O 2 0 0 8 / 3 2 5 4 9 号公報

【非特許文献】

【0014】

【非特許文献1】武石義幸，原央監修，「超LSI入門シリーズ5 MOS集積回路の基礎」，初版，近代科学社，1992年5月，p. 65.

【非特許文献2】道関隆国，武藤伸一郎，「微細CMOSメモリセルのスタティックノイズマージン解析」，電子情報通信学会論文誌，社団法人電子情報通信学会，1992年7月，C-11，Vol. J75-C-11，No.7，pp. 350-361.

【発明の概要】

【発明が解決しようとする課題】

10

【0015】

しかしながら、上記従来の半導体記憶装置では、ラッチ・インバータで構成される記憶保持部のデータを反転させる場合や、ラッチ・インバータ保持データを読み出す場合の、両方の場合あるいは片方の場合において、メモリセルを構成する全てのトランジスタ、またはその一部のトランジスタにおいて、そのゲートサイズ（ゲート幅/ゲート長）の選択の範囲に設計上の制約、いわゆるレシオ設計が必要であり、各トランジスタの性能ばらつきを考慮した上で、安定的に動作させるためには、さらに設計マージンの確保が必要であり、今後のトランジスタの性能ばらつき増大においては、いずれ破綻をきたす恐れがあるという課題があった。

【0016】

20

そこで本発明の目的は、回路を構成する各トランジスタの設計サイズ（ゲート幅/ゲート長）によらず、また各トランジスタ間の複合的なマージン設計を行うことなしに、安定な動作が可能な半導体記憶装置を提供することにある。

【課題を解決するための手段】

【0017】

本発明に係る半導体記憶装置は、リードワード線及びライトワード線の対からなるワード線ペアと、

前記ワード線ペアに交差するビット線と、

前記ワード線ペアと前記ビット線の交点に対応して設けられたメモリセルと、を備え、前記メモリセルは、

30

D端子、クロック端子、及びQ端子を有し、前記D端子，前記クロック端子が其々前記ビット線，前記ライトワード線に接続され、前記ライトワード線から前記クロック端子に入力されるライト選択信号がアサートされると前記ビット線から前記D端子に入力されるデータ信号の論理レベル電圧をスルーし、前記ライト選択信号がネゲートされると前記データ信号の論理レベル電圧をホールドし、スルー又はホールドされる論理レベル電圧又はその反転値電圧を前記Q端子から出力するDラッチ回路と、

入力端子、制御端子、及び出力端子を有し、前記入力端子が前記Dラッチ回路の前記Q端子に接続され、前記制御端子が前記リードワード線に接続され、前記出力端子が前記ビット線に接続されており、前記リードワード線から前記制御端子に入力されるリード選択信号の論理レベル電圧がアサートされると、前記入力端子の論理レベル又はその反転値を前記出力端子から前記ビット線へ出力し、前記リード選択信号の論理レベル電圧がネゲートされると、出力状態が高インピーダンス状態となるスリーステート・バッファと、を備えたことを特徴とする。

40

【0018】

この構成によれば、ビット線から入力されるデータを保持する各メモリセルを、Dラッチ回路及びスリーステート・バッファを用いて構成することにより、メモリセルへのデータの書き込み及びメモリセルからのデータの読み出しの両方に於いて、メモリセルの動作がすべてデジタル動作となり、基本的にその動作の可否は、メモリセルを構成する各トランジスタの設計値（ゲート幅/ゲート長）には依存しなくなる。従って、其々のトランジスタごとに独立してマージン設計を行えば済むことになり、各トランジスタ間の複合的な

50

マージン設計の必要がなくなる。

【0019】

ここで、「アサート(assert)」とは、信号及び論理が有効になることをいう(即ち、Hアクティブの信号をアサートすると、デジタルHレベルになる。Lアクティブの信号をアサートすると、デジタルLレベルになる)。「ネゲート(negate)」とは、信号及び論理が無効になることをいう(即ち、Hアクティブの信号をネゲートすると、デジタルLレベルになる。Lアクティブの信号をネゲートすると、デジタルHレベルになる)。「論理レベル電圧をスルー」するとは、データ入力端子に入力された論理レベル電圧をデータ出力端子にそのまま通過させることをいう。

【0020】

また、本発明に於いて、前記Dラッチ回路は、前記D端子と前記Q端子の間に設けられ、互いに入力端子と出力端子とがループ状に接続された第1のインバータ及び第2のインバータを含むインバータ・ループと、前記インバータ・ループに挿入されたトランスファ・ゲートであるループゲート回路と、前記D端子と前記インバータ・ループとの間に挿入されたトランスファ・ゲートである入力ゲート回路と、を備え、

前記ループゲート回路は、其の制御端子が前記ライトワード線に接続され、前記ライト選択信号がネゲートされると導通状態、アサートされると非導通状態となり、

前記入力ゲート回路は、其の制御端子が前記ライトワード線に接続され、前記ライト選択信号がアサートされると導通状態、ネゲートされると非導通状態となるように構成することができる。

【0021】

また、本発明に於いて、前記スリーステート・バッファは、

前記入力端子から入力される前記Dラッチ回路の出力電圧を高インピーダンスで受ける高インピーダンス入力回路と、

前記高インピーダンス入力回路の出力端子と前記ビット線との間に接続され、前記制御端子から入力される前記リード選択信号がアサートされると導通状態、ネゲートされると非導通状態となるよう通断を行う出力ゲート回路と、を備えた構成とすることができる。

【0022】

また、本発明に於いて、前記高インピーダンス入力回路は、CMISインバータ又はソース接地された片チャンネルMISFETとすることができる。

【0023】

また、本発明に於いて、複数の前記ワード線ペアと複数の前記ビット線とが格子状に配設され、両者の各交点に対応して前記メモリセルが設けられており、

読出データの論理レベル電圧を外部へ出力するための外部データ出力端子と、

書込データの論理レベル電圧を外部から入力するための外部データ入力端子と、

データの書込又は読み出しを行うメモリセルに接続する前記ビット線の列を選択する列アドレス信号を外部から入力するための列アドレス入力端子と、

ラッチ制御信号を外部から入力するためのラッチ端子と、

前記各ビット線、前記外部データ出力端子、前記外部データ入力端子、前記列アドレス入力端子及び前記ラッチ端子に接続され、前記列アドレス入力端子に入力される前記列アドレス信号に従って、前記外部データ入力端子及び前記外部データ出力端子を前記各ビット線の何れか一つに接続する列選択回路と、を備え、

前記列選択回路は、出力セクタと、前記各ビット線の其々に対して設けられた複数のデータホールド回路及び複数の書込用セクタと、を備え、

前記出力セクタは、複数の入力端子、1つの出力端子及び選択制御端子を有し、前記各入力端子が前記各ビット線に其々接続され、前記出力端子が前記外部データ出力端子に接続され、前記選択制御端子が前記列アドレス入力端子に接続されており、前記列アドレス入力端子から入力される前記列アドレス信号に従って、前記各ビット線の何れか一つを前記外部データ出力端子に接続するマルチプレクサであり、

前記各データホールド回路は、D端子、クロック端子、及びQ端子を有し、前記D端子

10

20

30

40

50

が対応する前記ビット線に接続され、前記クロック端子が前記ラッチ端子に接続されており、前記ラッチ端子から入力される前記ラッチ制御信号に従って、対応する前記ビット線の論理レベル電圧をラッチして前記Q端子に出力するDラッチ回路であり、

前記各書込用セレクトは、2つの入力端子、1つの出力端子及び選択制御端子を有し、前記各入力端子が前記外部データ入力端子及び対応する前記データホールド回路のQ端子に其々接続され、前記出力端子が対応する前記ビット線に接続され、前記選択制御端子が前記列アドレス入力端子に接続されており、前記列アドレス信号により対応する前記ビット線が選択された場合、該ビット線に前記外部データ入力端子を接続し、それ以外の場合、該ビット線に対応する前記データホールド回路のQ端子を接続するマルチプレクサである構成とすることができる。

10

**【0024】**

この構成によれば、以下のようにして、各メモリセルに対するリード/ライト動作を行うことが可能となる。

**【0025】**

(1)リード動作時は、先ず列アドレス入力端子に、データの読み出しを行うメモリセル(以下「リード対象メモリセル」という。)に接続するビット線(以下「リード列のビット線」という。)の列を選択する列アドレス信号を入力する。これにより、出力セレクトは、リード列のビット線を外部データ出力端子に接続する。次に、リード対象メモリセルに接続するリードワード線(以下「リード行のリードワード線」という。)のリード選択信号をアサートする。これにより、リード行のリードワード線に接続する総てのメモリセル(以下「リード行のメモリセル」)のスリーステート・バッファが導通状態となり、各リード行のメモリセルのDラッチ回路に保持(ホールド)されている論理レベル電圧が、該メモリセルに接続するビット線に出力される。このとき、外部データ出力端子にはリード列のビット線が接続されているため、外部データ出力端子にはリード対象メモリセルのDラッチ回路に保持(ホールド)されている論理レベル電圧が出力される。これにより、リード対象メモリセルからのデータの読み出しが可能となる。

20

**【0026】**

(2)一方、ライト動作時は、先ず書き込みを行うメモリセル(以下「ライト対象メモリセル」という。)に接続するリードワード線(以下「ライト行のリードワード線」という。)のリード選択信号をアサートする。これにより、ライト行のリードワード線に接続する総てのメモリセル(以下「ライト行のメモリセル」)のスリーステート・バッファが導通状態となり、各ライト行のメモリセルのDラッチ回路に保持(ホールド)されている論理レベル電圧が、該メモリセルに接続するビット線に出力される。次に、ラッチ端子のラッチ制御信号を一定時間アサートする。これにより、各ビット線に接続されたデータホールド回路は、該ビット線の論理レベル電圧をラッチして、対応する書込用セレクトの一方の入力端子に出力する。次に、ライト行のリードワード線のリード選択信号をネゲートし、外部データ入力端子に書込データの論理レベル電圧を入力する。そして、列アドレス入力端子にライト対象メモリセルに接続するビット線(以下「ライト列のビット線」という。)を選択する列アドレス信号を入力する。これにより、書込用セレクトは、ライト列のビット線を外部データ入力端子に接続し、ライト列のビット線は書込データの論理レベル電圧となる。それ以外のビット線はデータホールド回路にホールドされた論理レベル電圧(即ち、現在ライト行の各メモリセルに保持されている論理レベル電圧)に拘束された儘維持される。次に、ライト対象メモリセルに接続するライトワード線(以下「ライト行のライトワード線」という。)のライト選択信号を一定時間アサートする。これにより、ライト行のライトワード線に接続する総てのメモリセルのDラッチ回路は、対応するビット線の論理レベル電圧をホールドする。このとき、ライト対象メモリセルには、書込データの論理レベル電圧がホールドされ、それ以外のメモリセルには、現在保持されている論理レベル電圧が再びホールドされる。これにより、ライト対象メモリセルでのデータの書き込みが可能となる。

30

40

**【0027】**

50



上述の通り、ライト動作時に於いて、ライト対象メモリセル以外のライト行のメモリセルについては、データホールド回路によりビット線の論理レベル電圧が現在保持されている論理レベル電圧に拘束されるため、ライト動作時にライト対象メモリセル以外のライト行のメモリセルが誤って書き換えられるといったエラーが防止される。

【発明の効果】

【0028】

以上のように、本発明によれば、データを保持する各メモリセルをDラッチ回路とスリーステート・バッファを用いて構成したことにより、回路を構成する各トランジスタの設計値（ゲート幅/ゲート長）によらずマージンフリーな設計を行うことが可能な半導体記憶装置を提供することが可能となる。

10

【図面の簡単な説明】

【0029】

【図1】本発明の実施例1に係る半導体記憶装置のメモリセル及びその周辺の構成を表す回路ブロック図である。

【図2】図1のメモリセル1の内部構成をトランジスタ・レベルで表した回路図である。

【図3】本発明の実施例1に係る半導体記憶装置の全体構成を表す回路ブロック図である。

【図4】図3の半導体記憶装置の回路のリード動作時における各信号のタイムチャートである。

【図5】図3の半導体記憶装置の回路のライト動作時における選択されたメモリセルの各信号のタイムチャートである。

20

【図6】図3の半導体記憶装置の回路のライト動作時における非選択のメモリセル（選択されたメモリセルと同じ行の非選択メモリセル）の各信号のタイムチャートである。

【図7】本発明の実施例2に係る半導体記憶装置のメモリセルの構成を表す回路図である。

【図8】本発明の実施例3に係る半導体記憶装置の全体構成を表す回路ブロック図である。

【図9】従来の6T-SRAMの基本的な回路構成を表す図である。

【図10】CMOS素子の微細化の進展に伴う電源電圧とゲート長のばらつきの変遷を表す図である。

30

【図11】(a)トランスファ・ゲートのトランジスタ(M5, M6)のゲート幅に対する図14のインバータ・ラッチ回路の端子電圧(CH, CL)の関係、及び(b)6T-SRAMのリード時に於けるノイズマージンを表す図である。

【図12】特許文献1に記載のSRAM記憶セルの回路図である。

【図13】特許文献2に記載のSRAMメモリセルの回路図である。

【発明を実施するための形態】

【0030】

以下、本発明を実施するための形態について、図面を参照しながら説明する。

【実施例1】

【0031】

図1は、本発明の実施例1に係る半導体記憶装置のメモリセル及びその周辺の構成を表す回路ブロック図である。

40

【0032】

図1において、半導体記憶装置は、リードワード線(RW<sub>n</sub>)及びライトワード線(WW<sub>n</sub>)(n=1, 2, ...)のペアであるワード線ペアと、ビット線(D<sub>m</sub>)(m=1, 2, ...)とが格子状に配設され(図3参照)、各ワード線ペアと各ビット線(D<sub>m</sub>)との交点の其々にメモリセル1が配設されている。リードワード線(RW<sub>n</sub>)には、リード選択信号が入力される。ライトワード線(WW<sub>n</sub>)には、ライト選択信号が入力される。ビット線(D<sub>m</sub>)にはデータ信号が入力され、またビット線(D<sub>m</sub>)からはリードデータ信号が出力される。

50

## 【0033】

各メモリセル1は、反転出力のDラッチ回路2と反転出力のスリーステート・バッファ3を備えている。

## 【0034】

Dラッチ回路2は、ビット線(Dm)に接続されたD端子(D)、ライトワード線(WWn)に接続されたクロック端子( )、及びQ端子(Q)を備えている。

## 【0035】

Dラッチ回路2は、クロック端子( )に入力されるライト選択信号がアサートされるとD端子(D)から入力されるデータ信号の論理レベル電圧をスルーし、ライト選択信号がネゲートされるとデータ信号の論理レベル電圧をホールドする。また、Dラッチ回路2は、ラッチされた論理レベル電圧をQ端子(Q)から出力する。尚、本実施例では、Q端子(Q)からは、ラッチされた論理レベル電圧の反転値が出力されるように構成されているが、本発明においては非反転値が出力されるように構成してもよい。

10

## 【0036】

スリーステート・バッファ3は、入力端子がDラッチ回路2のQ端子(Q)に接続され、出力端子がビット線(Dm)との間に接続され、制御端子がリードワード線(RWn)に接続された反転出力スリーステート・バッファである。スリーステート・バッファ3は、制御端子から入力されるリード選択信号がアサートされるとDラッチ回路2のQ端子(Q)の論理レベル電圧の反転値をビット線(Dm)へ出力し、リード選択信号がネゲートされると出力が高インピーダンス状態となる。尚、Q端子(Q)からラッチされた論理レベル電圧の非反転値を出力する構成とする場合には、スリーステート・バッファ3には非反転出力スリーステート・バッファを使用する。

20

## 【0037】

尚、図1のブロック図では、ライトワード線(WWn)やDラッチ回路2のクロック端子( )は、便宜上、1本の線、1つの端子として表示しているが、後述の図2の回路のようにライトワード線(WWn)を、ライト選択信号の非反転値が入力されるライトワード線(WWn+)とライト選択信号の反転値が入力されるライトワード線(WWn-)のペアとして実装する場合には、各ライトワード線(WWn+, WWn-)に対応してクロック端子( )は2つの端子(+, -)として実装される。同様に、図1のブロック図では、リードワード線(RWn)やスリーステート・バッファ3の制御端子も、便宜上、1本の線、1つの端子として表示しているが、後述の図2の回路のようにリードワード線(RWn)を、リード選択信号の非反転値が入力されるリードワード線(RWn+)とリード選択信号の反転値が入力されるリードワード線(RWn-)のペアとして実装する場合には、各リードワード線(RWn+, RWn-)に対応して制御端子(ENB)は2つの端子(ENB+, ENB-)として実装される。

30

## 【0038】

図2は、図1のメモリセル1の内部構成をトランジスタ・レベルで表した回路図である。図2(a)はメモリセル1の内部構成、図2(b), (c)はスリーステート・バッファ3の他の構成例を示している。Dラッチ回路2は、CMISインバータ4, 5、ループゲート回路6、及び入力ゲート回路7を備えている。尚、図2のメモリセル1の回路においては、リード選択信号及びライト選択信号が共にHアクティブの信号の場合を例示しているが、本発明においては、リード選択信号及びライト選択信号はLアクティブの信号として回路を構成することも勿論可能である。

40

## 【0039】

尚、図2では、図1のライトワード線(WWn)を、ライト選択信号の非反転値が入力されるライトワード線(WWn+)とライト選択信号の反転値が入力されるライトワード線(WWn-)のペアとしているが、ライトワード線(WWn)を1本(WWn+のみ)として構成することも勿論可能である(その場合、各メモリセル1にライトワード線(WWn+)の信号の反転信号(WWn-)を生成するインバータが必要となる)。また、図2では、図1のリードワード線(RWn)を、リード選択信号の非反転値が入力される

50

リードワード線 ( $RWn_+$ ) とリード選択信号の非反転値が入力されるリードワード線 ( $RWn_-$ ) のペアとしているが、リードワード線 ( $RWn$ ) を 1 本 ( $RWn_+$  のみ) として構成することも勿論可能である (その場合、各メモリセル 1 にリードワード線 ( $RWn_+$ ) の信号の反転信号 ( $RWn_-$ ) を生成するインバータが必要となる)。

【0040】

CMIS インバータ 5 の入力端子 5 a には、CMIS インバータ 4 の出力端子 4 b が接続されている。また、ループゲート回路 6 は、 $nMISFET$  ( $M1$ ) と  $pMISFET$  ( $M2$ ) とのチャネルを並列接続したトランスマッション・ゲートである。CMIS インバータ 5 の出力端子 5 b は、前記ループゲート回路 6 のチャネルを介して CMIS インバータ 4 の入力端子 4 a が接続されている。ループゲート回路 6 の  $pMISFET$  ( $M2$ ) のゲートは、D ラッチ回路 2 のクロック端子 ( $\phi_+$ ) に相当しライトワード線 ( $WWn_+$ ) に接続され、ループゲート回路 6 の  $nMISFET$  ( $M1$ ) のゲートは、D ラッチ回路 2 のクロック端子 ( $\phi_-$ ) に相当しライトワード線 ( $WWn_-$ ) に接続されている。これにより、ループゲート回路 6 は、ライトワード線 ( $WWn_+$ ,  $WWn_-$ ) から入力されるライト選択信号がネゲートされたとき (L レベルのとき) にオン (チャネルが導通) し、アサートされたとき (H レベルのとき) にオフ (チャネルが非導通) する。CMIS インバータ 4, 5 は、前記ループゲート回路 6 を間挿して出力と入力とが互いにクロスカップリング (ループ状に接続) されることで、インバータ・ループを構成している。

10

【0041】

また、CMIS インバータ 4 の出力端子 4 b は、Q 端子 ( $Q_-$ ) に相当し、スリーステート・バッファ 3 の入力端子に接続されている。従って、Q 端子 ( $Q_-$ ) からは、CMIS インバータ 4, 5 からなるインバータ・ループでラッチされた論理レベル電圧の反転値が、スリーステート・バッファ 3 の入力端子に出力される。

20

【0042】

入力ゲート回路 7 は、 $nMISFET$  ( $M3$ ) と  $pMISFET$  ( $M4$ ) とのチャネルを並列接続したトランスマッション・ゲートであり、チャネル両端子がビット線 ( $Dm$ ) と CMIS インバータ 4 の入力端子 4 a との間に接続されている。従って、ビット線 ( $Dm$ ) に接続された側の入力ゲート回路 7 のノードが、D ラッチ回路 2 の D 端子 ( $D$ ) に相当する。入力ゲート回路 7 の  $nMISFET$  ( $M3$ ) のゲートはクロック端子 ( $\phi_+$ ) に相当しライトワード線 ( $WWn_+$ ) に接続され、入力ゲート回路 7 の  $pMISFET$  ( $M4$ ) のゲートはクロック端子 ( $\phi_-$ ) に相当しライトワード線 ( $WWn_-$ ) に接続されている。これにより、入力ゲート回路 7 は、ライトワード線 ( $WWn_+$ ,  $WWn_-$ ) から入力されるライト選択信号がネゲートされたとき (L レベルのとき) にオフ (チャネルが非導通) し、アサートされたとき (H レベルのとき) にオン (チャネルが導通) する。

30

【0043】

スリーステート・バッファ 3 は、出力ゲート回路 9 及び高インピーダンス入力回路 11 を備えている。高インピーダンス入力回路 11 は入力端子から入力される D ラッチ回路の出力電圧を高インピーダンスで受ける入力回路であり、本実施例では高インピーダンス入力回路 11 は CMIS インバータにより構成している。出力ゲート回路 9 は、 $nMISFET$  ( $M5$ ) と  $pMISFET$  ( $M6$ ) とのチャネルを並列接続して構成されたトランスマッション・ゲートであり、 $nMISFET$  ( $M5$ ) のゲートは制御端子 ( $ENB_+$ ) に相当しリードワード線 ( $RWn_+$ ) に接続され、 $pMISFET$  ( $M6$ ) のゲートは制御端子 ( $ENB_-$ ) に相当しリードワード線 ( $RWn_-$ ) に接続されている。

40

【0044】

また、出力ゲート回路 9 の入力端子は、高インピーダンス入力回路 11 を介してスリーステート・バッファ 3 の入力端子 ( $in$ ) に接続され、出力ゲート回路 9 の出力端子は、スリーステート・バッファ 3 の出力端子 ( $out$ ) に接続されている。尚、スリーステート・バッファ 3 の入力端子 ( $in$ ) は、D ラッチ回路 2 の Q 端子 ( $Q_-$ ) に接続され、スリーステート・バッファ 3 の出力端子 ( $out$ ) は、ビット線 ( $Dm$ ) に接続されている。

50

## 【0045】

尚、図2(a)では、スリーステート・バッファ3はインバータとトランスファ・ゲートとの組み合わせで構成した例を示したが、実際に実装する場合、スリーステート・バッファ3は、図2(b)のように、電源(VDD)とグランド(GND)間にpMISFET(M6)、pMISFET(M7)、nMISFET(M8)、nMISFET(M5)を、ソース・ドレインを直列に接続して、電源(VDD)及びグランド(GND)に近い側のpMISFET(M6)、nMISFET(M5)のゲートを制御端子(ENB<sub>-</sub>、ENB<sub>+</sub>)とする構成や、図2(c)のように、電源(VDD)とグランド(GND)間にpMISFET(M7)、pMISFET(M6)、nMISFET(M5)、nMISFET(M8)を、ソース・ドレインを直列に接続して、電源(VDD)及びグランド(GND)から遠い側のpMISFET(M6)、nMISFET(M5)のゲートを制御端子(ENB<sub>-</sub>、ENB<sub>+</sub>)としたような等価な構成に置き換えることもできる。

10

## 【0046】

また、図2(a)のCMISインバータ5及びループゲート回路6も、図2(b)、(c)と同様な等価構成とすることができる。

## 【0047】

図3は、本発明の実施例1に係る半導体記憶装置の全体構成を表す回路ブロック図である。図3において、実施例1の半導体記憶装置は、リードワード線(RW<sub>n</sub>)(n=1, 2, ...)及びライトワード線(WW<sub>n</sub>)のペアであるワード線ペア(W<sub>n</sub>)と、ビット線(D<sub>m</sub>)(m=1, 2, ...)が、各ワード線ペア(W<sub>n</sub>)を行とし各ビット線(D<sub>m</sub>)を列として格子状に配設されている。各ワード線ペア(W<sub>n</sub>)と各ビット線(D<sub>m</sub>)との交点の其々に、図1のメモリセル1が配設されている。また、各ビット線(D<sub>m</sub>)の一端には、列選択回路12が接続されている。

20

## 【0048】

列選択回路12は、外部データ入力端子(D<sub>in</sub>)、外部データ出力端子(D<sub>out</sub>)、ラッチ端子(LAT)、及び列アドレス入力端子(Y<sub>0</sub>)を備えている。外部データ入力端子(D<sub>in</sub>)からは、何れかのメモリセル1に書き込むデータの論理レベル電圧が入力される。外部データ出力端子(D<sub>out</sub>)からは、何れかのメモリセル1から読み出されたデータの論理レベル電圧が出力される。また、列アドレス入力端子(Y<sub>0</sub>)には、データの書込み又は読み出しを行うメモリセルに接続するビット線(D<sub>m</sub>)(m=1, 2, ...)を選択するための列アドレス信号が入力される。ラッチ端子(LAT)には、各ビット線(D<sub>m</sub>)に入力されるデータ信号の論理レベル電圧を列選択回路12がラッチするように指示するためのラッチ制御信号が入力される。

30

## 【0049】

列選択回路12は、各ビット線(D<sub>1</sub>, D<sub>2</sub>, ...)に対して、其々、書込用セクタ13-1, 13-2, ...とDラッチ回路からなるデータホールド回路15-1, 15-2, ...を備えている。これらの書込用セクタ13-m(m=1, 2, ...)は、出力端子(out<sub>m</sub>)が対応するビット線(D<sub>m</sub>)の一端に、2つの入力端子(in<sub>1</sub>, in<sub>1m</sub>)が其々外部データ入力端子(D<sub>in</sub>)及びデータホールド回路15-mのQ端子(Q)に、選択制御端子(sel<sub>m</sub>)が列アドレス入力端子(Y<sub>0</sub>)に接続されたマルチプレクサである。これらの各書込用セクタ13-m(m=1, 2, ...)は、接続されたビット線(D<sub>m</sub>)を、外部データ入力端子(D<sub>in</sub>)又はデータホールド回路15-mのQ端子(Q)の何れかに選択的に接続する。各書込用セクタ13-m(m=1, 2, ...)は、列アドレス入力端子(Y<sub>0</sub>)から入力される列アドレス信号により接続方向の切り換えがされる。書込用セクタ13-mは、接続するビット線(D<sub>m</sub>)の列mが、列アドレス信号により選択された列のときはビット線(D<sub>m</sub>)を外部データ入力端子(D<sub>in</sub>)に接続し、それ以外のときは、ビット線(D<sub>m</sub>)をデータホールド回路15-mのQ端子(Q)に接続する。すなわち、列選択回路12は、列アドレス信号に従って、選択されたビット線(D<sub>i</sub>)を外部データ入力端子(D<sub>in</sub>)に接続し、それ以外のビット線(D<sub>j</sub>)(j≠i)を対応するデータホールド回路15-jのQ端子(Q)に接続するように動作する。

40

50

## 【0050】

各データホールド回路15 - m ( m = 1 , 2 , ... ) は、D端子 ( D<sub>h</sub> )、クロック端子 ( C<sub>h</sub> )、及びQ端子 ( Q<sub>h</sub> ) を有するDラッチ回路である。各データホールド回路15 - m は、D端子 ( D<sub>h</sub> ) が対応するビット線 ( D<sub>m</sub> ) に接続され、クロック端子 ( C<sub>h</sub> ) がラッチ端子 ( L A T ) に接続され、Q端子 ( Q<sub>h</sub> ) が対応する書込用セレクタ13 - m の一方の入力端子 ( i n<sub>1 m</sub> ) に接続されている。これらデータホールド回路15 - m は、ラッチ端子 ( L A T ) から入力されるラッチ制御信号に従って、対応するビット線 ( D<sub>m</sub> ) の論理レベル電圧をラッチしてQ端子 ( Q<sub>h</sub> ) に出力する。

## 【0051】

また、列選択回路12は、列アドレス入力端子 ( Y<sub>0</sub> ) から入力される列アドレス信号により選択されたビット線 ( D<sub>i</sub> ) を外部データ出力端子 ( D o u t ) に選択的に接続する出力セレクタ14を備えている。出力セレクタ14は、複数の入力端子 ( i n<sub>0 1</sub> , i n<sub>0 2</sub> , ... ) が各ビット線 ( D<sub>1</sub> , D<sub>2</sub> , ... ) に、出力端子 ( o u t<sub>0</sub> ) が外部データ出力端子 ( D o u t ) に、選択制御端子 ( s e l<sub>0</sub> ) が列アドレス入力端子 ( Y<sub>0</sub> ) に接続されたマルチプレクサである。出力セレクタ14は、列アドレス入力端子 ( Y<sub>0</sub> ) から入力される列アドレス信号に従い、列アドレス信号が示す列のビット線 ( D<sub>m</sub> ) を外部データ出力端子 ( D o u t ) に選択的に接続する。

## 【0052】

以上のように構成された本実施例に係る半導体記憶装置について、以下その動作を説明する。

## 【0053】

## (1) リード動作

図4は、図3の半導体記憶装置の回路のリード動作時における各信号のタイムチャートである。図4は、一例として、1行2列目のメモリセル1 ( 図3において符号Bを付したメモリセル ) のデータを読み出す場合を示している。尚、図4におけるノード電位 ( N<sub>1 1</sub> ) は、図3に示した1行1列目のメモリセル1 ( 図3において符号Aを付したメモリセル ) 内のノード ( N<sub>1 1</sub> ) の電位を表している。

## 【0054】

( 1 . 1 ) データの読み出しを行う場合、まず、読み出しを行うセルの列を選択する列アドレス信号を列アドレス入力端子 ( Y<sub>0</sub> ) に入力する。これにより、出力セレクタ14は、選択された列のビット線 ( D<sub>2</sub> ) を外部データ出力端子 ( D o u t ) に接続する。

## 【0055】

( 1 . 2 ) 次に、読み出しを行うセルの行のリードワード線 ( R W<sub>1</sub> ) のリード選択信号をアサートする ( Hレベルにする ) 。これにより、リードワード線 ( R W<sub>1</sub> ) に接続されたすべてのメモリセル1 ( 1行目のメモリセル1 ) のスリーステート・バッファ3が導通状態となり、各ビット線 ( D<sub>m</sub> ) ( m = 1 , 2 , ... ) には、1行目の各メモリセル1にラッチされている論理レベル電圧 D<sub>o 1 d 1 1</sub> , D<sub>o 1 d 1 2</sub> , ... が出力される。このとき、外部データ出力端子 ( D o u t ) には選択されたビット線 ( D<sub>2</sub> ) のみが接続されているため、外部データ出力端子 ( D o u t ) には1行2列目のメモリセル1にラッチされている論理レベル電圧 D<sub>o 1 d 1 2</sub> が出力される。

## 【0056】

以上のような動作により、選択されたメモリセル1にラッチされているデータの読み出しが行われる。

## 【0057】

## (2) ライト動作

図5は、図3の半導体記憶装置の回路のライト動作時における選択されたメモリセルの各信号のタイムチャート、図6は、図3の半導体記憶装置の回路のライト動作時における非選択のメモリセル ( 選択されたメモリセルと同じ行の非選択メモリセル ) の各信号のタイムチャートである。図5, 図6では、一例として、1行2列目のメモリセル1 ( 図3において符号Bを付したメモリセル ) にデータを書き込む場合を示している。

10

20

30

40

50

## 【 0 0 5 8 】

(初期状態)

図 5 において、初期状態では、ラッチ端子 (LAT)、各リードワード線 (RW<sub>n</sub>) ( $n = 1, 2, \dots$ )、各ライトワード線 (WW<sub>n</sub>) ( $n = 1, 2, \dots$ ) はネゲート (Lレベル) の状態にある。また、列アドレス入力端子 Y<sub>0</sub> には列アドレス信号が入力されていない状態にある。

## 【 0 0 5 9 】

(書き込み準備段階：時刻 t<sub>1</sub> ~ t<sub>6</sub>)

データの書き込みを行う場合、書き込みを行うセルの属する行の各セルにラッチされたデータが消失するのを防止するため、まず、書き込み準備段階として、次のような動作により当該行の各セルにラッチされたデータを列選択回路 12 内のデータホールド回路 15-1, 15-2, ... にラッチする。

## 【 0 0 6 0 】

(2.1) 書き込みを行うメモリセル 1 の属する行のリードワード線 (RW<sub>1</sub>) のリード選択信号をアサートする (Hレベルにする) (時刻 t<sub>1</sub>)。これにより、各列のビット線 (D<sub>1</sub>, D<sub>2</sub>, ...) には、選択されたリードワード線 (RW<sub>1</sub>) に接続する各列のメモリセル 1 (1 行目のメモリセル 1) においてラッチされている論理レベル電圧  $D_{o1d11}, D_{o1d12}, \dots$  が出力される (時刻 t<sub>2</sub>)。

## 【 0 0 6 1 】

このとき、列アドレス入力端子 (Y<sub>0</sub>) には列アドレス信号はまだ入力されていないため、すべての列の書込用セクタ 13-m ( $m = 1, 2, \dots$ ) は、対応するデータホールド回路 15-1, 15-2, ... の Q 端子 (Q) に接続された状態にある。

## 【 0 0 6 2 】

(2.2) 次に、ラッチ端子 (LAT) のラッチ制御信号をアサートする (Hレベルにする) (時刻 t<sub>3</sub>)。これにより、各ビット線 (D<sub>1</sub>, D<sub>2</sub>, ...) に対応するデータホールド回路 15-1, 15-2, ... のクロック端子 ( $C_h$ ) がアサートされ、これらデータホールド回路 15-1, 15-2, ... は D 端子 (D<sub>h</sub>) の電圧レベルを Q 端子 (Q<sub>h</sub>) にスルーさせる。従って、図 3 のノード ( $i_{n11}, i_{n12}, \dots$ ) には論理レベル電圧  $D_{o1d11}, D_{o1d12}, \dots$  が出力される (時刻 t<sub>4</sub>)。

## 【 0 0 6 3 】

(2.3) 一定時間経過後、ラッチ端子 (LAT) のラッチ制御信号がネゲートされる (Lレベルにする) (時刻 t<sub>5</sub>)。これにより、各データホールド回路 15-1, 15-2, ... のクロック端子 ( $C_h$ ) がネゲートされ、これらデータホールド回路 15-1, 15-2, ... は D 端子 (D<sub>h</sub>) の電圧レベルをラッチする。従って、各ノード ( $i_{n11}, i_{n12}, \dots$ ) には論理レベル電圧  $D_{o1d11}, D_{o1d12}, \dots$  がホールドされる。各書込用セクタ 13-m ( $m = 1, 2, \dots$ ) は、ノード ( $i_{n11}, i_{n12}, \dots$ ) に接続された状態にあるため、各ビット線 (D<sub>1</sub>, D<sub>2</sub>, ...) の電圧レベルは、対応するデータホールド回路 15-1, 15-2, ... により、其々論理レベル電圧  $D_{o1d11}, D_{o1d12}, \dots$  に拘束される。

## 【 0 0 6 4 】

(書き込み段階：時刻 t<sub>6</sub> ~)

(2.4) 次に、書き込みする行のリードワード線 (RW<sub>1</sub>) をネゲートするとともに、外部データ入力端子 (D<sub>in</sub>) に書き込みを行う書込データの論理レベル電圧  $D_{new}$  を入力する (時刻 t<sub>6</sub>)。このとき、列アドレス入力端子 (Y<sub>0</sub>) には、まだ列アドレス信号が入力されていないため、外部データ入力端子 (D<sub>in</sub>) の書込データはビット線 (D<sub>1</sub>, D<sub>2</sub>, ...) には入力されていない。

## 【 0 0 6 5 】

(2.5) 次に、書き込みを行うセルの列を選択する列アドレス信号を列アドレス入力端子 (Y<sub>0</sub>) に入力する (時刻 t<sub>7</sub>)。これにより、選択された列の書込用セクタ 13-2 は、ビット線 (D<sub>2</sub>) を外部データ入力端子 (D<sub>in</sub>) に接続する (時刻 t<sub>8</sub>)。

10

20

30

40

50

また、それ以外の書込用セクタ 13 - j ( j = 2 ) では、ビット線 ( D j ) は対応するデータホールド回路 15 - j の Q 端子 ( Q<sub>h</sub> ) に接続される。これによって、選択された列のビット線 ( D 2 ) は、書込データの論理レベル電圧 D<sub>new</sub> となる ( 時刻 t 8 )。一方、選択されなかった列のビット線 ( D j ) ( j = 2 ) はデータホールド回路 15 - j により、もとの論理レベル電圧 D<sub>old j</sub> に拘束された儘となる。

【 0 0 6 6 】

( 2 . 6 ) 次に、書き込みを行う行のライトワード線 ( WW 1 ) のライト選択信号をアサートする ( H レベルとする ) ( 時刻 t 9 )。これにより、選択された行 ( 1 行目 ) のすべてのメモリセル 1 の D ラッチ回路 2 は、そのメモリセル 1 が属する列 m ( m = 1 , 2 , ... ) のビット線 ( D m ) に設定された電圧を出力端子 Q<sub>h</sub> へスルーする。このとき、選択された列のビット線 ( D 2 ) には、書込データの論理レベル電圧 D<sub>new</sub> が設定されているので、1 行 2 列目のメモリセル 1 ( 図 3 の符号 B が附されたメモリセル ) の D ラッチ回路 2 には論理レベル電圧 D<sub>new</sub> が設定され ( 時刻 t 10 )、それに伴い、当該メモリセル 1 のノード N<sub>12</sub> の電圧は論理レベル電圧 D<sub>new</sub> の反転値となる。一方、選択されなかった列のビット線 ( D j ) ( j = 2 ) には、選択行 ( 1 行目 ) のメモリセル 1 及びデータホールド回路 15 - j にラッチされている論理レベル電圧 D<sub>old j</sub> が設定されているので、1 行 j 列目のメモリセル 1 の D ラッチ回路 2 の設定電圧はそのままに維持される。

10

【 0 0 6 7 】

( 2 . 7 ) 次に、ライトワード線 ( WW 1 ) のライト選択信号をネゲートする ( L レベルとする )。これにより、1 行目の各メモリセル 1 の D ラッチ回路 2 は、その時点におけるビット線 ( D j ) の電圧をラッチする ( 時刻 t 11 )。

20

【 0 0 6 8 】

( 2 . 8 ) 最後に、列アドレス信号の入力を停止する ( 時刻 t 12 )。これにより、書込用セクタ 13 - m ( m = 1 , 2 , ... ) は非選択の状態となる ( 時刻 t 12 )。

【 0 0 6 9 】

以上の動作によって、1 行 2 列目のメモリセル 1 に新しいデータが書き込まれ、1 行 1 列目のメモリセル 1 は従前のデータを保持する。

【 0 0 7 0 】

以上のように、本実施例の半導体記憶装置では、各メモリセル 1 に D ラッチ回路 2 とスリーステート・バッファ 3 を使用し、スリーステート・バッファ 3 により D ラッチ回路 2 の出力を高インピーダンスで受けて、D ラッチ回路 2 の出力をビット線 ( D m ) から分離することにより、D ラッチ回路 2 の入力ゲート回路 7 に使用する各トランジスタ ( M 3 , M 4 ) の設計値 ( ゲート幅 / ゲート長 ) と出力ゲート回路 9 に使用する各トランジスタ ( M 5 , M 6 ) の設計値 ( ゲート幅 / ゲート長 ) を全く独立に決めることが可能となる。そのため、各トランジスタ ( M 3 , M 4 , M 5 , M 6 ) の設計値 ( ゲート幅 / ゲート長 ) に制約されることなく設計を行うことが可能となる。また、各トランジスタ ( M 3 , M 4 , M 5 , M 6 ) の設計値 ( ゲート幅 / ゲート長 ) に関係なく設計が可能であるので、各トランジスタ ( M 3 , M 4 , M 5 , M 6 ) 及び、各インバータ回路を構成するトランジスタを、プロセスの最小レベルのサイズとして設計することも可能となる。従って、結果的に全体として回路を小型化することができる。

30

40

【 実施例 2 】

【 0 0 7 1 】

図 7 は、本発明の実施例 2 に係る半導体記憶装置のメモリセルの構成を表す回路図である。図 7 において、リードワード線 ( RW<sub>n</sub> )、ライトワード線 ( WW<sub>n</sub> , WW<sub>n+</sub> , WW<sub>n-</sub> )、ビット線 ( D m )、D ラッチ回路 2、C M I S インバータ 4 , 5、ループゲート回路 6、及び入力ゲート回路 7 は、図 1 , 図 2 の同符号のものと同様である。また、図 8 の各トランジスタ M 1 ~ M 4 は、図 2 の同符号のものに対応する。

【 0 0 7 2 】

本実施例の半導体記憶装置では、メモリセル 1 のスリーステート・バッファ 3 の構成が

50

実施例 1 と相違している。即ち、本実施例のスリーステート・バッファ 3 は、高インピーダンス入力回路 1 1 が、片チャンネルの M I S F E T ( M 7 ) で構成されており、出力ゲート回路 9 も片チャンネルの M I S F E T ( M 8 ) で構成されている。ここで、片チャンネルの M I S F E T とは、N チャンネルの M I S F E T のみ、または、P チャンネルの M I S F E T のみをいう。出力ゲート回路 9 を片チャンネルとしているため、リードワード線 ( R W n ) は 1 本のみあればよい。

【 0 0 7 3 】

このような構成としても、実施例 1 と同様の作用効果を得ることができる。尚、本実施例の回路構成では、実施例 1 ( 図 2 ) と比べて、1 つのメモリセル 1 あたり、少なくとも 2 個のトランジスタを減らすことができ、リードワード線を各行あたり 1 本減らすことができる。

10

【 実施例 3 】

【 0 0 7 4 】

図 8 は、本発明の実施例 3 に係る半導体記憶装置の全体構成を表す回路ブロック図である。図 8 において、図 3 と同様の構成部分については同符号を付している。本実施例の半導体記憶装置では、列選択回路 1 2 が、プリチャージ信号が入力されるプリチャージ制御端子 P C を備え、各ビット線 D 1 , D 2 , ... に対応してプリチャージ用トランジスタ 1 6 - 1 , 1 6 - 2 , ... を備えた点が、図 3 と相違している。各プリチャージ用トランジスタ 1 6 - 1 , 1 6 - 2 , ... は、片チャンネルの P M O S F E T であり、ソース及びドレインが電源 V D D と各ビット線 D 1 , D 2 , ... に其々接続され、ゲートがプリチャージ制御端子 P C に接続されている。プリチャージ信号がアサート ( L レベル ) されると、各ビット線 D 1 , D 2 , ... が電源 V D D に接続され、各ビット線 D 1 , D 2 , ... がプリチャージされる。これにより、各メモリセル 1 及び列選択回路 1 2 内の各データホールド回路 1 5 - 1 , 1 5 - 2 , ... を初期化することができる。

20

【 符号の説明 】

【 0 0 7 5 】

- 1   メモリセル
- 2   D ラッチ回路
- 3   スリーステート・バッファ
- 4 , 5   C M I S インバータ
- 6   ループゲート回路
- 7   入力ゲート回路
- 8   インバータ
- 9   出力ゲート回路
- 1 1   高インピーダンス入力回路
- 1 2   列選択回路
- 1 3 - 1 , 1 3 - 2 , ...   書込用セレクタ
- 1 4   出力セレクタ
- 1 5 - 1 , 1 5 - 2 , ...   データホールド回路
- 1 6 - 1 , 1 6 - 2 , ...   プリチャージ用トランジスタ
- R W n , R W n + , R W n -   リードワード線
- W W n , W W n + , W W n -   ライトワード線
- D 1 , D 2 , ...   ビット線
- D   データ入力端子
- クロック端子
- Q .   出力端子
- D i n   外部データ入力端子
- D o u t   外部データ出力端子
- Y 0   列アドレス入力端子

30

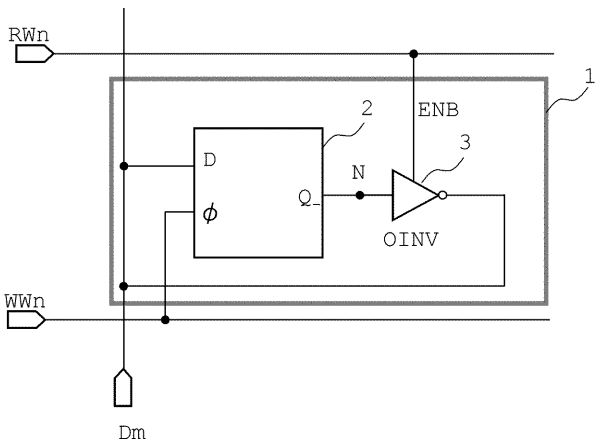
40

50

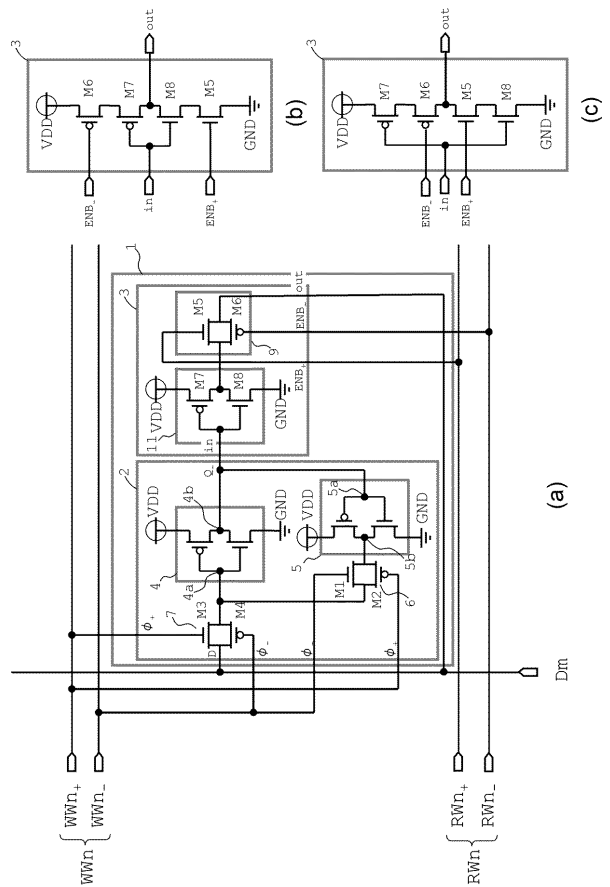


L A T ラッチ 端子  
P C プリチャージ制御端子

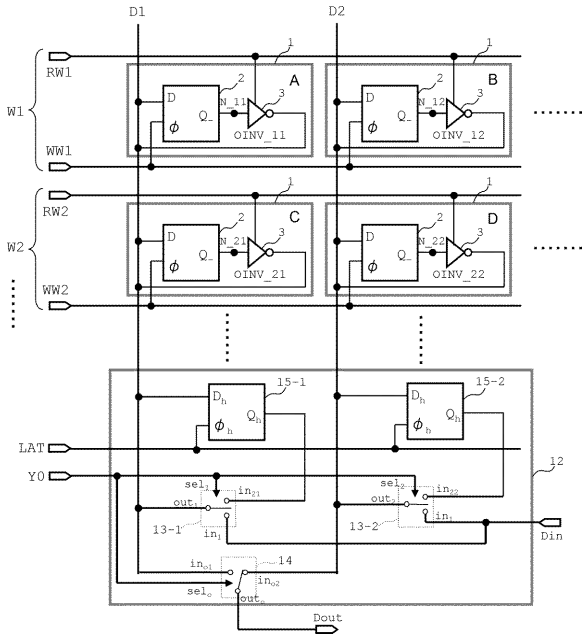
【 図 1 】



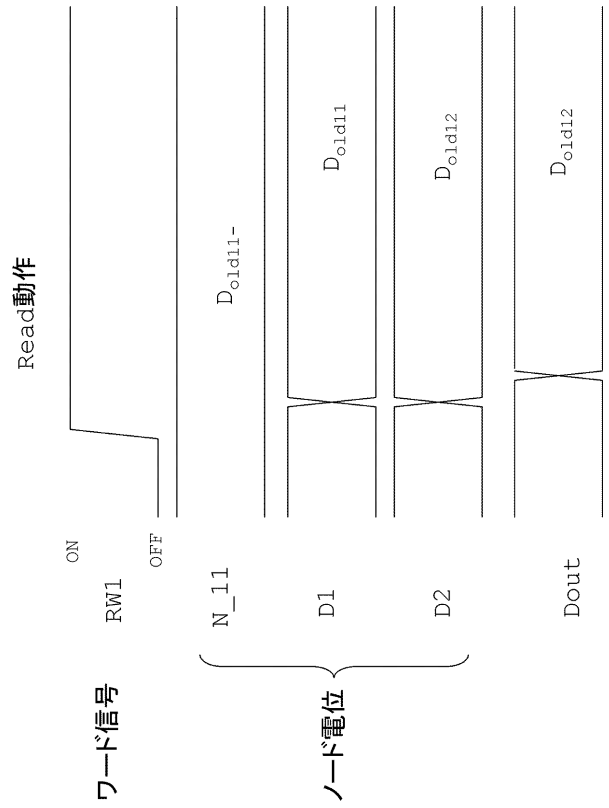
【 図 2 】



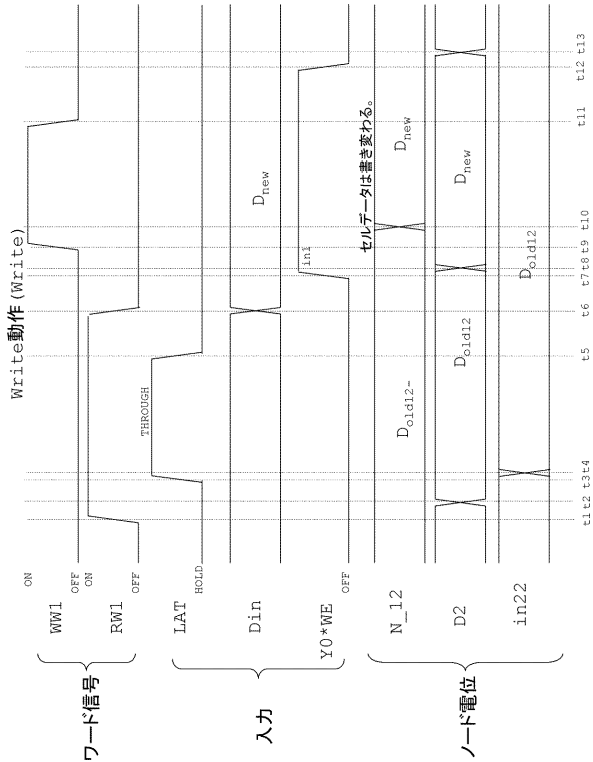
【図3】



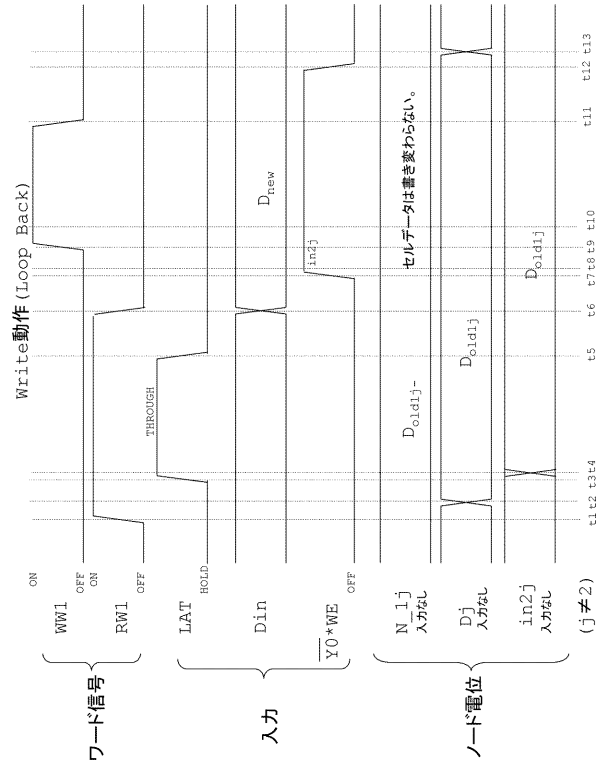
【図4】



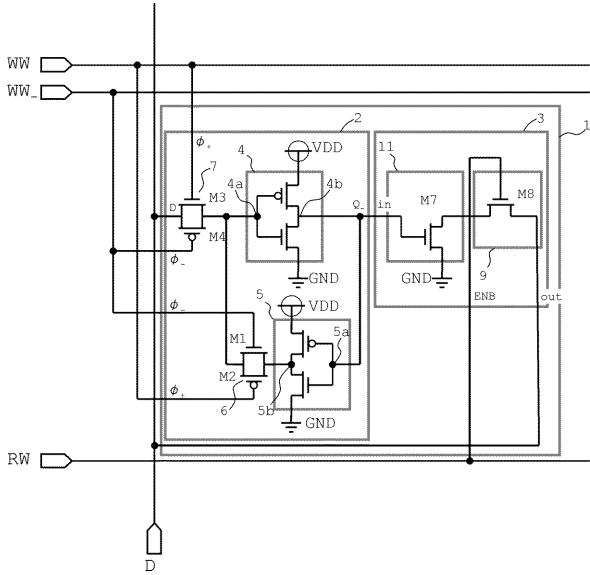
【図5】



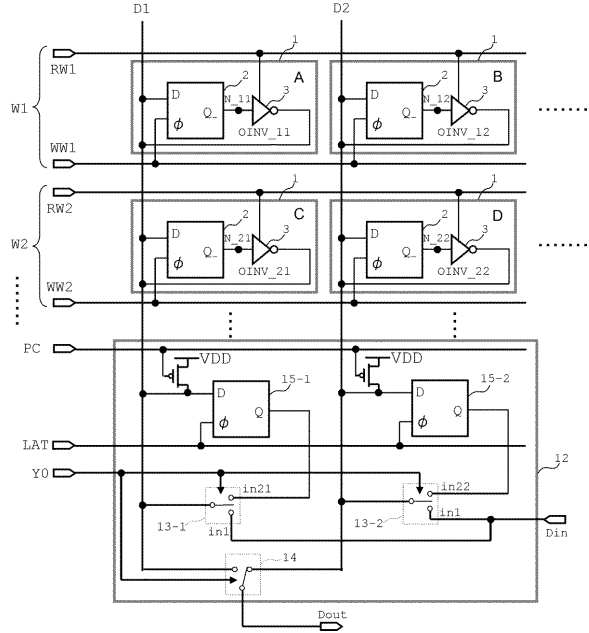
【図6】



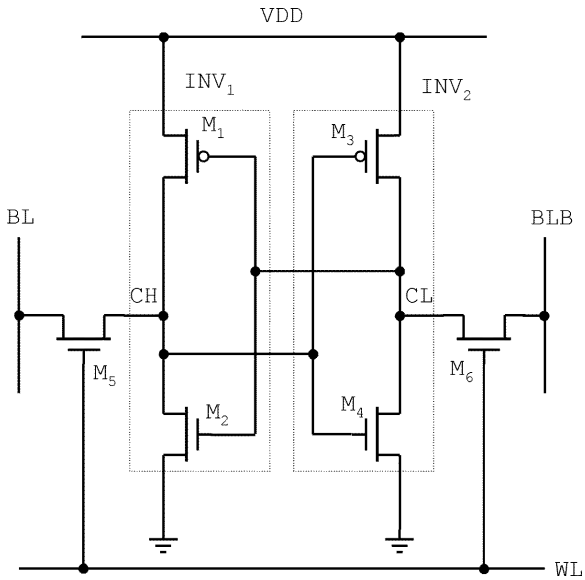
【図7】



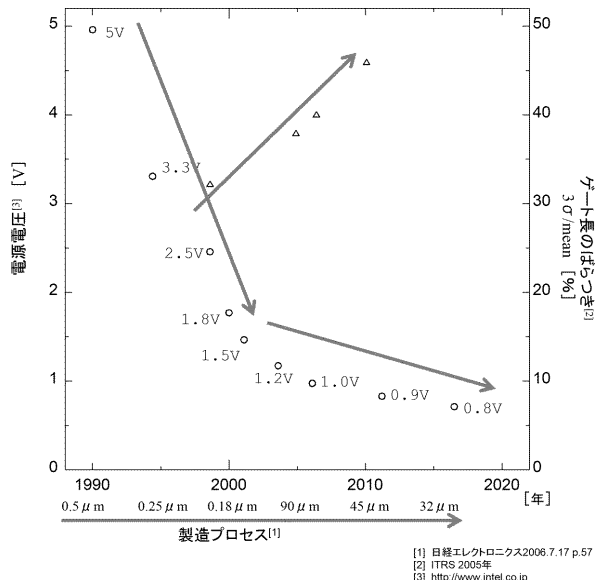
【図8】



【図9】



【図10】



[1] 日経エレクトロニクス2006.7.17 p.57  
 [2] ITRS 2005年  
 [3] http://www.intel.co.jp

