

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/125296

発行日 平成25年7月8日 (2013.7.8)

(43) 国際公開日 平成23年10月13日 (2011.10.13)

(51) Int.Cl.	F I	テーマコード (参考)
H03M 1/08 (2006.01)	H03M 1/08 A	5J022
H03M 3/02 (2006.01)	H03M 3/02	5J064

審査請求 有 予備審査請求 未請求 (全 35 頁)

出願番号 特願2012-509297 (P2012-509297)	(71) 出願人 503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(21) 国際出願番号 PCT/JP2011/001664	
(22) 国際出願日 平成23年3月22日 (2011.3.22)	
(31) 優先権主張番号 特願2010-85212 (P2010-85212)	(74) 代理人 100089635 弁理士 清水 守
(32) 優先日 平成22年4月1日 (2010.4.1)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 堀尾 喜彦 日本国埼玉県蕨市中央一丁目17番40号 604
	(72) 発明者 神野 健哉 日本国神奈川県横浜市緑区白山四丁目18 番11号
	(72) 発明者 香田 徹 日本国福岡県福岡市早良区昭代二丁目4番 1号

最終頁に続く

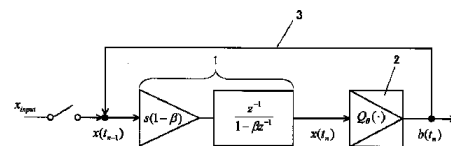
(54) 【発明の名称】 スケール付き β 写像に基づくデータコンバート方式

(57) 【要約】

集積回路による実装に適合し、回路の安定な動作を行うことができる、A/D変換器乃至カオス発生回路に好適な 写像に基づくデータコンバート方式を提供する。

スケール付き 写像に基づくデータコンバート方式において、増幅係数が $s(1 - \beta)$ でダンピングファクターが β の離散時間積分器1と、この離散時間積分器1に直列に接続される量子化器2と、この量子化器2の出力側から前記離散時間積分器1の入力側に接続される帰還回路3を具備する。

【図1】



【特許請求の範囲】

【請求項 1】

離散時間積分器と、該離散時間積分器に直列に接続される量子化器と、該量子化器の出力側から前記離散時間積分器の入力側に接続される帰還回路を具備することを特徴とするスケール付き 写像に基づくデータコンバート方式。

【請求項 2】

請求項 1 記載のスケール付き β 写像に基づくデータコンバート方式において、増幅係数が $s(1-\beta)$ でダンピングファクターが β の前記離散時間積分器及び量子化器 $Q_\theta(\cdot)$ からなる A/D 変換器を構成することを特徴とするスケール付き β 写像に基づくデータコンバート方式。

10

【請求項 3】

請求項 1 記載のスケール付き β 写像に基づくデータコンバート方式において、増幅係数が $1-\beta$ でダンピングファクターが β の前記離散時間積分器及び量子化器 $\tilde{Q}_\theta^s(\cdot)$ からなる A/D 変換器を構成することを特徴とするスケール付き β 写像に基づくデータコンバート方式。

20

【請求項 4】

請求項 2 又は 3 記載のスケール付き 写像に基づくデータコンバート方式において、前記 A/D 変換器をスイッチ・キャパシタ積分回路を用いて回路化することを特徴とするスケール付き 写像に基づくデータコンバート方式。

30

【請求項 5】

請求項 2 又は 3 記載のスケール付き 写像に基づくデータコンバート方式において、前記 A/D 変換器のビット長 L を無限大とすることにより、カオス発生回路としたことを特徴とするスケール付き 写像に基づくデータコンバート方式。

【請求項 6】

請求項 1 から 5 の何れか一項記載のスケール付き 写像に基づくデータコンバート方式において、スケール付き 写像 $S(\cdot)$ に基づく A/D 変換器を、離散時間 t_1 で入力信号 x_{input} をサンプルし、写像を L 回繰り返すことによりビット長が L の変換ビット列 $B_S(x_{input})$ を得る操作を行い、該操作においてビット長を無限大 ($L = \infty$) にすることにより、初期値を x_{input} とするカオス時系列を得ることを特徴とするスケール付き 写像に基づくデータコンバート方式。

40

【請求項 7】

請求項 6 記載のスケール付き 写像に基づくデータコンバート方式において、初期値を設定する必要がない場合は、離散時間 t_n で $-\infty < n < \infty$ とし、この場合には、入力信号をサンプルする回路を不要とし、小型のカオス発生回路を構成することを特徴とするスケール付き 写像に基づくデータコンバート方式。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、スケール付き 写像に基づくデータコンバート方式に係り、特に、集積回路での実装に適合させるための離散時間積分器を用いた A / D 変換器乃至カオス発生回路に関するものである。

【背景技術】

【0002】

従来、 写像に基づくデータコンバート方式が提案されている（下記非特許文献 1 参照）。この方式は、PCM（Pulse Code Modulation）方式と比較して、アナログ回路実装時の安定度が優れている。すなわち、PCM方式は、量子化器の閾値や 2 倍アンプのゲイン定数などの回路パラメータの揺らぎやノイズなどにより、回路動作が発散する可能性がある。ただし、ビット長に対する変換誤差の収束は指数関数的である。一方、 型コンバータの場合は、回路動作は安定であるが、変換精度を上げるためにオーバーサンプリングなどが必要である。さらに、ビット長に対する変換誤差の収束が遅い。これらに対し、 写像に基づくデータコンバート方式は、 型コンバータと同様に回路パラメータのミスマッチに対してロバストであるのに加え、PCM方式と同様にほぼ最適な rate - distortion 特性を持つ。

10

【0003】

近年、 写像に基づくデータコンバート方式の性能をさらに上げるため、区間解析を用いて誤差を最小とするようなデコードアルゴリズム、及び回路パラメータの設計指針が示された（下記特許文献 1, 2、非特許文献 2 ~ 4 参照）。さらに、回路実装の自由度を向上させるため、増幅回路のゲイン と量子化器の閾値の許容範囲とがそれぞれ独立に設定できる、スケール付き 写像に基づくデータコンバート方式が提案された（下記特許文献 2、非特許文献 3, 4 参照）。なお、この方式は、その特別な場合として通常の 写像に基づくデータコンバータを含んでいる。

20

【0004】

下記特許文献 1, 2、非特許文献 1 ~ 4 では、 写像に基づくデータエンコーダ（以下、A / D コンバータ）や、スケール付き 写像に基づく A / D コンバータを構成するためのブロック図が提示されている。しかし、これらのブロック図は、実際の回路実装、特に、集積回路の実装には適していない。

【0005】

以下、詳細に説明する。

30

【0006】

スケール付き 写像 $S(\cdot)$ を式 (1) に示す（特許文献 2、非特許文献 3, 4 参照）。

【0007】

【数 1】

$$S(x) = \begin{cases} \beta x, & x \in [0, \gamma \nu) \\ \beta x - s(\beta - 1), & x \in [\gamma \nu, s) \end{cases} \quad \dots (1)$$

40

50

ここで、 $[s(\gamma - 1), s)$ は閾値パラメータ、 $1 < \gamma < 2$ は変換の基数、 $s = 1/\gamma$ 、 $s > 0$ はスケール定数である。さらに、 $s = (\gamma - 1)^{-1}$ の時、スケール付き写像 $S(\cdot)$ は次の写像 $C(\cdot)$ と等しくなる（非特許文献 1 参照）。

【 0 0 0 8 】

【 数 2 】

$$C(x) = \begin{cases} \beta x, & x < \gamma v \\ \beta x - 1, & x \geq \gamma v \end{cases} \quad \dots (2) \quad 10$$

20

ここで、 $[1, (\gamma - 1)^{-1})$ である。また、 $s = \gamma \cdot (\gamma - 1)^{-1}$ のときには、上記式 (1) のスケール付き写像 $S(\cdot)$ は、もう一つの写像 $D(\cdot)$ と等しくなる（非特許文献 1 参照）。

【 0 0 0 9 】

30

【 数 3 】

$$D(x) = \begin{cases} \beta x, & x < \gamma v \\ \beta(x-1), & x \geq \gamma v \end{cases} \quad \dots (3)$$

40

この場合には、 $[1, (\gamma - 1)^{-1})$ となる。

50

【 0 0 1 0 】

離散時間を t_n (n は自然数) とし、これを用いて、上記式 (1) を一次元離散時間力学系として書き直すと、

【 数 4 】

$$x(t_{n+1}) = S(x(t_n)) = \begin{cases} \beta x(t_n), & x(t_n) \in [0, \gamma\nu) \\ \beta x(t_n) - s(\beta - 1), & x(t_n) \in [\gamma\nu, s) \end{cases} \quad \dots (4)$$

10

20

と書くことができる。この一次元写像の例を図 1 2 に示す。この図 1 2 では、 $\beta = 5 / 3$ 、 $s = 3$ 、 $\gamma\nu = 5 / 2$ 、 $\theta = 3 / 2$ である。また、図 1 2 中には、 $x(t_1) = 0.6$ を初期値とする軌道も示してある。図 1 2 に示すように軌道は最終的に不変部分区間 $[\theta - s(\beta - 1), \theta)$ 内 (図 1 2 中の D の部分) に閉じ込められる。

【 0 0 1 1 】

さらに、2 値変数 $b(t_n) \in \{0, 1\}$ を以下のように定義する。

【 数 5 】

$$b(t_n) = Q_\theta(x(t_n)) = \begin{cases} 0, & x(t_n) \in [0, \theta) \\ 1, & x(t_n) \in [\theta, s) \end{cases} \quad \dots (5)$$

30

40

ここで、 $Q_\theta(\cdot)$ は、その閾値が θ の量子化器である。また、以下では、

50

10

$$= \dots (6)$$

とする。この時、上記式(4)は、

$$x(t_{n+1}) = x(t_n) - b(t_n)s(-1) \dots (7)$$

と書くことができる。

【0012】

ここで、入力信号 x_{input} を $t = t_1$ でサンプルするとする。すなわち、

20

$$x(t_1) = x_{input} \dots (8)$$

である。この時、上記式(7)を $t = t_1$ から $t = t_L$ (L は A/D 変換後のビット長) まで繰り返すことにより、入力信号 x_{input} に対応したバイナリ信号列 $BS(x_{input})$ を得る。

【0013】

【数6】

$$BS(x_{input}) = (b_1 b_2 \dots b_L)_{\beta, s} \dots (9)$$

30

40

ここで、 $b_n = b(t_n)$ ($n = 1, 2, \dots, L$)、 $b_L = b(t_L)$ は LSB (最下位ビット)、 $b_1 = b(t_1)$ は MSB (最上位ビット) である。

【0014】

ところで、量子化器 $Q_\theta(\cdot)$ の閾値パラメータ ν の許容範囲 σ_ν は、 s と β により、

50

10

【数 7】

$$\sigma_v = s(2 - \beta) \quad \dots (10)$$

20

30

と与えられる（特許文献 2、非特許文献 3，4 参照）。これを図 12 の $x(t_{n+1})$ 軸に太線で示す。したがって、量子化器の閾値は、

【数 8】

$$\sigma_\theta = \gamma\sigma_v = \gamma s(2 - \beta) = s(2\gamma - 1) \quad \dots (11)$$

40

50

の範囲内でなら変動が許容される（特許文献2、非特許文献3、4参照）。これを図12の $x(t_n)$ 軸に太線で示す。

【0015】

スケール付き 写像を用いたA/D変換器の構成図は、下記特許文献2及び非特許文献3、4に示されている。図13はそのスケール付き 写像を用いたA/D変換器の構成図である。ただし、このままの構成では集積回路による実装に適さない。

【先行技術文献】

【特許文献】

【0016】

【特許文献1】国際公開第2009/014057号

【特許文献2】国際公開第2010/024196号

【非特許文献】

【0017】

【非特許文献1】I. Daubechies, R. A. DeVore, C. S. Gunturk, and V. A. Vaishampayan, "A/D conversion with imperfect quantizers", IEEE Transactions on Information Theory, Vol. 52, No. 3, pp. 874 - 885, 2006

【非特許文献2】S. Hironaka, T. Kohda, and K. Aihara, "Markov chain of binary sequences generated by A/D conversion using β -encoder", in Proceedings of IEEE Workshop on Nonlinear Dynamics of Electronic Systems, pp. 261 - 264, Tokushima, Japan, 2007

【非特許文献3】S. Hironaka, T. Kohda, and K. Aihara, "Negative β -encoder", in Proceedings of International Symposium on Nonlinear Theory and Its Applications, pp. 564 - 567, Budapest, Hungary, 2008

【非特許文献4】T. Kohda, S. Hironaka, and K. Aihara, "Negative β -encoder", Preprint, archiv:0808.2548v2[cs.IT], 28 July, 2009, <http://arxiv.org/abs/0808.2548>

【発明の概要】

【発明が解決しようとする課題】

【0018】

上記したように、従来のスケール付き 写像を用いたA/D変換器では、集積回路による実装に適さないといった問題があった。

【0019】

また、これまでに、一様な不変測度分布を持つカオスを発生させる回路として、ベルヌーイ写像やテント写像を用いたカオス発生回路が提案されている。しかしながら、これらの回路では、解軌道が定義域の端に接すると、回路の非理想特性やノイズなどにより解軌道が発散し、回路が安定に動作しないという問題点があった。

【0020】

本発明は、上記状況に鑑みて、集積回路による実装に適合し、カオス発生回路にも好適な、離散時間積分器を用いて構成した、スケール付き 写像に基づくデータコンバート方式を提供することを目的とする。

【0021】

その具体的な実装構成として、スイッチト・キャパシタ(SC)回路を用いたスケール

10

20

30

40

50

付き 写像に基づく A / D コンバータ回路を提供する。

【 0 0 2 2 】

また、 写像は最終的に解軌道が有限な不変部分区間内に閉じ込められるため、上記したスケール付き 写像に基づく A / D コンバータのビット長を無限大にすることにより、回路素子のミスマッチやノイズに対してロバストで、軌道が発散せず安定に動作するカオス発生回路を提案する。提案するカオス発生回路は、回路パラメータを変更するだけで、異なったカオスアトラクタを容易に実現できる。

【 0 0 2 3 】

さらに、理想的な回路素子を用いた S P I C E (S i m u l a t i o n P r o g r a m w i t h I n t e g r a t e d C i r c u i t E m p h a s i s) 回路シミュレーションにより、上記したスケール付き 写像に基づく A / D コンバータ回路及びこれを応用したカオス発生回路の動作を確認し、その有効性を示す。

10

【 課題を解決するための手段 】

【 0 0 2 4 】

本発明は、上記目的を達成するために、

〔 1 〕スケール付き 写像に基づくデータコンバート方式において、離散時間積分器と、この離散時間積分器に直列に接続される量子化器と、この量子化器の出力側から前記離散時間積分器の入力側に接続される帰還回路を具備することを特徴とする。

【 0 0 2 5 】

〔 2 〕上記〔 1 〕記載のスケール付き β 写像に基づくデータコンバート方式において、増幅係数が $s(1-\beta)$ でダンピングファクターが β の前記離散時間積分器及び量子化器 $Q_{\theta}(\cdot)$ からなる A / D 変換器を構成することを特徴とする。

20

30

【 0 0 2 6 】

〔 3 〕上記〔 1 〕記載のスケール付き β 写像に基づくデータコンバート方式において、増幅係数が $1-\beta$ でダンピングファクターが β の前記離散時間積分器及び量子化器 $Q_{\theta}^s(\cdot)$ からなる A / D 変換器を構成することを特徴とする。

40

50

【0027】

〔4〕上記〔2〕又は〔3〕記載のスケール付き 写像に基づくデータコンバート方式において、前記A/D変換器をスイッチト・キャパシタ積分回路を用いて回路化することを特徴とする。

10

【0028】

〔5〕上記〔2〕又は〔3〕記載のスケール付き 写像に基づくデータコンバート方式において、前記A/D変換器のビット長Lを無限大とすることにより、カオス発生回路としたことを特徴とする。

【0029】

〔6〕上記〔1〕から〔5〕の何れか一項記載のスケール付き 写像に基づくデータコンバート方式において、スケール付き 写像 $S(\cdot)$ に基づくA/D変換器を、離散時間 t_1 で入力信号 x_{input} をサンプルし、写像をL回繰り返すことによりビット長がLの変換ビット列 $BS(x_{input})$ を得る操作を行い、この操作においてビット長を無限大($L = \infty$)にすることにより、初期値を x_{input} とするカオス時系列を得ることを特徴とする。

20

【0030】

〔7〕上記〔6〕記載のスケール付き 写像に基づくデータコンバート方式において、初期値を設定する必要がない場合は、離散時間 t_n で $n < \infty$ とし、この場合には、入力信号をサンプルする回路を不要とし、小型のカオス発生回路を構成することを特徴とする。

【発明の効果】

【0031】

本発明によれば、次のような効果を奏することができる。

【0032】

(1)アナログ集積回路技術の中核をなす回路要素であり、集積回路中では最も良く利用される離散時間積分器を用いて、スケール付き 写像に基づくA/D変換器を構成した。よって、本発明のA/D変換器は集積回路化に適している。

30

【0033】

(2)スケール付き 写像に基づくデータコンバート方式のA/D変換器を、カオス発生回路として構成した。スケール付き 写像の解軌道は、最終的には有限な不変部分区内に閉じ込められるため、本発明のカオス発生回路は、回路素子の非理想特性やノイズに対しロバストであり、安定に動作する。

【図面の簡単な説明】

【0034】

【図1】本発明の第1実施例を示すスケール付き 写像に基づくA/D変換器の構成図である。

40

【図2】本発明の第2実施例を示すスケール付き 写像に基づくA/D変換器の構成図である。

【図3】一般的なスイッチト・キャパシタ積分回路を示す図である。

【図4】本発明のスイッチト・キャパシタ積分回路を用いた第1のスケール付き 写像に基づくA/D変換器の構成図である。

【図5】本発明に係る回路を駆動する3相のクロック波形を示す図である。

【図6】図4において、 $s = (1 - \alpha)^{-1}$ の場合($C_f = C_s = C_i$)、及び $s = (1 - \beta)^{-1}$ の場合($C_f = C_s = C_i$)の回路図である。

【図7】本発明のスイッチト・キャパシタ積分回路を用いた第2のスケール付き 写像に

50

基づく A / D 変換器の構成図である。

【図 8】本発明のスイッチト・キャパシタ積分回路を用いた第 3 のスケール付き 写像に基づく A / D 変換器の構成図である。

【図 9】図 8 に示す回路において、入力信号 x_{input} をスイープした時の、異なる量子化閾値 に対する変換誤差を示す図である。

【図 10】図 8 に示す回路において、量子化閾値 をスイープした時の、異なる入力信号 x_{input} に対する変換誤差を示す図である。

【図 11】図 8 に示す回路の S P I C E シミュレーションから得られたカオスアトラクタの一例を示す図である。

【図 12】スケール付き 写像の例を示す図である。

【図 13】従来のスケール付き 写像に基づく A / D 変換器の構成図である。

【発明を実施するための形態】

【0035】

本発明のスケール付き 写像に基づくデータコンバート方式は、離散時間積分器と、この離散時間積分器に直列に接続される量子化器と、この量子化器の出力側から前記離散時間積分器の入力側に接続される帰還回路を具備する。

【実施例】

【0036】

以下、本発明の実施の形態について詳細に説明する。

【0037】

本発明のスケール付き 写像に基づくデータコンバート方式について、離散時間積分器を用いて構成したスケール付き 写像に基づく A / D 変換器を説明する。

【0038】

アナログ集積回路の主要な構成要素としては離散時間積分器が多く用いられる。その理由として、素子の非理想特性やミスマッチ、寄生素子、ノイズなどの影響を受けにくい回路構成が利用可能なことや、完全差動回路によりさらに回路性能を向上させることが可能なことなどが挙げられる。また、離散時間積分回路を実装する集積回路技術として、スイッチト・キャパシタ (S C) 回路やスイッチト・カレント (S I) 回路などが提案されており、これらの回路についてはこれまでに多くの知見が得られている。それらの有用なデータが利用できることも離散時間積分器が用いられる理由の一つである。そこで、スケール付き 写像を用いて A / D 変換器を離散時間積分器を用いて構成する、スケール付き 写像に基づくデータコンバート方式を提案する。

【0039】

まず、上記式 (7) を Z 変換すると、

$$\begin{aligned} X(z) &= X(z) z^{-1} - B(z) z^{-1} s(-1) \\ &= X(z) z^{-1} - s B(z) z^{-1} + s B(z) z^{-1} \dots (12) \end{aligned}$$

が得られる。ここで、 $X(z)$ 、 $B(z)$ は、それぞれ、 $x(t_n)$ 及び $b(t_n)$ の Z 領域での変数である。さらに、上記式 (5) より、

【数 9】

$$B(z) = Q_\theta(X(z)) \dots (13)$$

10

20

30

40

50

であるので、

【数 1 0】

$$X(z) = \beta X(z)z^{-1} - \beta s Q_{\theta}(X(z))z^{-1} + s Q_{\theta}(X(z))z^{-1} \quad \dots (14) \quad 10$$

20

を得る。これより、

【数 1 1】

$$(1 - \beta z^{-1})X(z) = s(1 - \beta)Q_{\theta}(X(z))z^{-1} \quad \dots (15) \quad 30$$

40

となり、結局、

【数 1 2】

$$X(z) = s(1 - \beta) \cdot \frac{z^{-1}}{1 - \beta z^{-1}} \cdot Q_{\theta}(X(z)) \quad \dots (16) \quad 50$$

10

を得る。

【 0 0 4 0 】

図 1 は本発明の第 1 実施例を示すスケール付き 写像に基づく A / D 変換器の構成図である。

【 0 0 4 1 】

この図において、1 は離散時間積分器、2 は離散時間積分器 1 に直列に接続される量子化器、3 は量子化器 2 の出力側から離散時間積分器 1 の入力側に接続される帰還回路である。

20

【 0 0 4 2 】

図 1 に示すように、スケール付き β 写像を用いた A / D 変換器は、増幅係数が s ($1 - \beta$) でダンピングファクターが β の離散時間積分器 1、及び量子化器 2 [$Q_\theta(\cdot)$] で実現できることがわかる。ただし、出力ビット系列は、上記式 (9) で与えられる。

一方、出力値が $\{0, s\}$ の 2 値を取る量子化器 $Q_\theta^s(\cdot)$ を、

30

40

【 数 1 3 】

$$Q_\theta^s(\cdot) \equiv s \times Q_\theta(\cdot) \quad \dots(17)$$

50

10

と定義すると、上記式 (1 6) は、

【数 1 4】

$$X(z) = (1 - \beta) \cdot \frac{z^{-1}}{1 - \beta z^{-1}} \cdot Q_o^s(X(z)) \quad \dots (18)$$

20

30

と書き直せる。この場合、スケール付き 写像に基づく A / D 変換器は、図 2 に示すように構成される。

【0043】

図 2 は本発明の第 2 実施例を示すスケール付き 写像に基づく A / D 変換器の構成図である。

【0044】

この図において、11 は離散時間積分器、12 は離散時間積分器 11 に直列に接続される量子化器、13 は量子化器 12 の出力側から離散時間積分器 11 の入力側に接続される帰還回路である。

40

【0045】

図 2 に示すように、スケール付き β 写像を用いた A / D 変換器は、増幅係数が $1 - \beta$ 、ダンピングファクターが β の離散時間積分器 11 と、量子化器 12 [$Q_o^s(\cdot)$] で実現できることがわかる。この場合、出力ビット列 b_n^s の振幅は $\{0, s\}$ となる。すなわち、

50

10

【数 15】

$$b_n^S = s \cdot b_n = b^S(t_n) = Q_\theta^S(x(t_n)) \quad \dots (19)$$

20

である。

【0046】

次に、スケール付き 写像に基づくデータコンバート方式によるカオス発生回路について説明する。

【0047】

上記したように、これまでに提案されているベルヌーイ写像やテント写像を用いたカオス発生回路は、解軌道が定義域の端に接すると、回路の非理想特性やノイズなどにより解軌道が発散し、回路が安定に動作しないという問題点があった。そこで、スケール付き写像 $S(\cdot)$ が、その解軌道が最終的に有限な不変部分区間に閉じ込められる写像である点を活用して、安定に動作するカオス発生回路を提案する。

【0048】

スケール付き 写像 $S(\cdot)$ の解軌道は、過渡状態の後、図 12 に D で示す不変部分区間 $[s - \text{deviation}, s - 1)$ の中にトラップされる。したがって、回路素子の非理想特性やノイズによる軌道のずれ幅を deviation とすると、 $s - 1 + \text{deviation} < x < s - \text{deviation}$ の値の範囲では、解軌道が $x(t_n)$ の定義域の端 (0 と s) に接することがない。そのため、回路の非理想特性やノイズの影響により解軌道が発散することはなく、カオス発生回路は安定に動作する。さらに、写像 $S(\cdot)$ によって実現されるカオス軌道の不変部分区間内での不変測度は一様分布となるので、得られるカオス時系列は、乱数発生、暗号化などへの応用が行い易いと考えられる。

【0049】

具体的にスケール付き 写像 $S(\cdot)$ によりカオス発生回路を構成する方法を述べる。上記したスケール付き 写像 $S(\cdot)$ に基づく A/D 変換器では、離散時間 t_1 で入力信

30

40

50

号 x_{input} をサンプルし、写像を L 回繰り返す操作により、ビット長が L の変換ビット列 $BS(x_{input})$ を得ていた。この操作において、ビット長を無限大 ($L = \infty$) にすることで、初期値を x_{input} とするカオス時系列を得ることができる。これにより、前述した離散時間積分器によるスケール付き写像を用いた A/D 変換器をそのままカオス発生回路として応用することが可能である。また、初期値を設定する必要がない場合は、離散時間 t_n で $0 < n < \infty$ とすればよい。このときには、前述した離散時間積分器によるスケール付き写像に基づく A/D 変換器において、入力信号をサンプルする部分が不要となり、より小型のカオス発生回路を実現することができる。

【0050】

次に、本発明の実施例として、スイッチト・キャパシタ (SC) 回路によるスケール付き写像に基づく A/D 変換器の回路実現例を説明する。

10

【0051】

主な離散時間アナログ回路 (サンプルド・データ回路) 技術として、SC 回路と SI (スイッチト・カレント) 回路がある。ここでは、SC 回路によりスケール付き写像に基づく A/D コンバータ回路を実現する手法を述べる。ただし、SI 回路を用いても同様な手法で回路実現可能である。具体的には、上記式 (16) と図 1、あるいは、上記式 (18) と図 2 で与えられるスケール付き写像を用いた A/D 変換器を、SC 積分回路を用いて回路化する手法を示す。

【0052】

〔1〕SC 回路による実装例 1 : 上記式 (16) と図 1 を用いる場合

20

図 3 は一般的なスイッチト・キャパシタ (SC) 積分回路を示す図である。この回路の Z 領域での伝達特性は、

【数 16】

$$V_o(z) = \frac{C_f}{C_i} \cdot \frac{z^{-1}}{1 - \left(1 + \frac{C_k}{C_i}\right) z^{-1}} \cdot V_i(z) \quad \dots (20)$$

30

で与えられる。ただし、 $V_o(z)$ 及び $V_i(z)$ は、それぞれ、 $x_o(t_n)$ と $x_i(t_n)$ の Z 領域での変数である。ここで、上記式 (16) と式 (20) とを比較すると、

$$V_o(z) = X(z) \quad \dots (21)$$

$$C_f / C_i = s(1 - \dots) \quad \dots (22)$$

$$C_k / C_i = \dots - 1 \quad \dots (23)$$

40

【数 17】

$$V_i(z) = Q_\theta(X(z)) \quad \dots (24)$$

50

10

とすればよいことがわかる。しかし、 $1 < \beta < 2$ より、 $-1 < 1 - \beta < 0$ であるので、上記式(22)でキャパシタの比が負となり、このままでは物理的に実現不可能である。

【0053】

そこで、出力に負号をつけた量子化器、

【数18】

$$\tilde{Q}_\theta(\cdot) \equiv -Q_\theta(\cdot) \quad \dots (25)$$

20

30

を導入する。すると、上記式(16)はこれを用いて、

【数19】

$$X(z) = s(\beta - 1) \cdot \frac{z^{-1}}{1 - \beta z^{-1}} \cdot \tilde{Q}_\theta(X(z)) \quad \dots (26)$$

40

50

と変形できる。この結果、図3に示す回路で、

$$V_o(z) = X(z) \quad \dots (27)$$

$$C_f / C_i = s(-1) \quad \dots (28)$$

$$C_k / C_i = -1 \quad \dots (29)$$

10

【数20】

$$V_i(z) = \tilde{Q}_\theta(X(z)) \quad \dots (30)$$

20

とすれば、スケール付き β 写像に基づく A/D変換器が、図3に示す回路と量子化器 $\tilde{Q}_\theta(\cdot)$ により実現できる。 30

ところで、図3に示す回路には入力信号 x_{input} を入力する回路がないので、図3に入力信号をサンプルするための回路を付加する必要がある。これを付加し、さらに量子化器 $\tilde{Q}_\theta(\cdot)$ を帰還路に挿入した回路を図4に示す。

40

図4は本発明のスイッチト・キャパシタ積分回路を用いた第1のスケール付き写像に基づくA/D変換器の構成図である。

【0055】

この図4は、上記式(16)と図1で表現した、スケール付き写像に基づくA/D変換器を実現するSC回路を示している。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス回路に適用する際には不要となる。

【0056】

さらに、この回路を駆動するクロックA、Bと、入力信号をサンプルし、これと同時にC_iの初期電荷をリセットするためのクロックCを図5に示す。

【0057】

図5は図4、6、7、8のSC回路を駆動する3相のクロック波形である。図中のLはビット長であり、また、出力ビット列b_nは、Bの立ち下がり、すなわち、t_{n+1/2}でサンプルする。

【0058】

ここで、入力信号のサンプルを上記式(8)に従って行うとすると、出力の最下位ビットb₁は、

【数21】

$$b_1 = b(t_1) = Q_\theta(x(t_1)) = Q_\theta(x_{input}) \quad \dots (31)$$

10

20

30

となる。一方、図4に示す回路で、図5に示したt₁で入力信号をサンプルし、b₁をt_{1+1/2}で出力すると、このときの回路の伝達関数は、

【数22】

$$-b_1 = -b(t_{1+1/2}) = \tilde{Q}_\theta\left(\frac{C_s}{C_i} \cdot x_{input}\right) \quad \dots (32)$$

40

50

である。上記式(31)と式(32)を比較すると、入力信号のサンプルを上記式(8)に従って行う場合には、図4に示す回路において、

$$C_s / C_i = 1 \quad \dots (33)$$

とすればよいことがわかる。この場合、Lビットの出力ビット列から元の信号のデコード値 \hat{x}_L を得るには、

10

20

【数23】

$$\hat{x}_L = s(\beta - 1) \sum_{i=1}^L b_i \gamma^i + \frac{s\gamma^L}{2} \quad \dots (34)$$

30

40

とすればよい(非特許文献3, 5, 6)。ただし、図4から得られるビット列は $-b_n$ となることに注意する。

【0059】

一方、図13で示されているように、

$$x(t_1) = x_{input} \quad \dots (50)$$

50

35)

のように入力信号をサンプルする場合には、

$$C_s / C_i = \dots (36)$$

とすればよい。この場合にLビットの出力ビット列から元の信号のデコード値 \hat{x}_L を得るには、最初に入力信号 x_{input} が β 倍されていることを考慮して、

10

20

【数24】

$$\hat{x}_L = s(1-\gamma) \sum_{i=1}^L b_i \gamma^i + \frac{s\gamma^{L+1}}{2} \dots (37)$$

30

40

を用いればよい。ただし、ここでも、図4に示す回路から得られるビット列は $-b_n$ となることに注意する。

【0060】

以上、上記式(16)と図1で表現したスケール付き写像に基づくA/D変換器が、図4に示すSC回路を用いて実現できることを示した。次に、 s の値が特別な場合における回路構成について説明する。

【0061】

(a) $s = (-1)^{-1}$ の場合

この場合は、スケール付き写像 $S(\cdot)$ は、上記式(2)で与えられる写像 $C(\cdot)$ となる。上記式(28)より、図4において、

50

$$C_f / C_i = (\quad - 1)^{-1} \times (\quad - 1) = 1 \quad \dots (38)$$

とし、 C_k と C_s は、それぞれ、上記式(29)及び式(33)で与えられるようにすればよい。この結果、

$$C_f / C_i = C_s / C_i = 1 \quad \dots (39)$$

を得るので、図4に示す回路で、 C_f と C_s を共有することができる。したがって、回路は図6に示すように簡略化できる。図6は、図4において $s = (1 - \beta)^{-1}$ の場合($C_f = C_s = C_i$)、及び、 $s = \beta (1 - \beta)^{-1}$ の場合($C_f = C_s = \beta C_i$) (後述)の回路である。クロック波形は図5と同じであるが、 $\phi A \cdot \overline{\phi C}$ を合成して用いる必要がある。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス発生回路に応用する際には不要となる。また、この際には、 $\phi A \cdot \overline{\phi C}$ のクロックは、単に ϕA とすればよい。

10

20

【0062】

(b) $s = (\quad - 1)^{-1}$ の場合

この場合、スケール付き写像 $S(\cdot)$ は、上記式(3)で与えられる写像 $D(\cdot)$ となる。上記式(28)より、図4において、

$$C_f / C_i = (\quad - 1)^{-1} \times (\quad - 1) = \quad \dots (40)$$

30

とし、 C_k と C_s は、それぞれ、上記式(29)及び式(33)で与えられるようにすればよい。

【0063】

このままでは、図4を簡単化することはできないが、入力のサンプルを上記式(35)とする場合には、 C_s が上記式(36)で与えられるため、上記(a)と同様に、図4に示す回路で、 C_f と C_s を共有することができる。よってこの場合にも、図6に示す簡単化した回路が使用できる。ただし、

$$C_f / C_i = C_s / C_i = \quad \dots (41)$$

である。さらに、デコードには上記式(37)を使用する必要がある。

40

【0064】

〔2〕SC回路による実装例2：上記式(18)と図2を用いる場合

上記〔1〕で述べた方法では、上記式(28)に示されるように、 C_f の値が s との関数となり、回路設計の自由度に制約が生ずる。そこで、ここでは、回路設計の自由度を上げるため、回路パラメータが s あるいは \quad のみにしか依存しない回路構成法を提案する。

【0065】

図3に示すSC積分回路の伝達関数〔式(20)〕と式(18)を比較すると、

$$V_o(z) = X(z) \quad \dots (42)$$

$$C_f / C_i = 1 - \quad \dots (43)$$

$$C_k / C_i = \quad - 1 \quad \dots (44)$$

50

【数 2 5】

$$V_i(z) = Q_\theta^S(X(z)) \quad \dots (45)$$

10

とすれば、図 3 に示す回路でスケール付き写像を用いた A / D 変換器が実現できることがわかる。しかし、上記〔1〕で述べたように、

20

$$C_f / C_i = 1 - \beta < 0 \quad \dots (46)$$

であり、負のキャパシタ比は物理的に実現不可能である。そこで、上記〔1〕と同様に、出力に負号をつけた量子化器として、

【数 2 6】

$$\tilde{Q}_\theta^S(\cdot) \equiv -Q_\theta^S(\cdot) \quad \dots (47)$$

30

40

を導入する。すると、上記式 (18) はこれを用いて、

【数 2 7】

$$X(z) = (\beta - 1) \cdot \frac{z^{-1}}{1 - \beta z^{-1}} \cdot \tilde{Q}_\theta^S(X(z)) \quad \dots (48)$$

50

10

と変形できる。この結果、図 7 に示す回路で、

$$V_o(z) = X(z) \quad \dots (49)$$

$$C_f / C_i = -1 \quad \dots (50)$$

$$C_k / C_i = -1 \quad \dots (51)$$

【数 28】

$$V_i(z) = \tilde{Q}_\theta^S(X(z)) \quad \dots (52)$$

20

30

とすれば、スケール付き 写像に基づく A / D 変換器が図 3 に示す回路を基に実現することができる。

【0066】

図 7 は本発明のスイッチト・キャパシタ積分回路を用いた第 2 のスケール付き 写像に基づく A / D 変換器の構成図である。この図は、上記式 (18) と図 2 で表現した、スケール付き 写像に基づく A / D 変換器を実現する SC 回路を示している。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス発生回路に適用する際には不要となる。

40

【0067】

上記〔1〕と同様に、図 3 に入力信号をサンプルするための回路と量子化器 $\tilde{Q}_\theta^S(\cdot)$ を付加した回路を、図 7 に示す。すなわち、この回路によりスケール付き β 写像に基づく A / D 変換器が SC 回路を用いて実現できる。なお、この回路を駆動するクロック波形は、図 4 や図 6 に示す回路と同じで、図 5 に示すものである。

ここで、入力信号のサンプルを上記式 (8) に従って行うとすると、出力の最下位ビット b_1^s は、

50

10

【数 2 9】

$$b_1^s = b^s(t_1) = Q_\theta^s(x(t_1)) = Q_\theta^s(x_{input}) \quad \dots (53)$$

20

30

となる。一方、図7に示す回路で、図5に示した t_1 で入力信号をサンプルし、 $-b_1^s$ を $t_{1+1/2}$ で出力すると、この時の回路の伝達関数は、

40

50

【数 3 0】

$$-b_1^s = -b^s(t_{1+1/2}) = \tilde{Q}_\theta^s \left(\frac{C_s}{C_i} \cdot x_{input} \right) \quad \dots (54)$$

10

である。したがって、上記式 (5 3) と式 (5 4) とを比較すると、図 7 の回路において、
上記式 (3 3) のように C_s を定めればよいことがわかる。この場合、L ビットの出力ビ
ット列から元の信号のデコード値 \hat{x}_L^s を得るには、上記式 (3 4) を用いればよい。なお、
出力されるビット列は $-b_n^s = -s \cdot b_n$ となることに注意する。

20

一方、図 1 3 で示されているように、上記式 (3 5) に従って入力信号をサンプルする
場合には、上記式 (3 6) により C_s を定めればよい。この場合、L ビットの出力ビット
列から元の信号のデコード値 \hat{x}_L^s を得るには、上記式 (3 7) を用いる。

30

40

【 0 0 6 8 】

ところで、図7に示す回路では、新しく $\tilde{Q}_\theta^s(\cdot)$ なる量子化器を導入した。しかし、図4中の C_f の左側のスイッチの制御を量子化器の出力により制御するように変更し、さらに、 $-sV$ の直流電圧源を導入することにより、図7と等価な回路を実現することができる。これを図8に示す。

図8は本発明のスイッチト・キャパシタ積分回路を用いた第3のスケール付き β 写像に基づくA/D変換器の構成図であり、上記式(18)と図2で与えられる、スケール付き β 写像に基づくA/D変換器を実現するSC回路の別の実装方法である。図8の回路では、量子化器として $Q_\theta(\cdot)$ を用いており、その出力でスイッチト・キャパシタ C_f の入力スイッチを制御する。その制御信号 P は $P = b_n \cdot \phi A$ であり、また、出力ビット列には負号がつかず b_n となる。

10

20

【0069】

一方、図8に示す回路で、直流電圧源の電圧を $-1V$ に設定すれば図4と等価になる。すなわち、図8に示す回路によれば、上記〔1〕で述べた回路も実現できる。この際、出力ビット列には負号がつかないことも特徴である。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス発生回路に応用する際には不要となる。

30

【0070】

以上で提案した全てのスケール付き写像に基づくA/D変換器は、上記したように、ビット長 L を無限大にすることで、そのままの構成でカオス発生回路として使用できる。すなわち、図5中の C の周期を(C を単発パルスとする)とすればよい。

【0071】

さらに、カオス時系列の初期値の設定を必要としない場合には、図4、図6及び図8に示す回路で入力信号をサンプルするための回路(各図中で一点鎖線で囲った部分)とクロック C は不要となる。

【0072】

次に、本発明のスケール付き写像に基づくA/Dコンバータ回路の妥当性を確認するため、理想回路素子を用いたSPICE回路シミュレーションを行う。ここで、図8に示す回路は、回路パラメータを調整することで、図4、図6、及び図7に示す回路と等価になるので、シミュレーションは図8に示す回路を用いて行った。また、通常は β の値を変換後のビット列より推定するが(特許文献1、2、非特許文献1~4参照)、理想状態での動作を確認するのが目的であるため、 β の値は既知であるとした。なお、以下のシミュレーションでは、 $\beta = 5/3$ 、 $s = 3$ とした。

40

【0073】

まず、最初に、回路から出力されるビット列 $BS(x_{input})$ が、理論値と同じであるか検証する。表1は、図8に示す回路のSPICEシミュレーションと、理論式から得ら

50

れた、入力信号 x_{input} に対する A / D 変換出力ビット列の比較である。なお、ビット長は $L = 8$ としている。表より、本発明の回路がスケール付き 写像に基づく A / D 変換を正確に行っていることが確認できる。

【 0 0 7 4 】

【表 1】

入力 x_{input}	量子化閾値 θ	出力ビット列 BS (x_{input})		
		SPICE	理論値	誤差
0.1	1.21	00001000	00001000	0
	1.5	00000110	00000110	0
	1.79	00000101	00000101	0
0.5	1.21	01000100	01000100	0
	1.5	00110101	00110101	0
	1.79	00110100	00110100	0
0.95	1.21	10010100	10010100	0
	1.5	10010100	10010100	0
	1.79	01110101	01110101	0

10

20

30

【 0 0 7 5 】

次いで、図 8 に示す回路の SPICE シミュレーションによって得られた出力ビット列のデコード値の変換誤差を評価する。変換ビット長が L の時、量子化誤差の上界は、

【数 3 1】

$$\varepsilon_L(x) = |x_{input} - \hat{x}_L| \leq \frac{s\gamma^L}{2} \quad \dots (55)$$

40

50

で与えられる。これを用いて、 $L(x) = 2^{-9}$ となるようにビット長を $L = 13$ とした。

【0076】

各入力信号 x_{input} について、異なる量子化閾値 に対する変換誤差を評価した結果を図9に示す。さらに、 を変化させた場合の変換誤差を、異なる入力信号 x_{input} に対して求めた結果を図10に示す。これらの結果より、本発明の回路は、量子化閾値 が変動しているにも関わらず、入力信号 x_{input} を、設定した変換精度以上で正しくA/D変換していることが確認された。すなわち、本発明の回路は、スケール付き 写像に基づくA/D変換の特徴である、 の変動に対してロバストであることが確認できた。

10

【0077】

さらに、図8に示す回路において、ビット長 $L =$ としてカオス発生回路を実現した。図11は、 $= 1.44$ の時にSPICEシミュレーションから得られたカオスアトラクタの例である。図11に示すように、カオスアトラクタは不変部分区間 ($-s(-1) = 0.4 \times (t_n) = 2.4$) 内に留まっていることがわかる。

【0078】

上記したように、本発明では、スケール付き 写像に基づくデータコンバート方式によるA/D変換器を、離散時間積分器を用いて実現する手法を提案した。離散時間積分器は、アナログ集積回路技術の中核をなす回路要素であり、集積回路中では最も良く用いられる。したがって、本発明のスケール付き 写像に基づくA/Dコンバート回路は集積回路化に適していると考えられる。また、例としてスイッチト・キャパシタ回路を用いて具体的な回路を複数種類実現した。

20

【0079】

さらに、スケール付き 写像に基づくデータコンバート方式によるA/D変換器を、カオス発生回路として構成することを提案した。スケール付き 写像の解軌道は、最終的には有限な不変部分区間内に閉じ込められるため、本発明に係るカオス発生回路は、回路素子の非理想特性やノイズに対しロバストであり、安定に動作する。

【0080】

最後に、理想回路素子を用いたSPICE回路シミュレーションにより、本発明のスケール付き 写像に基づくデータコンバート方式によるA/Dコンバート回路の動作を確認し、その妥当性を検証した。

30

【0081】

本発明のスケール付き 写像に基づくA/D変換器は、回路素子の非理想特性などによる回路特性の変化やノイズに対してロバストであるため、環境や回路特性の変化にロバストであり、小型で低消費電力、また、安価で高性能なA/Dコンバート回路やカオス発生回路の実現、特に、集積回路化に貢献できる。さらに集積回路化においては、回路素子のマッチングや素子特性が悪いため、アナログ回路の集積化には適さないサブミクロン以下の半導体プロセスなどでも、本発明のスケール付 写像に基づくA/D変換回路やカオス発生回路は適している。また、本発明のスケール付き 写像に基づくA/D変換器は、使用環境が大きく変動するシステムに用いられる各種回路、例えば、大規模なセンサーネットワーク用回路やセンサーダスト用のセンサーノード回路、大規模災害時の緊急通信ノード回路、宇宙空間に用いる各種回路、車載回路、移動ロボット用回路、無線通信端末用回路など、非常に広範囲な回路やシステムに応用可能である。さらに、このA/D変換器を応用したカオス発生回路は、暗号、カオス通信、乱数発生、カオスを用いた情報処理の分野で広く利用可能である。

40

なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

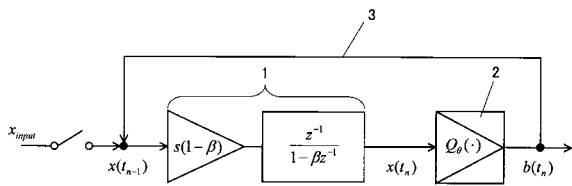
【産業上の利用可能性】

50

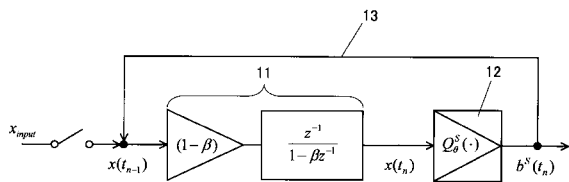
【 0 0 8 2 】

本発明のスケール付き 写像に基づくデータコンバート方式は、環境や回路特性の変化にロバストであり、小型で低消費電力、安価で高性能な A / D コンバータ回路やカオス発生回路の実現に貢献できる。

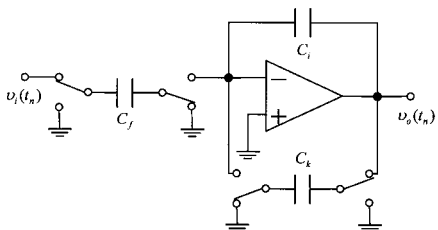
【 図 1 】



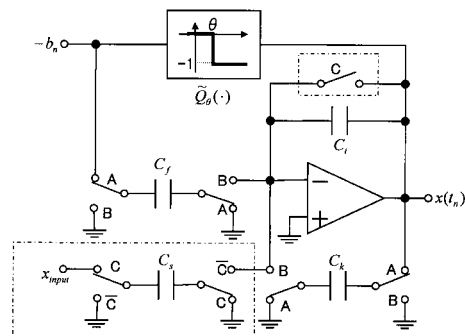
【 図 2 】



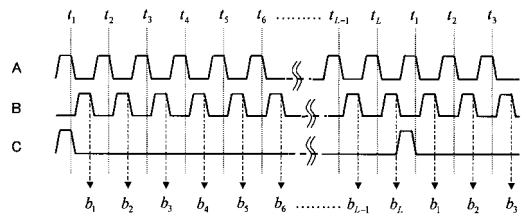
【 図 3 】



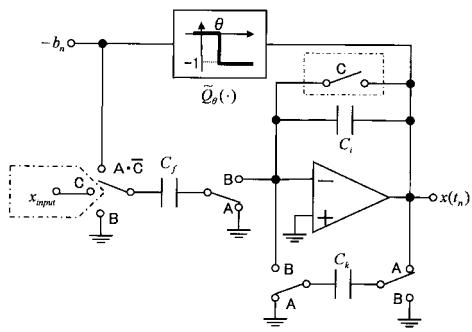
【 図 4 】



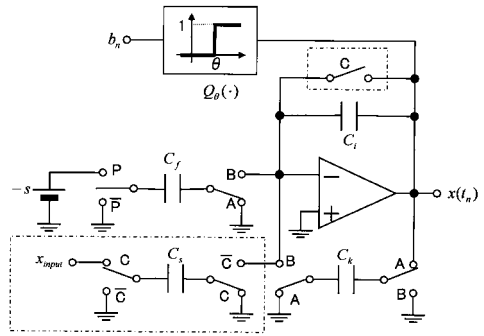
【 図 5 】



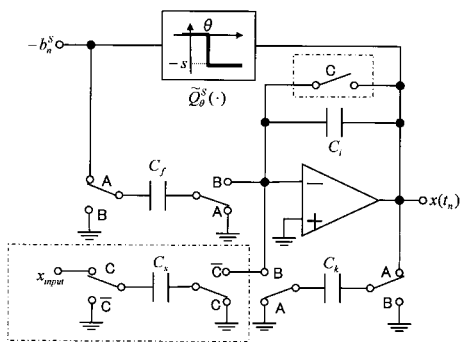
【 図 6 】



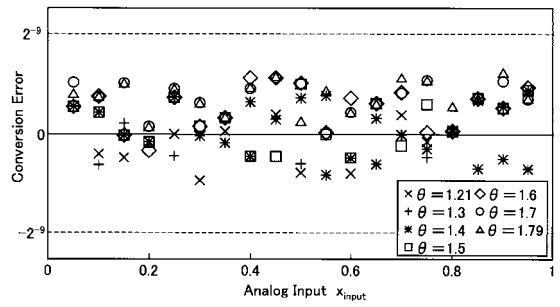
【 図 8 】



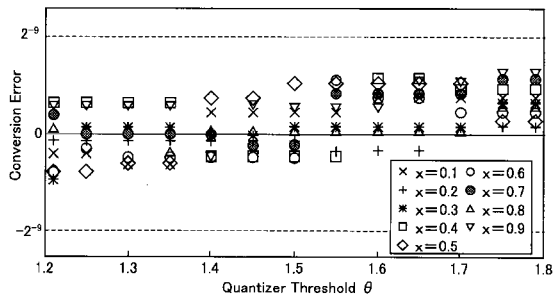
【 図 7 】



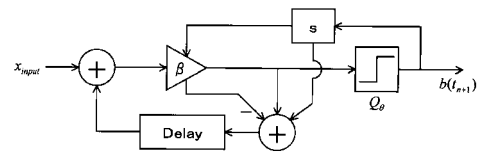
【 図 9 】



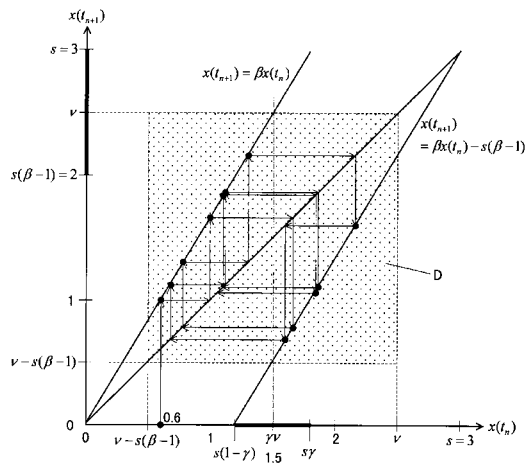
【 図 10 】



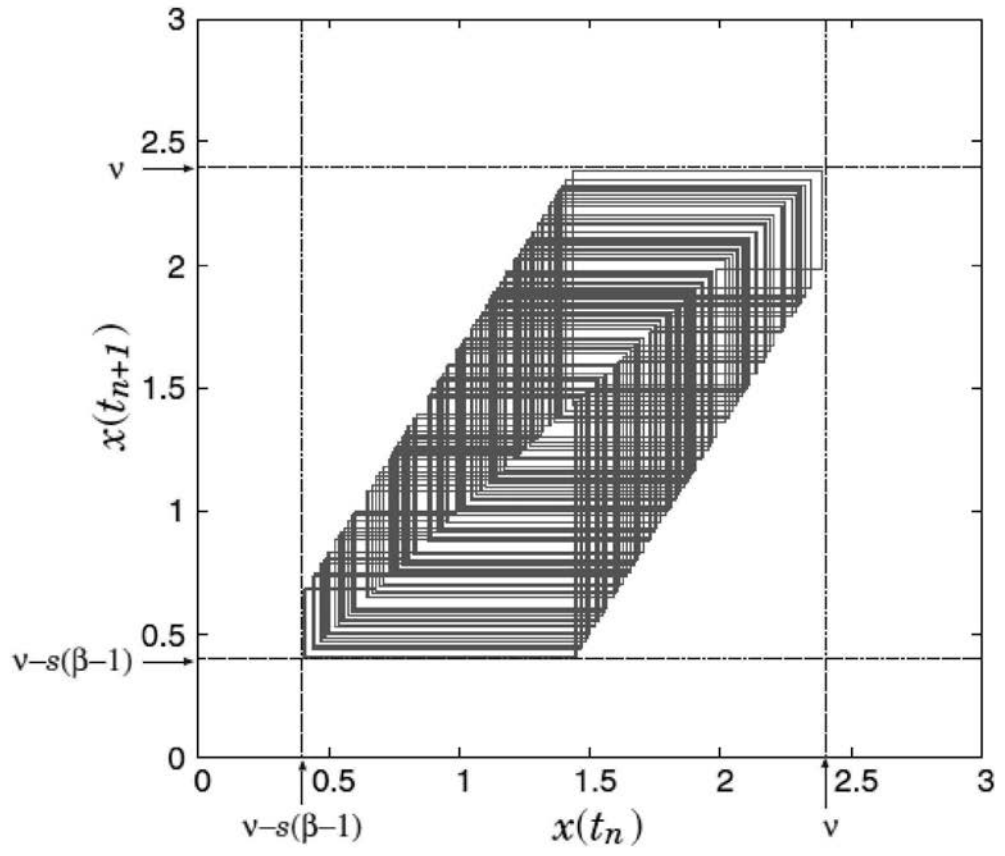
【 図 13 】



【 図 12 】



【 図 1 1 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/001664

A. CLASSIFICATION OF SUBJECT MATTER H03M1/08(2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03M1/00-1/88, H03M3/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) IEEE Xplore, CiNii		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/024196 A1 (Japan Science and Technology Agency), 04 March 2010 (04.03.2010), entire text; all drawings (Family: none)	1-7
A	Daubechies, I.; DeVore, R.; Gunturk, C.S.; Vaishampayan, V.A.; "Beta expansions: a new approach to digitally corrected A/D conversion", Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on, 2002, Volume 2, Pages II-784 - II-787	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.
* Special categories of cited documents:		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance		"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date		"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 08 April, 2011 (08.04.11)	Date of mailing of the international search report 19 April, 2011 (19.04.11)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 0 1 6 6 4									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/08(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/00-1/88, H03M3/00											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2011年										
日本国実用新案登録公報	1996-2011年										
日本国登録実用新案公報	1994-2011年										
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語) IEEE Xplore CiNii											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2010/024196 A1 (独立行政法人科学技術振興機構) 2010.03.04, 全文全図 (ファミリーなし)	1-7									
A	Daubechies, I.; DeVore, R.; Gunturk, C.S.; Vaishampayan, V.A.; "Beta expansions: a new approach to digitally corrected A/D conversion", Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on, 2002, Volume 2, Pages II-784 - II-787	1-7									
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 08.04.2011		国際調査報告の発送日 19.04.2011									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 柳下 勝幸	5 X 9561								
		電話番号 03-3581-1101	内線 3596								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 合原 一幸

日本国千葉県習志野市谷津四丁目8番8号208

Fターム(参考) 5J022 AA01 BA02 BA04 BA05 BA06 CA07 CB04 CD05 CF03

5J064 AA03 AA04 BA03 BB02 BB07 BB14 BC06 BC08 BC13 BC16

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。