

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/125297

発行日 平成25年7月8日 (2013.7.8)

(43) 国際公開日 平成23年10月13日 (2011.10.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO3M 3/02 (2006.01)	HO3M 3/02	5J022
HO3M 1/12 (2006.01)	HO3M 1/12 Z	5J064

審査請求 有 予備審査請求 未請求 (全 23 頁)

出願番号 特願2012-509298 (P2012-509298)	(71) 出願人 503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(21) 国際出願番号 PCT/JP2011/001666	
(22) 国際出願日 平成23年3月22日 (2011.3.22)	
(31) 優先権主張番号 特願2010-87474 (P2010-87474)	(74) 代理人 100089635 弁理士 清水 守
(32) 優先日 平成22年4月6日 (2010.4.6)	
(33) 優先権主張国 日本国 (JP)	(72) 発明者 堀尾 喜彦 日本国埼玉県蕨市中央一丁目17番40号 604
	(72) 発明者 神野 健哉 日本国神奈川県横浜市緑区白山四丁目18 番11号
	(72) 発明者 香田 徹 日本国福岡県福岡市早良区昭代二丁目4番 1号

最終頁に続く

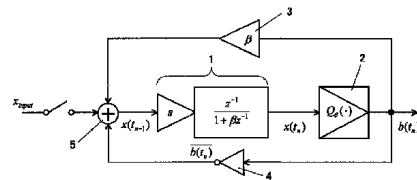
(54) 【発明の名称】 負のβ写像に基づくデータコンバート方式

(57) 【要約】

集積回路による実装に適し、回路の安定な動作を行うことができる、A/D変換器乃至カオス発生回路に好適な負の写像に基づくデータコンバート方式を提供する。

負の写像に基づくデータコンバート方式において、増幅係数がsでダンピングファクターがの離散時間積分器1と、この離散時間積分器1に直列に接続される量子化器2と、この量子化器2の出力側から離散時間積分器1の入力側へ接続される倍の係数器3及び論理インバータ4からなる帰還回路を具備する。

【図1】



【特許請求の範囲】

【請求項 1】

離散時間積分器と、該離散時間積分器に直列に接続される量子化器と、該量子化器の出力側から離散時間積分器の入力側へ接続される係数器を含む帰還回路を具備することを特徴とする負の β 写像に基づくデータコンバート方式。

【請求項 2】

請求項 1 記載の負の β 写像に基づくデータコンバート方式において、増幅係数が s でダンピングファクターが β の前記離散時間積分器と量子化器 $Q_{\theta}(\cdot)$ とからなり、前記帰還回路が β 倍の係数器及び論理インバータを具備する A/D 変換器を構成することを特徴とする負の β 写像に基づくデータコンバート方式。

10

【請求項 3】

請求項 1 記載の負の β 写像に基づくデータコンバート方式において、ダンピングファクターが β の前記離散時間積分器と量子化器 $Q_{\theta}^s(\cdot)$ とからなり、前記帰還回路が β 倍の係数器及び論理インバータを具備する A/D 変換器を構成することを特徴とする負の β 写像に基づくデータコンバート方式。

20

【請求項 4】

請求項 1 記載の負の β 写像に基づくデータコンバート方式において、増幅係数が s でダンピングファクターが β の前記離散時間積分器と量子化器 $Q_{\theta}(\cdot)$ とからなり、前記帰還回路が $\beta - 1$ 倍の係数器を具備する A/D 変換器を構成することを特徴とする負の β 写像に基づくデータコンバート方式。

30

【請求項 5】

40

請求項 1 記載の負の β 写像に基づくデータコンバート方式において、ダンピングファクターが β の前記離散時間積分器と量子化器 $Q_{\theta}^s(\cdot)$ とからなり、前記帰還回路が $\beta - 1$ 倍の係数器を具備する A / D 変換器を構成することを特徴とする負の β 写像に基づくデータコンバート方式。

10

【請求項 6】

請求項 2 から 5 の何れか一項記載の負の 写像に基づくデータコンバート方式において、前記 A / D 変換器をスイッチ・キャパシタ積分回路を用いて回路化することを特徴とする負の 写像に基づくデータコンバート方式。

【請求項 7】

請求項 2 から 5 の何れか一項記載の負の 写像に基づくデータコンバート方式において、前記 A / D 変換器のビット長 L を無限大にすることにより、カオス発生回路としたことを特徴とする負の 写像に基づくデータコンバート方式。

【請求項 8】

請求項 7 記載の負の 写像に基づくデータコンバート方式において、負の 写像 $R(\cdot)$ に基づく A / D 変換器を、離散時間 t_1 で入力信号 x_{input} をサンプルし、写像を L 回繰り返す操作によりビット長が L の変換ビット列 $BS(x_{input})$ を得る操作を行い、該操作においてビット長を無限大 ($L = \infty$) にすることにより、初期値を x_{input} とするカオス時系列を得ることを特徴とする負の 写像に基づくデータコンバート方式。

20

【請求項 9】

請求項 8 記載の負の 写像に基づくデータコンバート方式において、初期値を設定する必要がない場合は、離散時刻 t_n で $-\infty < n < \infty$ とし、この場合には、入力信号をサンプルする回路を不要とし、小型のカオス発生回路を構成することを特徴とする負の 写像に基づくデータコンバート方式。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、負の 写像に基づくデータコンバート方式に係り、特に集積回路での実装に適合させるための離散時間積分器を用いた A / D 変換器乃至カオス発生回路に関するものである。

【背景技術】

【0002】

従来、負の実数を基数とする、負の 写像に基づくデータコンバート方式が提案されている（下記特許文献 1，非特許文献 1，2 参照）。この方式では、従来の正の実数を基数とする 写像に基づくデータコンバート方式（下記特許文献 2，非特許文献 3，4 参照）と比較して、特に、閾値の許容範囲の端付近での変換誤差が改善されている。これは、正の実数を基数とする 写像では、不変部分区間の大きさは一定で、閾値パラメータの値により不変部分区間が定義域内を平行移動するのに対し、負の 写像では、不変部分区間は定義域のほぼ中央に位置し、その大きさが閾値パラメータの値により拡大あるいは縮小し、拡大領域では回路のダイナミックレンジがより広く取れるためである。

40

【0003】

以下、詳細に説明する。

【0004】

負の 写像に基づくデータ変換器について負の 写像 $R(\cdot)$ を下記式 (1) に示す (

50

下記特許文献 1 , 非特許文献 1 , 2) 。

【 0 0 0 5 】

【 数 1 】

$$R(x) = \begin{cases} s - \beta x, & x \in [0, \gamma v) \\ \beta s - \beta x, & x \in [\gamma v, s) \end{cases} \quad \dots (1)$$

ここで、 $[s(\gamma - 1), s)$ は閾値パラメータ、 $\gamma - 2 < \gamma < -1$ は変換の基数、 $\beta = 1/\gamma$ 、 $s > 0$ はスケール定数である。

【 0 0 0 6 】

離散時間を t_n (n は自然数) とし、これを用いて、上記式 (1) を一次元離散時間力学系として書き直すと、

【 数 2 】

$$x(t_{n+1}) = R(x(t_n)) = \begin{cases} s - \beta x(t_n), & x(t_n) \in [0, \gamma v) \\ \beta s - \beta x(t_n), & x(t_n) \in [\gamma v, s) \end{cases} \quad \dots (2)$$

と書くことができる。この一次元写像の例を図 1 6 に示す。この図 1 6 では、 $\beta = 5/3$ 、 $s = 3$ 、 $\gamma = 5/2$ 、 $v = 3/2$ とした。また、図 1 6 中には、 $x(t_1) = 0.6$ を初期値とする軌道も示している。図 1 6 に示すように、軌道は最終的に不変部分区間 $[LB, UB)$ 内 (図 1 6 中の D の部分) に閉じ込められる。ここで、 LB と UB は表 1 で与えられる。

【 0 0 0 7 】

【 表 1 】

v の範囲	LB	UB
$(\beta - 1)s \leq v < \frac{\beta^2 - \beta + 1}{\beta + 1} s$	$\beta v - (\beta^2 - \beta)s$	$\beta s - v$
$\frac{\beta^2 - \beta + 1}{\beta + 1} s \leq v < \frac{2\beta - 1}{\beta + 1} s$	$s - v$	$\beta s - v$
$\frac{2\beta - 1}{\beta + 1} s \leq v \leq s$	$s - v$	$\beta v - (\beta^2 - \beta)s$

【 0 0 0 8 】

この表 1 より、不変部分区間の大きさが最大となるのは、 $v = (\beta - 1)s$ と $v = s$ の時であり、この時は、 $LB = 0$ 、 $UB = s$ となる。すなわち、 $[s(\gamma - 1), s)$ 内の v の最小値と最大値で不変部分区間の大きさは最大となる。この写像を回路で実装した場合、不変部分区間が大きい程回路のダイナミックレンジが大きく取れ、相対的に S/N 比が改善する。ただし、 β の値に依存して変換誤差が変動するので注意が必要である (下記特許文献 1 , 非特許文献 1 , 2)。さらに、ノイズや回路の非理想特性により、写像の軌道が定義域 $[0, s)$ をはみ出さないように不変部分区間の大きさを設定する必要がある。

【 0 0 0 9 】

次に、2 値変数 $b(t_n) \in \{0, 1\}$ を以下のように定義する。

【 数 3 】

$$b(t_n) = Q_\theta(x(t_n)) = \begin{cases} 0, & x(t_n) \in [0, \theta) \\ 1, & x(t_n) \in [\theta, s) \end{cases} \quad \dots (3)$$

ここで、 $Q_\theta(\cdot)$ は、その閾値が θ の量子化器である。また、以下では、

$$= \dots (4)$$

10

20

30

40

50

とする。この時、上記式(2)は、

【数4】

$$x(t_{n+1}) = \overline{b(t_n)}s + b(t_n)\beta s - \beta x(t_n) = s(\overline{b(t_n)} + \beta b(t_n)) - \beta x(t_n) \quad \dots (5)$$

と書くことができる。この式はさらに、

【数5】

$$\begin{aligned} x(t_{n+1}) &= s(\overline{b(t_n)} + \beta b(t_n)) - \beta x(t_n) \\ &= s(\overline{b(t_n)} + (1 + \beta - 1)b(t_n)) - \beta x(t_n) \end{aligned} \quad 10$$

$$= s(\overline{b(t_n)} + b(t_n) + (\beta - 1)b(t_n)) - \beta x(t_n) \quad \dots (6)$$

$$= s(1 + (\beta - 1)b(t_n)) - \beta x(t_n) \quad \dots (7)$$

のように変形できる。

【0010】

ここで、入力信号 x_{input} を $t = t_1$ でサンプルするとする。すなわち、

$$x(t_1) = x_{input} \quad \dots (8)$$

である。この時、上記式(5)を $t = t_1$ から $t = t_L$ (L は A/D 変換後のビット長)まで繰り返すことにより、入力信号 x_{input} に対応したバイナリ信号列 $BS(x_{input})$ を得る。 20

【0011】

【数6】

$$BS(x_{input}) = (b_1 b_2 \dots b_L)_{-\beta, s} \quad \dots (9)$$

ここで、 $b_n = b(t_n)$ ($n = 1, 2, \dots, L$)、 $b_L = b(t_L)$ は LSB (最下位ビット)、 $b_1 = b(t_1)$ は MSB (最上位ビット) である。

【0012】

30

また、 L ビットの出力ビット列から元の信号のデコード値 \hat{x}_L を得るには、

【数7】

$$\hat{x}_L = s \left\{ \frac{(-\gamma)^L}{2} - \sum_{i=1}^L (b_i \beta + \overline{b_i}) (-\gamma)^i \right\} \quad \dots (10)$$

とすればよい(下記特許文献1, 非特許文献1, 2)。

【0013】

ところで、量子化器 $Q_\theta(\cdot)$ の閾値パラメータ ν の許容範囲 σ_ν は、 s と β により、

40

【数8】

$$\sigma_\nu = s(2 - \beta) \quad \dots (11)$$

と与えられる(下記特許文献1, 非特許文献1, 2)。これを図16の $x(t_{n+1})$ 軸に太線で示す。したがって、量子化器の閾値は、

【数9】

$$\sigma_\theta = \gamma \sigma_\nu = \gamma s(2 - \beta) = s(2\gamma - 1) \quad \dots (12)$$

50

の範囲内でなら変動が許容される（下記特許文献1，非特許文献1，2）。これを図16の $x(t_n)$ 軸に太線で示す。すなわち、環境の変化や回路素子の非理想特性、あるいは、ノイズなどにより量子化閾値が変動しても、上記式(12)の範囲内にあれば、A/Dコンバータ回路は正常に動作する。逆に言えば、量子化閾値が変動するような簡単で安価な回路構成でも、正常に動作するA/Dコンバータ回路を実現することが可能である。

【0014】

負の写像に基づくA/D変換器の構成図は、下記特許文献1及び特許文献1，2に示されている。図17はその負の写像に基づくA/D変換器の構成図である。ただし、このままの構成では集積回路による実装に適さない。

10

【先行技術文献】

【特許文献】

【0015】

【特許文献1】国際公開第2010/024196号

【特許文献2】国際公開第2009/014057号

【非特許文献】

【0016】

【非特許文献1】S. Hironaka, T. Kohda, and K. Aihara, "Negative - encoder", in Proceedings of International Symposium on Nonlinear Theory and Its Applications, pp. 564 - 567, Budapest, Hungary, 2008

20

【非特許文献2】T. Kohda, S. Hironaka, and K. Aihara, "Negative - encoder", Preprint, arXiv:0808.2548v2 [cs.IT], 28 July, 2009, <http://arxiv.org/abs/0808.2548>

【非特許文献3】I. Daubechies, R. A. DeVore, C. S. Gunturk, and V. A. Vaishampayan, "A/D conversion with imperfect quantizers", IEEE Transactions on Information Theory, Vol. 52, No. 3, pp. 874 - 885, 2006

30

【非特許文献4】S. Hironaka, T. Kohda, and K. Aihara, "Markov chain of binary sequences generated by A/D conversion using - encoder", in Proceedings of IEEE Workshop on Nonlinear Dynamics of Electronic Systems, pp. 261 - 264, Tokushima, Japan, 2007

【発明の概要】

【発明が解決しようとする課題】

【0017】

上記したように、従来の負の写像に基づくA/D変換器では、集積回路による実装に適さないといった問題があった。

40

【0018】

また、これまでに、一様な不変測度分布を持つカオスを発生させる回路として、ベルヌーイ写像やテント写像を用いたカオス発生回路が提案されている。しかしながら、これらの回路では、解軌道が定義域の端に接すると、回路の非理想特性やノイズなどにより解軌道が発散し、回路が安定に動作しないという問題点があった。

【0019】

本発明は、上記状況に鑑みて、集積回路による実装に適合し、カオス発生回路にも好適な、離散時間積分器を用いて構成した負の写像に基づくデータコンバート方式を提供す

50

ることを目的とする。

【0020】

その具体的な実装構成として、スイッチト・キャパシタ (SC) 回路を用いた負の写像に基づく A/D コンバータ回路を提供する。

【0021】

また、負の写像は最終的に解軌道が有限な不変部分区間に閉じ込められるため、上記した負の写像に基づく A/D コンバータのビット長を無限大にすることにより、回路素子のミスマッチやノイズにロバストで、軌道が発散せず安定に動作するカオス発生回路を提案する。提案するカオス発生回路は、回路パラメータを変更するだけで、異なったカオスアトラクタを容易に実現できる。

10

【0022】

さらに、理想的な回路素子を用いた SPICE (Simulation Program with Integrated Circuit Emphasis) 回路シミュレーションにより、上記した負の写像に基づく A/D コンバータ回路及びこれを応用したカオス発生回路の動作を確認し、その有効性を示す。

【課題を解決するための手段】

【0023】

本発明は、上記目的を達成するために、

〔1〕負の写像に基づくデータコンバート方式において、離散時間積分器と、この離散時間積分器に直列に接続される量子化器と、この量子化器の出力側から離散時間積分器の入力側へ接続される係数器を含む帰還回路を具備することを特徴とする。

20

【0024】

〔2〕上記〔1〕記載の負の β 写像に基づくデータコンバート方式において、増幅係数が s でダンピングファクターが β の前記離散時間積分器と量子化器 $Q_{\theta}(\cdot)$ とからなり、前記帰還回路が β 倍の係数器及び論理インバータを具備する A/D 変換器を構成することを特徴とする。

【0025】

〔3〕上記〔1〕記載の負の β 写像に基づくデータコンバート方式において、ダンピングファクターが β の前記離散時間積分器と量子化器 $Q_{\theta}^s(\cdot)$ とからなり、前記帰還回路が β 倍の係数器及び論理インバータを具備する A/D 変換器を構成することを特徴とする。

30

【0026】

〔4〕上記〔1〕記載の負の β 写像に基づくデータコンバート方式において、増幅係数が s でダンピングファクターが β の前記離散時間積分器と量子化器 $Q_{\theta}(\cdot)$ とからなり、前記帰還回路が $\beta - 1$ 倍の係数器を具備する A/D 変換器を構成することを特徴とする。

【0027】

〔5〕上記〔1〕記載の負の β 写像に基づくデータコンバート方式において、ダンピングファクターが β の前記離散時間積分器と量子化器 $Q_{\theta}^s(\cdot)$ とからなり、前記帰還回路が $\beta - 1$ 倍の係数器を具備する A/D 変換器を構成することを特徴とする。

40

【0028】

〔6〕上記〔2〕から〔5〕の何れか一項記載の負の写像に基づくデータコンバート方式において、前記 A/D 変換器をスイッチト・キャパシタ積分回路を用いて回路化することを特徴とする。

【0029】

〔7〕上記〔2〕から〔5〕の何れか一項記載の負の写像に基づくデータコンバート方式において、前記 A/D 変換器のビット長 L を無限大にすることにより、カオス発生回路としたことを特徴とする。

50

【 0 0 3 0 】

〔 8 〕 上記〔 7 〕記載の負の 写像に基づくデータコンバート方式において、負の 写像 $R(\cdot)$ に基づく A / D 変換器を、離散時間 t_1 で入力信号 x_{input} をサンプルし、写像を L 回繰り返す操作によりビット長が L の変換ビット列 $BS(x_{input})$ を得る操作を行い、この操作においてビット長を無限大 ($L = \infty$) にすることにより、初期値を x_{input} とするカオス時系列を得ることを特徴とする。

【 0 0 3 1 】

〔 9 〕 上記〔 8 〕記載の負の 写像に基づくデータコンバート方式において、初期値を設定する必要がない場合は、離散時刻 t_n で $-1 < n < 1$ とし、この場合には、入力信号をサンプルする回路を不要とし、小型のカオス発生回路を構成することを特徴とする。

10

【 発明の効果 】

【 0 0 3 2 】

本発明によれば、次のような効果を奏することができる。

【 0 0 3 3 】

〔 1 〕 アナログ集積回路技術の中核をなす回路要素であり、集積回路中では最も良く利用される離散時間積分器を用いて負の 写像に基づく A / D 変換器を構成した。したがって、本発明の A / D 変換器は集積回路化に適している。

【 0 0 3 4 】

〔 2 〕 負の 写像に基づくデータコンバート方式の A / D 変換器を、カオス発生回路として構成した。負の 写像の解軌道は、最終的には有限な不変部分区間に閉じ込められるため、本発明のカオス発生回路は、回路素子の非理想特性やノイズに対しロバストであり、安定に動作する。

20

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 本発明の第 1 実施例を示す負の 写像に基づく A / D 変換器の構成図である。

【 図 2 】 本発明の第 2 実施例を示す負の 写像に基づく A / D 変換器の構成図である。

【 図 3 】 本発明の第 3 実施例を示す負の 写像に基づく A / D 変換器の構成図である。

【 図 4 】 本発明の第 4 実施例を示す負の 写像に基づく A / D 変換器の構成図である。

【 図 5 】 一般的なスイッチト・キャパシタ積分回路を示す図である。

【 図 6 】 本発明のスイッチト・キャパシタ積分回路を用いた第 1 の負の 写像に基づく A / D 変換器の構成図である。

30

【 図 7 】 本発明に係る回路を駆動する 3 相のクロック波形を示す図である。

【 図 8 】 本発明のスイッチト・キャパシタ積分回路を用いた第 2 の負の 写像に基づく A / D 変換器の構成図である。

【 図 9 】 本発明のスイッチト・キャパシタ積分回路を用いた第 2 の負の 写像に基づく A / D 変換器の変形例を示す構成図である。

【 図 1 0 】 本発明のスイッチト・キャパシタ積分回路を用いた第 3 の負の 写像に基づく A / D 変換器の構成図である。

【 図 1 1 】 本発明のスイッチト・キャパシタ積分回路を用いた第 4 の負の 写像に基づく A / D 変換器の構成図である。

40

【 図 1 2 】 本発明のスイッチト・キャパシタ積分回路を用いた第 4 の負の 写像に基づく A / D 変換器の変形例を示す構成図である。

【 図 1 3 】 図 1 2 に示す回路において、入力信号 x_{input} をスイープした時の、異なる量子化閾値 に対する変換誤差を示す図である。

【 図 1 4 】 図 1 2 に示す回路において、量子化閾値 をスイープした時の、異なる入力信号 x_{input} に対する変換誤差を示す図である。

【 図 1 5 】 図 1 2 に示す回路の S P I C E シミュレーションから得られたカオスアトラクタの一例を示す図である。

【 図 1 6 】 負の 写像の例を示す図である。

【 図 1 7 】 従来負の 写像に基づく A / D 変換器の構成図である。

50

【発明を実施するための形態】

【0036】

本発明の負の写像を用いたデータコンバート方式は、離散時間積分器と、この離散時間積分器に直列に接続される量子化器と、この量子化器の出力側から離散時間積分器の入力側へ接続される係数器を含む帰還回路を具備する。

【実施例】

【0037】

以下、本発明の実施の形態について詳細に説明する。

【0038】

本発明の負の写像に基づくデータコンバート方式について、離散時間積分器を用いて構成した負の写像を用いたA/D変換器を説明する。

10

【0039】

アナログ集積回路の主要な構成要素としては離散時間積分器が多く用いられる。その理由として、素子の非理想特性やミスマッチ、寄生素子、ノイズなどの影響を受けにくい回路構成が利用可能なことや、完全差動回路によりさらに回路性能を向上させることが可能なことなどが挙げられる。また、離散時間積分回路を実装する集積回路技術として、スイッチト・キャパシタ(SC)回路やスイッチト・カレント(SI)回路などが提案されており、これらの回路についてはこれまでに多くの知見が得られている。それらの有用なデータが利用できることも離散時間積分器が用いられる理由の一つである。そこで、負の写像を用いたA/D変換器を離散時間積分器を用いて構成する、負の写像に基づくデータコンバート方式を提案する。

20

【0040】

まず、上記式(5)に基づいたA/D変換器の構成を説明する。

【0041】

上記式(5)をZ変換すると、

【数10】

$$X(z) = s \left(\overline{B(z)} + \beta B(z) \right) z^{-1} - \beta X(z) z^{-1} \quad \dots (13)$$

を得ることができる。ここで、 $X(z)$ 、 $B(z)$ 及び $\overline{B(z)}$ は、それぞれ、 $x(t_n)$ 、 $b(t_n)$ 及び $\overline{b(t_n)}$ のZ領域での変数である。さらに、上記式(3)より、

30

【数11】

$$B(z) = Q_\theta(X(z)) \quad \dots (14)$$

【数12】

$$\overline{B(z)} = \overline{Q_\theta(X(z))} \quad \dots (15)$$

40

であるので、

【数13】

$$X(z) = s \left(\overline{Q_\theta(X(z))} + \beta Q_\theta(X(z)) \right) z^{-1} - \beta X(z) z^{-1} \quad \dots (16)$$

を得ることができる。これより、

【数14】

$$(1 + \beta z^{-1}) X(z) = s \left(\beta Q_\theta(X(z)) + \overline{Q_\theta(X(z))} \right) z^{-1} \quad \dots (17)$$

50

となり、結局、

【数 1 5】

$$X(z) = s \cdot \frac{z^{-1}}{1 + \beta z^{-1}} \cdot \left(\beta Q_{\theta}(X(z)) + \overline{Q_{\theta}(X(z))} \right) \quad \dots (18)$$

を得ることができる。

【0042】

図1は本発明の実施例を示す負の写像に基づくA/D変換器の構成図である。

【0043】

この図において、1は離散時間積分器、2は離散時間積分器1に直列に接続される量子化器であり、この量子化器2の出力側には、離散時間積分器1の入力側に接続される倍の係数器3及び論理インバータ4が接続される。また、5は倍の係数器3及び論理インバータ4に接続される加算器である。

【0044】

図1に示すように、負の β 写像を用いたA/D変換器は、増幅係数が s でダンピングファクターが β の離散時間積分器1と、量子化器2〔 $Q_{\theta}(\cdot)$ 〕と、 β 倍の係数器3及び論理インバータ4とにより実現できることがわかる。ただし、出力ビット系列は上記式(9)で与えられる。

一方、出力値が $\{0, s\}$ の2値を取る量子化器 $Q_{\theta}^s(\cdot)$ を、

【数 1 6】

$$Q_{\theta}^s(\cdot) \equiv s \times Q_{\theta}(\cdot) \quad \dots (19)$$

と定義すると、上記式(18)は、

【数 1 7】

$$X(z) = \frac{z^{-1}}{1 + \beta z^{-1}} \cdot \left(\beta Q_{\theta}^s(X(z)) + \overline{Q_{\theta}^s(X(z))} \right) \quad \dots (20)$$

と書き直せる。この場合には、負の写像を用いたA/D変換器は、図2に示すように構成される。

【0045】

図2は本発明の第2実施例を示す負の β 写像に基づくA/D変換器の構成図であり、ダンピングファクターが β の離散時間積分器11と、この離散時間積分器11に直列に接続される量子化器12〔 $Q_{\theta}^s(\cdot)$ 〕と、この量子化器12の出力側から離散時間積分器11の入力側へ接続される β 倍の係数器13及び論理インバータ14で構成される。なお、15は β 倍の係数器13及び論理インバータ14が接続される加算器である。この場合、出力ビット列 b_n^s の振幅は $\{0, s\}$ となる。すなわち、

【数 1 8】

$$b_n^s = s \cdot b_n = b^s(t_n) = Q_{\theta}^s(x(t_n)) \quad \dots (21)$$

である。

【0046】

次に、上記式(6)に基づいたA/D変換器の構成について説明する。

【0047】

上記式(6)をZ変換すると、

【数 19】

$$\begin{aligned}
 X(z) &= s \left(\overline{B(z)} z^{-1} + B(z) z^{-1} + (\beta - 1) B(z) z^{-1} \right) - \beta X(z) z^{-1} \\
 &= s \left(\overline{B(z)} + B(z) + (\beta - 1) B(z) \right) z^{-1} - \beta X(z) z^{-1} \\
 &= s \{ 1 + (\beta - 1) B(z) \} z^{-1} - \beta X(z) z^{-1} \\
 &= s \{ 1 + (\beta - 1) Q(X(z)) \} z^{-1} - \beta X(z) z^{-1} \quad \dots (22)
 \end{aligned}$$

を得る。これより、

$$(1 + \beta z^{-1}) X(z) = s \{ (\beta - 1) Q(X(z)) + 1 \} z^{-1} \quad \dots (23) \quad 10$$

となり、結局、

【数 20】

$$X(z) = s \cdot \frac{z^{-1}}{1 + \beta z^{-1}} \cdot \{ (\beta - 1) Q(X(z)) + 1 \} \quad \dots (24)$$

を得ることができる。したがって、この様式で記述した負の β 写像を用いた A/D 変換器は、図 3 に示すように構成される。

【0048】

図 3 は本発明の第 3 実施例を示す負の β 写像に基づく A/D 変換器の構成図であり、増幅係数が s でダンピングファクターが β の離散時間積分器 21 と、この離散時間積分器 21 に直列に接続される量子化器 22 [$Q_\theta(\cdot)$] と、この量子化器 22 の出力側から離散時間積分器 21 の入力側へ接続される $\beta - 1$ 倍の係数器 23 で構成できる。なお、24 は $\beta - 1$ 倍の係数器 23 が接続される加算器である。 20

【0049】

さらに、ここで上記式 (19) の量子化器を導入すると、上記式 (24) は、

【数 21】

$$X(z) = \frac{z^{-1}}{1 + \beta z^{-1}} \cdot \{ (\beta - 1) Q_\theta^s(X(z)) + s \} \quad \dots (25) \quad 30$$

となる。このように記述した負の β 写像を用いた A/D 変換器は、図 4 に示すように構成される。

【0050】

図 4 は本発明の第 4 実施例を示す負の β 写像に基づく A/D 変換器の構成図であり、ダンピングファクターが β の離散時間積分器 31 と、この離散時間積分器 31 に直列に接続される量子化器 32 [$Q_\theta^s(\cdot)$] と、この量子化器 32 の出力側から離散時間積分器 31 の入力側に接続される $\beta - 1$ 倍の係数器 33 で構成できる。なお、34 は $\beta - 1$ 倍の係数器 33 が接続される加算器である。ただし、得られるビット列は上記式 (21) である。 40

【0051】

次いで、負の β 写像に基づくデータコンバート方式によるカオス発生回路について説明する。

【0052】

上記したように、これまでに提案されているベルヌーイ写像やテント写像を用いたカオス発生回路は、解軌道が定義域の端に接すると、回路の非理想特性やノイズなどにより解軌道が発散し、回路が安定に動作しないという問題点があった。そこで、負の β 写像 $R(\cdot)$ が、その解軌道が最終的に有限な不変部分区間に閉じ込められる写像である点を活用して、安定に動作するカオス発生回路を提案する。

【0053】

負の写像 $R(\cdot)$ の解軌道は、過渡状態の後、図 16 に D で示す不変部分区間 $[LB, UB)$ の中にトラップされる。したがって、回路素子の非理想特性やノイズによる軌道のずれ幅を deviation とすると、 $LB + \text{deviation} < x(t_n) < UB - \text{deviation}$ となるような deviation の値を選択すれば、解軌道が $x(t_n)$ の定義域の端 (0 と s) に接することがない。そのため、回路の非理想特性やノイズの影響により解軌道が発散することはなく、カオス発生回路は安定に動作する。さらに、負の写像 $R(\cdot)$ によって実現されるカオス軌道の不変部分区間内の不変測度は一様分布となるので、得られるカオス時系列は、乱数発生、暗号化などへの応用が行い易いと考えられる。

【0054】

具体的に負の写像 $R(\cdot)$ によりカオス発生回路を構成する方法について説明する。

10

【0055】

上述した負の写像 $R(\cdot)$ に基づく A/D 変換器では、離散時間 t_1 で入力信号 x_{input} をサンプルし、写像を L 回繰り返す操作により、ビット長が L の変換ビット列 $BS(x_{input})$ を得ていた。この操作において、ビット長を無限大 ($L = \infty$) にすることで、初期値を x_{input} とするカオス時系列を得ることができる。これにより、上述した離散時間積分器による負の写像を用いた A/D 変換器を、そのままカオス発生回路として応用することが可能である。また、初期値を設定する必要がない場合は、離散時間 t_n で $n < \infty$ とすればよい。このときには、上述した離散時間積分器による負の写像に基づく A/D 変換器において、入力信号をサンプルする部分が不要となり、より小型のカオス発生回路が実現できる。

20

【0056】

次に、本発明の実施例として、スイッチト・キャパシタ (SC) 回路による負の写像に基づく A/D 変換器の回路実現例を説明する。

【0057】

主な離散時間アナログ回路 (サンプルド・データ回路) 技術として、SC 回路と SI (スイッチト・カレント) 回路がある。ここでは、SC 回路により写像に基づく A/D コンバータの回路を実現する手法を説明する。ただし、SI 回路を用いても同様な手法で回路実現可能である。具体的には、上記式 (18) と図 1、上記式 (20) と図 2、あるいは、上記式 (24) と図 3、さらには、上記式 (25) と図 4 で与えられる負の写像を用いた A/D 変換器を、SC 積分回路を用いて回路化する手法を示す。

30

【0058】

(1) SC 回路による実装例 1 : 上記式 (18) と図 1 を用いる場合

図 5 は一般的なスイッチト・キャパシタ (SC) 積分回路を示す図である。この回路の Z 領域での伝達特性は、

【数 2 2】

$$V_o(z) = \frac{z^{-1}}{1 + \left(\frac{C_k}{C_i} - 1\right) z^{-1}} \cdot \left(\frac{C_{f0}}{C_i} V_{i0}(z) + \frac{C_{f1}}{C_i} V_{i1}(z) \right) \quad \dots (26)$$

40

で与えられる。ただし、 $V_o(z)$ 、 $V_{i0}(z)$ 及び $V_{i1}(z)$ は、それぞれ、 $x(t_n)$ 、 $x_{i0}(t_n)$ と $x_{i1}(t_n)$ の Z 領域での変数である。ここで、上記式 (18) と式 (26) とを比較すると、

$$V_o(z) = X(z) \quad \dots (27)$$

【数 2 3】

$$V_{i0}(z) = Q_\theta(X(z)) \quad \dots (28)$$

【数 2 4】

$$V_{i1}(z) = \overline{Q_\theta(X(z))} \quad \dots (29)$$

$$C_{f0} / C_i = s \quad \dots (30)$$

$$C_{f1} / C_i = s \quad \dots (31)$$

$$C_k / C_i = +1 \quad \dots (32)$$

とすれば、上記式(18)が図5に示す回路を基に実現できることがわかる。

【0059】

ところで、図5に示す回路には入力信号 x_{input} を入力する回路がないので、図5に入力信号をサンプルするための回路を付加する必要がある。これを付加し、さらに量子化器 $Q_\theta(\cdot)$ を帰還路に挿入した回路を図6に示す。

10

【0060】

図6は本発明のスイッチト・キャパシタ積分回路を用いた第1の負の β 写像に基づく A/D 変換器の構成図である。

【0061】

この図6は、上記式(18)と図1で表現した、負の β 写像に基づく A/D 変換器を実現する SC 回路を示しており、 $\phi P = \phi A \cdot \overline{\phi C}$ である。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス発生回路に応用する際には不要となり、この時は、 $\phi P = \phi A$ でよい。

20

【0062】

さらに、図6, 8~12に示す回路を駆動するクロック A, B と、入力信号をサンプルし、これと同時に C_i の初期電荷をリセットするためのクロック C を図7に示す。

【0063】

図7において L はビット長であり、また、出力ビット列 b_n は、B の立ち下がり、すなわち、 $t_{n+1/2}$ でサンプルする。

【0064】

ここで、入力信号のサンプルを上記式(8)に従って行うとすると、出力の最下位ビット b_1 は、

30

【数 2 5】

$$b_1 = b(t_1) = Q_\theta(x(t_1)) = Q_\theta(x_{input}) \quad \dots (33)$$

となる。一方、図6に示す回路で、図7に示した t_1 で入力信号をサンプルし、 b_1 を $t_{1+1/2}$ で出力すると、この時の回路の伝達関数は、

【数 2 6】

$$b_1 = b(t_{1+1/2}) = Q_\theta\left(\frac{C_s}{C_i} \cdot x_{input}\right) \quad \dots (34) \quad 40$$

である。上記式(33)と式(34)を比較すると、入力信号のサンプルを上記式(8)に従って行う場合には、図6に示す回路において、

$$C_s / C_i = 1 \quad \dots (35)$$

とすればよいことがわかる。

【0065】

〔2〕SC 回路による実装例 2 : 上記式(20)と図2を用いる場合

図6に示す回路では、上記式(30)に示すように、 C_{f0} が s と β の積に依存してしまう。そこで、回路パラメータが s あるいは β だけで決まるようにするため、上記式(20)

50

)を用いて図6に示す回路を改良する。上記式(20)と式(26)を比較すると、
 $V_o(z) = X(z) \dots (36)$

【数27】

$$V_{i0}(z) = Q_\theta^s(X(z)) \dots (37)$$

【数28】

$$V_{i1}(z) = \overline{Q_\theta^s(X(z))} \dots (38) \quad 10$$

$$C_{f0} / C_i = \dots (39)$$

$$C_{f1} / C_i = 1 \dots (40)$$

$$C_k / C_i = + 1 \dots (41)$$

を得ることができる。これに基づき構成したSC回路を図8に示す。

【0066】

図8は本発明のスイッチト・キャパシタ積分回路を用いた第2の負の写像に基づくA/D変換器の構成図である。

【0067】

20

この図8は、上記式(20)と図2で表現した、負の β 写像に基づくA/D変換器を実現するSC回路を示しており、 $\phi P = \phi A \cdot \overline{\phi C}$ である。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス発生回路に応用する際には不要となる。また、この際には、 $\phi P = \phi A$ でよい。

【0068】

この図において、入力信号 x_{input} をサンプルするためには、図6と同様に、上記式(35)で与えられる C_s を付加する必要がある。しかし、上記式(35)と式(40)より、 $C_{f1} = C_s$ であるため、図8に示すように、 C_{f1} と C_s を共有することが可能である。

【0069】

30

ここで、上記式(20)に基づく構成ではあるが、量子化器 $Q_\theta^s(\cdot)$ を用いず、かつ、回路パラメータが s あるいは β のみにしか依存しない回路を図9に示す。

【0070】

図9は本発明のスイッチト・キャパシタ積分回路を用いた第2の負の写像に基づくA/D変換器の変形例を示す構成図である。

【0071】

この回路は、図8に示す回路を基に構成しているが、量子化器 $Q_\theta(\cdot)$ の出力を直接帰還する代わりに、その量子化器 $Q_\theta(\cdot)$ の出力を用いてスイッチト・キャパシタ C_{f0} と C_{f1} の入力側のスイッチを制御する。さらに、電圧源 V_s により s を実現している。すなわち、

40

$$V_s = s V \dots (42)$$

である。また、図9中でスイッチを制御する信号FとGは、

【数29】

$$F = \overline{b_n} \cdot \phi A \cdot \overline{\phi C} \dots (43)$$

$$G = b_n \cdot A \dots (44)$$

である。また、 C_{f0} 、 C_{f1} 、 C_k は、それぞれ、上記式(39)、式(40)及び式(41)で与えられる。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス発生回路に応用する際には不要となる。また、この際には、 $F = \overline{b_n} \cdot \phi A$ でよい。

【0072】

〔3〕SC回路による実装例3：上記式(24)と図3を用いる場合

上記式(24)と上記式(26)を比較すると、

$$V_o(z) = X(z) \quad \dots (45)$$

【数30】

$$V_{i0}(z) = Q_\theta(X(z)) \quad \dots (46)$$

10

$$V_{i1}(z) = 1 \quad \dots (47)$$

$$C_{f0} / C_i = s(-1) \quad \dots (48)$$

$$C_{f1} / C_i = s \quad \dots (49)$$

$$C_k / C_i = +1 \quad \dots (50)$$

とすれば、図5に示すSC積分回路で上記式(24)が実現できることがわかる。入力信号をサンプルするスイッチト・キャパシタ回路(C_s)を含めた回路を図10に示す。

【0073】

20

図10は本発明のスイッチト・キャパシタ積分回路を用いた第3の負の写像に基づくA/D変換器の構成図である。

【0074】

この図10は、上記式(24)と図3で表現した、負の β 写像に基づくA/D変換器を実現するSC回路を示しており、 $\phi P = \phi A \cdot \overline{\phi C}$ である。ここで、

$$C_s / C_i = 1 \quad \dots (51)$$

$$V_U = 1V \quad \dots (52)$$

である。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス発生回路に応用する際には不要となり、このときは、 $P = A$ でよい。

30

【0075】

〔4〕SC回路による実装例4：上記式(25)と図4を用いる場合

図10に示す回路では、上記式(48)に示すように、 C_{f0} の値が s と -1 の両方に依存してしまうため、回路設計の自由度が制限される。そこで、上記式(25)を用いることにより、回路パラメータが s あるいは -1 のみに依存する回路構成を提案する。

【0076】

上記式(25)と上記式(26)を比較すると、

$$V_o(z) = X(z) \quad \dots (53)$$

【数31】

$$V_{i0}(z) = Q_\theta^s(X(z)) \quad \dots (54)$$

40

$$V_{i1}(z) = s \quad \dots (55)$$

$$C_{f0} / C_i = -1 \quad \dots (56)$$

$$C_{f1} / C_i = 1 \quad \dots (57)$$

$$C_k / C_i = +1 \quad \dots (58)$$

とすれば、図5に示すSC積分回路で上記式(25)が実現できることがわかる。全体の回路を図11に示す。

【0077】

50

図11は本発明のスイッチト・キャパシタ積分回路を用いた第4の負の写像に基づくA/D変換器の構成図である。

【0078】

この図11は、上記式(25)と図4で表現した、負の β 写像に基づくA/D変換器を実現するSC回路を示しており、 $\phi P = \phi A \cdot \overline{\phi C}$ である。図11に示す回路で、

$$V_s = s V \quad \dots (59)$$

である。さらに、入力信号をサンプルするキャパシタを C_s とすると、その大きさは $C_s / C_i = 1$ であるので、上記式(57)より、図11に示すように、これを C_{f1} と共有して省くことができる。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス発生回路に適用する際には不要となり、このときは、 $P = A$ とする。

10

【0079】

ここで、上記式(25)に基づく構成ではあるが、量子化器 $Q_\theta^s(\cdot)$ が不要で、かつ、回路パラメータが s あるいは β のみにしか依存しない回路を図12に示す。

【0080】

図12は本発明のスイッチト・キャパシタ積分回路を用いた第4の負の写像に基づくA/D変換器の変形例を示す構成図である。

【0081】

この回路は、図11に示す回路を基に構成しているが、量子化器 $Q_\theta(\cdot)$ の出力を直接帰還する代わりに、その量子化器 $Q_\theta(\cdot)$ の出力を用いてスイッチト・キャパシタ C_{f0} と C_{f1} の入力側のスイッチを制御する。さらに、電圧源 V_s により、 s を実現している。すなわち、

20

$$V_s = s V \quad \dots (60)$$

である。また、図12中でスイッチを制御する信号JとKは、

【数32】

$$J = \phi A \cdot \overline{\phi C} \quad \dots (61)$$

30

$$K = b_n \cdot A \quad \dots (62)$$

である。また、 C_{f0} 、 C_{f1} 、 C_k は、それぞれ、上記式(56)、上記式(57)及び式(58)で与えられる。なお、一点鎖線で囲った部分は、初期値の設定を必要としないカオス発生回路に適用する際には不要となり、このときは、 $J = A$ とすればよい。

【0082】

以上で提案した全ての負の写像に基づくA/D変換回路は、上述したように、ビット長 L を無限大にすることで、そのままの構成でカオス発生回路として使用できる。すなわち、図7中の C の周期を無限大(C を単発パルスとする)とすればよい。

【0083】

40

さらに、カオス時系列の初期値の設定を必要としない場合には、図6、図8~12に示す回路で入力信号をサンプルするための回路(各図中で一点鎖線で囲った部分)とクロック C は不要となる。

【0084】

次に、本発明の負の写像に基づくA/Dコンバータ回路の妥当性を確認するため、理想回路素子を用いたSPICE回路シミュレーションを行う。図6、図8~12の全ての回路についてSPICEシミュレーションを行い動作を確認したが、図12に示す回路は回路パラメータを調整することで他の回路と等価になるため、以下では図12に示す回路から得られた結果を示す。また、通常は β の値を変換後のビット列より推定するが(特許文献1, 2, 非特許文献1~4)、理想状態での動作を確認するのが目的であるため、

50

の値は既知であるとした。なお、以下のシミュレーションでは、 $\gamma = 5 / 3$, $s = 3$ とした。

【 0 0 8 5 】

まず最初に、回路から出力されるビット列 $BS(x_{input})$ が、理論値と同じであるか検証する。表 2 は、図 1 2 に示す回路の SPICEシミュレーションと、上述の理論式から得られた、入力信号 x_{input} に対する A / D 変換出力ビット列の比較である。なお、ビット長は $L = 8$ としている。表 2 より、本発明の回路が負の写像に基づく A / D 変換を正確に行っていることが確認できる。

【 0 0 8 6 】

【表 2】

入力 x_{input}	量子化閾値 θ	出力ビット列 $BS(x_{input})$		
		SPICE	理論値	誤差
0.1	1.21	01011101	01011101	0
	1.5	01011100	01011100	0
	1.79	01010010	01010010	0
0.5	1.21	01110111	01110111	0
	1.5	01001111	01001111	0
	1.79	01001111	01001111	0
0.8	1.21	01111010	01111010	0
	1.5	01100110	01100110	0
	1.79	00010100	00010100	0

10

20

【 0 0 8 7 】

次いで、図 1 2 に示す回路の SPICEシミュレーションによって得られた出力ビット列のデコード値の変換誤差を評価する。変換ビット長が L の時、量子化誤差の上界は、

【数 3 3】

$$\epsilon_L(x) = |x_{input} - \hat{x}_L| \leq \frac{s\gamma^L}{2} \quad \dots (63)$$

30

で与えられる (特許文献 1 , 非特許文献 1 , 2)。これを用いて、 $\epsilon_L(x) \approx 2^{-9}$ となるようにビット長を $L = 13$ とした。

【 0 0 8 8 】

各入力信号 x_{input} について、異なる量子化閾値 θ に対する変換誤差を評価した結果を図 1 3 に示す。さらに、 θ を変化させた場合の変換誤差を、異なる入力信号 x_{input} に対して求めた結果を図 1 4 に示す。これらの結果より、本発明の回路は、量子化閾値 θ が変動しているにも関わらず、入力信号 x_{input} を、設定した変換精度以上で正しく A / D 変換していることが確認された。すなわち、本発明の回路は負の写像に基づく A / D 変換の特徴である、 θ の変動に対してロバストであることが確認できた。

【 0 0 8 9 】

さらに、図 1 2 に示す回路において、ビット長 $L = 13$ としてカオス発生回路を実現した。図 1 5 は、 $\gamma = 1.5$ の時に SPICEシミュレーションから得られたカオスアトラクタの例である。表 1 より、この場合の不変部分区間は、 $[LB = s^{-1} - \gamma^{-1} = 0.5, UB = s - \gamma = 2.5)$ である。図 1 5 に示すように、カオスアトラクタは不変部分区間に留まっていることがわかる。

40

【 0 0 9 0 】

上記したように本発明では、負の写像に基づくデータコンバート方式による A / D 変換器を、離散時間積分器を用いて実現する手法を提案した。離散時間積分器は、アナログ集積回路技術の中核をなす回路要素であり、集積回路中では最も良く用いられる。したがって、本発明の負の写像に基づく A / D コンバータ回路は集積回路化に適していると考

50

えられる。また、例としてスイッチト・キャパシタ回路を用いて具体的な回路を複数種類実現した。本発明の負の写像に基づくA/D変換器は、正の写像に基づくA/D変換器に比べ、閾値の許容範囲の端で不変部分区間が拡大するため、閾値が許容範囲の端に近付いても変換精度の劣化が少ない。

【0091】

さらに、負の写像に基づくデータコンバート方式によるA/D変換器を、カオス発生回路として応用する手法を提案した。負の写像の解軌道は、最終的には有限な不変部分区間内に閉じ込められるため、本発明に係るカオス発生回路は、回路素子の非理想特性やノイズに対しロバストであり、安定に動作する。

【0092】

最後に、理想回路素子を用いたS P I C E回路シミュレーションにより、本発明の負の写像に基づくデータコンバート方式によるA/Dコンバータ回路の動作を確認し、その妥当性を検証した。

【0093】

本発明の負の写像に基づくA/D変換器は、回路素子の非理想特性などによる回路特性の変化やノイズに対してロバストであり、小型で低消費電力、また、安価で高性能なA/Dコンバータ回路やカオス発生回路の実現、特に、集積回路化に貢献できる。さらに集積回路化においては、回路素子のマッチングや素子特性が悪いため、アナログ回路の集積化には適さないサブミクロン以下の半導体プロセスなどでも、本発明の負の写像に基づくA/D変換回路やカオス発生回路は適している。また、本発明の負の写像に基づくA/D変換器は、使用環境が大きく変動するシステムに用いられる各種回路、例えば、大規模なセンサーネットワーク用回路やセンサーダスト用のセンサーノード回路、大規模災害時の緊急通信ノード回路、宇宙空間に用いる各種回路、車載回路、移動ロボット用回路、無線通信端末用回路など、非常に広範囲な回路やシステムに応用可能である。さらに、このA/D変換器を応用したカオス発生回路は、暗号、カオス通信、乱数発生、カオスを用いた情報処理の分野で広く利用可能である。

【0094】

なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【産業上の利用可能性】

【0095】

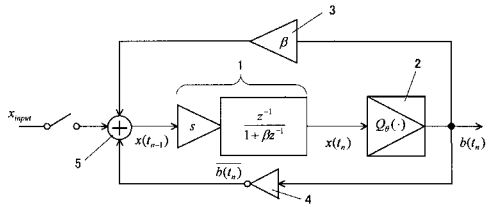
本発明の負の写像に基づくデータコンバート方式は、環境や回路特性の変化にロバストであり、小型で低消費電力、安価で高性能なA/Dコンバータ回路やカオス発生回路の実現に貢献できる。

10

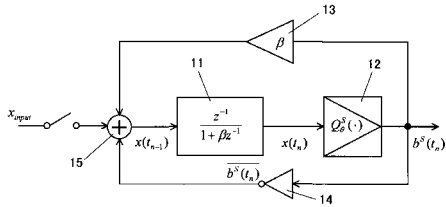
20

30

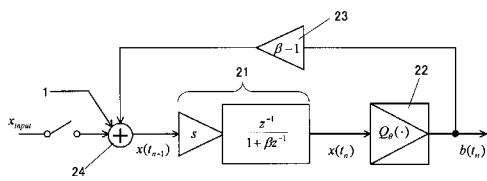
【 図 1 】



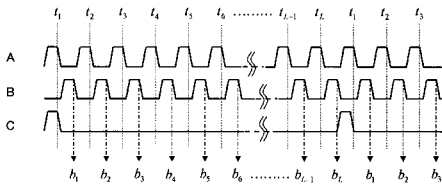
【 図 2 】



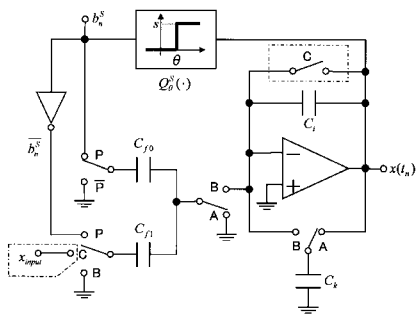
【 図 3 】



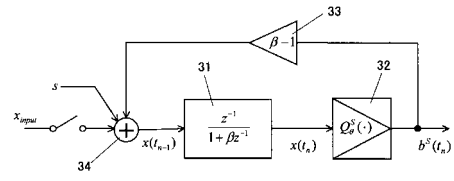
【 図 7 】



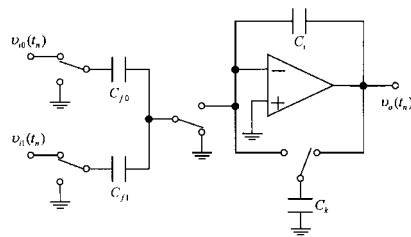
【 図 8 】



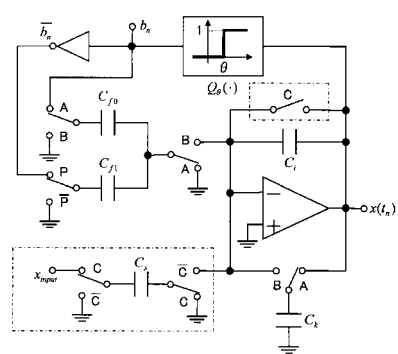
【 図 4 】



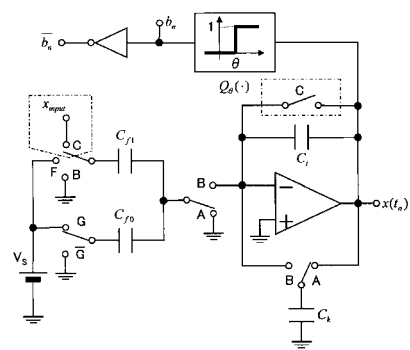
【 図 5 】



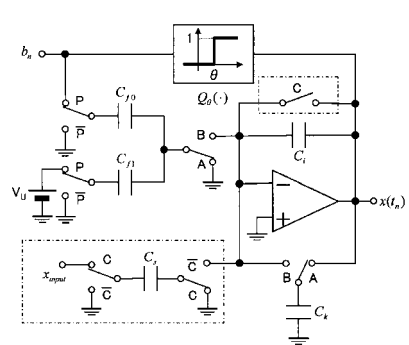
【 図 6 】



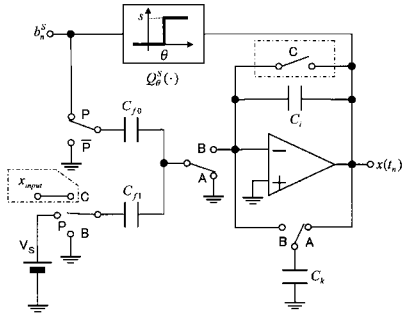
【 図 9 】



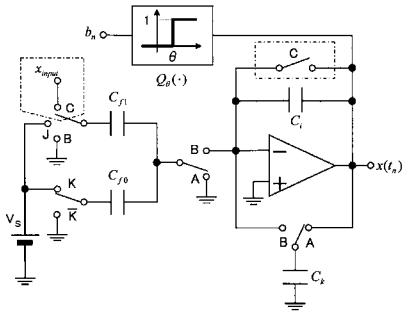
【 図 10 】



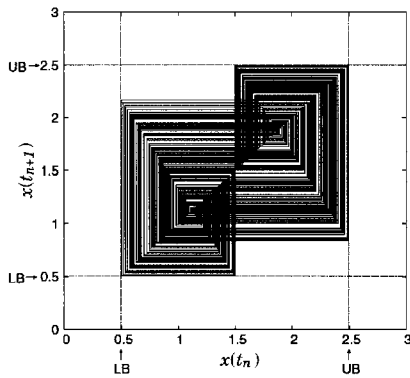
【 図 1 1 】



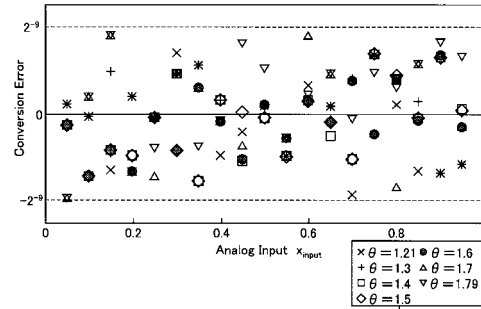
【 図 1 2 】



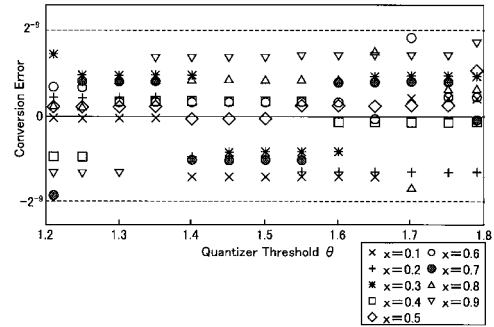
【 図 1 5 】



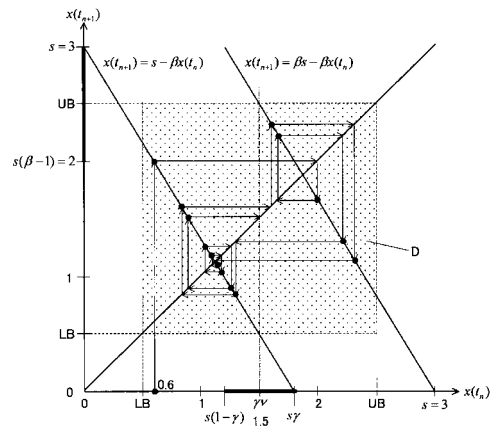
【 図 1 3 】



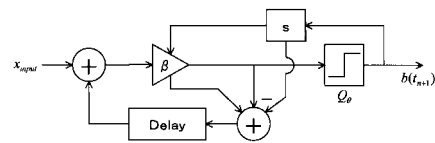
【 図 1 4 】



【 図 1 6 】



【 図 1 7 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2011/001666
A. CLASSIFICATION OF SUBJECT MATTER H03M1/08(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03M1/00-1/88, H03M3/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) IEEE Xplore, CiNii		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/024196 A1 (Japan Science and Technology Agency), 04 March 2010 (04.03.2010), entire text; all drawings (Family: none)	1-9
A	Daubechies, I.; DeVore, R.; Gunturk, C.S.; Vaishampayan, V.A.;, "Beta expansions: a new approach to digitally corrected A/D conversion", Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on, 2002, vol.2, Pages II-784 - II-787	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 11 April, 2011 (11.04.11)		Date of mailing of the international search report 19 April, 2011 (19.04.11)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2011/001666									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/08(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/00-1/88, H03M3/00											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2011年										
日本国実用新案登録公報	1996-2011年										
日本国登録実用新案公報	1994-2011年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) IEEE Xplore, CiNii											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2010/024196 A1 (独立行政法人科学技術振興機構) 2010.03.04, 全文全図 (ファミリーなし)	1-9									
A	Daubechies, I.; DeVore, R.; Gunturk, C. S.; Vaishampayan, V. A.; "Beta expansions: a new approach to digitally corrected A/D conversion", Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on, 2002, vol.2, Pages II-784 - II-787	1-9									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 11.04.2011		国際調査報告の発送日 19.04.2011									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 柳下 勝幸	5 X 9561								
		電話番号 03-3581-1101	内線 3596								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 合原 一幸

日本国千葉県習志野市谷津四丁目8番8号208

Fターム(参考) 5J022 AA00 BA06 CB04 CB06 CD05 CF03

5J064 AA04 BA03 BC06 BC08 BC10 BC13 BC16

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。