

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5728787号  
(P5728787)

(45) 発行日 平成27年6月3日(2015.6.3)

(24) 登録日 平成27年4月17日(2015.4.17)

(51) Int.Cl. F I  
**H03K 3/037 (2006.01)** H03K 3/037 B  
**H03K 3/013 (2006.01)** H03K 3/013

請求項の数 9 (全 28 頁)

<p>(21) 出願番号 特願2012-519416 (P2012-519416)                  (86) (22) 出願日 平成23年6月8日(2011.6.8)                  (86) 国際出願番号 PCT/JP2011/063154                  (87) 国際公開番号 W02011/155532                  (87) 国際公開日 平成23年12月15日(2011.12.15)                  審査請求日 平成26年3月6日(2014.3.6)                  (31) 優先権主張番号 特願2010-134066 (P2010-134066)                  (32) 優先日 平成22年6月11日(2010.6.11)                  (33) 優先権主張国 日本国(JP)</p> <p>特許権者において、権利譲渡・実施許諾の用意がある。</p>	<p>(73) 特許権者 504255685                  国立大学法人京都工芸繊維大学                  京都府京都市左京区松ヶ崎橋上町1番地                  (74) 代理人 110000338                  特許業務法人HARAKENZO WORLD PATENT &amp; TRADEMARK                  (72) 発明者 小林 和淑                  日本国京都府京都市左京区松ヶ崎橋上町1番地 国立大学法人京都工芸繊維大学内                  (72) 発明者 古田 潤                  日本国京都府京都市左京区浄土寺東田町67 ジュンヒル201</p>
--	---

最終頁に続く

(54) 【発明の名称】 フリップフロップ回路、半導体装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

入力データを保持するフリップフロップ回路であって、  
 前記入力データをラッチする第1および第2のマスタラッチ回路と、  
 第1のマスタラッチ回路の反転出力および第2のマスタラッチ回路の反転出力が入力される第1のCエレメント回路と、  
 第1のマスタラッチ回路の非反転出力および第2のマスタラッチ回路の非反転出力が入力される第2のCエレメント回路と、  
 第1のCエレメント回路の出力をラッチする第1のスレーブラッチ回路と、  
 第2のCエレメント回路の出力をラッチする第2のスレーブラッチ回路と、  
 第1のスレーブラッチ回路の反転出力および第2のスレーブラッチ回路の反転出力が入力される第3のCエレメント回路と、  
 第1のスレーブラッチ回路の非反転出力および第2のスレーブラッチ回路の非反転出力が入力される第4のCエレメント回路と、  
 相互接続された第1および第2のインバータ回路と、  
 相互接続された第3および第4のインバータ回路と、を備え、  
 第1のインバータ回路の入力端子と第2のインバータ回路の出力端子とは、第1のCエレメント回路の出力端子と第1のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、  
 第1のインバータ回路の出力端子と第2のインバータ回路の入力端子とは、第2のCエ

10

20

レメント回路の出力端子と第 2 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、

第 3 のインバータ回路の入力端子と第 4 のインバータ回路の出力端子とは、第 3 の C エレメント回路の出力端子に接続され、

第 3 のインバータ回路の出力端子と第 4 のインバータ回路の入力端子とは、第 4 の C エレメント回路の出力端子に接続されている、ことを特徴とするフリップフロップ回路。

【請求項 2】

入力データを保持するフリップフロップ回路であって、

前記入力データをラッチする第 1 および第 2 のマスタラッチ回路と、

第 1 のマスタラッチ回路の反転出力および第 2 のマスタラッチ回路の反転出力が入力される第 1 の C エレメント回路と、

第 1 のマスタラッチ回路の非反転出力および第 2 のマスタラッチ回路の非反転出力が入力される第 2 の C エレメント回路と、

第 1 の C エレメント回路の出力をラッチする第 1 のスレーブラッチ回路と、

第 2 の C エレメント回路の出力をラッチする第 2 のスレーブラッチ回路と、

第 1 のスレーブラッチ回路の反転出力および第 2 のスレーブラッチ回路の反転出力が入力される第 3 の C エレメント回路と、

相互接続された第 1 および第 2 のインバータ回路と、

相互接続された第 3 および第 4 のインバータ回路と、を備え、

第 1 のインバータ回路の入力端子と第 2 のインバータ回路の出力端子とは、第 1 の C エレメント回路の出力端子と第 1 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、

第 1 のインバータ回路の出力端子と第 2 のインバータ回路の入力端子とは、第 2 の C エレメント回路の出力端子と第 2 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、

第 3 のインバータ回路の入力端子と第 4 のインバータ回路の出力端子とは、第 3 の C エレメント回路の出力端子に接続されている、ことを特徴とするフリップフロップ回路。

【請求項 3】

入力データを保持するフリップフロップ回路であって、

前記入力データをラッチする第 1 および第 2 のマスタラッチ回路と、

第 1 のマスタラッチ回路の反転出力および第 2 のマスタラッチ回路の反転出力が入力される第 1 の C エレメント回路と、

第 1 のマスタラッチ回路の非反転出力および第 2 のマスタラッチ回路の非反転出力が入力される第 2 の C エレメント回路と、

第 1 の C エレメント回路の出力をラッチする第 1 のスレーブラッチ回路と、

第 2 の C エレメント回路の出力をラッチする第 2 のスレーブラッチ回路と、

第 1 のスレーブラッチ回路の非反転出力および第 2 のスレーブラッチ回路の非反転出力が入力される第 4 の C エレメント回路と、

相互接続された第 1 および第 2 のインバータ回路と、

相互接続された第 3 および第 4 のインバータ回路と、を備え、

第 1 のインバータ回路の入力端子と第 2 のインバータ回路の出力端子とは、第 1 の C エレメント回路の出力端子と第 1 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、

第 1 のインバータ回路の出力端子と第 2 のインバータ回路の入力端子とは、第 2 の C エレメント回路の出力端子と第 2 のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、

第 3 のインバータ回路の出力端子と第 4 のインバータ回路の入力端子とは、第 4 の C エレメント回路の出力端子に接続されている、ことを特徴とするフリップフロップ回路。

【請求項 4】

さらに遅延回路を備え、

前記入力データは、前記遅延回路を介して第2のマスタラッチ回路に入力される、ことを特徴とする請求項1～3のいずれか1項に記載のフリップフロップ回路。

【請求項5】

第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、

第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、

第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子との間を接続するノードを第3のノード、

10

第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、

第2のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、

第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、

第1のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の一方の入力端子との間を接続するノードを第7のノード、

第2のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の他方の入力端子との間を接続するノードを第8のノード、

20

第4のCエレメント回路の出力端子と第3のインバータ回路の出力端子と第4のインバータ回路の入力端子との間を接続するノードを第9のノード、

第1のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の一方の入力端子との間を接続するノードを第10のノード、

第2のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の他方の入力端子との間を接続するノードを第11のノード、

第3のCエレメント回路の出力端子と第3のインバータ回路の入力端子と第4のインバータ回路の出力端子との間を接続するノードを第12のノードとして、

第1～第3の各ノード間の距離、第4～第6の各ノード間の距離、第7～第9の各ノード間の距離、並びに、第10～第12の各ノード間の距離が、 $0.86\mu\text{m}$ 以上であることを特徴とする請求項1に記載のフリップフロップ回路。

30

【請求項6】

第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、

第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、

第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子との間を接続するノードを第3のノード、

40

第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、

第2のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、

第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、

第1のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の一方の入力端子との間を接続するノードを第7のノード、

第2のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の他方の入力端子

50

との間を接続するノードを第 8 のノード、

第 3 のインバータ回路の出力端子と第 4 のインバータ回路の入力端子との間を接続するノードを第 9 のノードとして、

第 1 ~ 第 3 の各ノード間の距離、第 4 ~ 第 6 の各ノード間の距離、並びに、第 7 ~ 第 9 の各ノード間の距離が、 $0.86 \mu\text{m}$ 以上であることを特徴とする請求項 2 に記載のフリップフロップ回路。

【請求項 7】

第 1 のマスタラッチ回路の反転出力端子と第 1 の C エlement 回路の一方の入力端子との間を接続するノードを第 1 のノード、

第 2 のマスタラッチ回路の反転出力端子と第 1 の C エlement 回路の他方の入力端子との間を接続するノードを第 2 のノード、

第 2 の C エlement 回路の出力端子と第 1 のインバータ回路の出力端子と第 2 のインバータ回路の入力端子と第 2 のスレーブラッチ回路の入力端子との間を接続するノードを第 3 のノード、

第 1 のマスタラッチ回路の非反転出力端子と第 2 の C エlement 回路の一方の入力端子との間を接続するノードを第 4 のノード、

第 2 のマスタラッチ回路の非反転出力端子と第 2 の C エlement 回路の他方の入力端子との間を接続するノードを第 5 のノード、

第 1 の C エlement 回路の出力端子と第 1 のインバータ回路の入力端子と第 2 のインバータ回路の出力端子と第 1 のスレーブラッチ回路の入力端子との間を接続するノードを第 6 のノード、

第 1 のスレーブラッチ回路の非反転出力端子と第 4 の C エlement 回路の一方の入力端子との間を接続するノードを第 10 のノード、

第 2 のスレーブラッチ回路の非反転出力端子と第 4 の C エlement 回路の他方の入力端子との間を接続するノードを第 11 のノード、

第 3 のインバータ回路の入力端子と第 4 のインバータ回路の出力端子との間を接続するノードを第 12 のノードとして、

第 1 ~ 第 3 の各ノード間の距離、第 4 ~ 第 6 の各ノード間の距離、並びに、第 10 ~ 第 12 の各ノード間の距離が、 $0.86 \mu\text{m}$ 以上であることを特徴とする請求項 3 に記載のフリップフロップ回路。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載のフリップフロップ回路を備えた半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ソフトエラーに対する耐性を高めたフリップフロップ回路に関する。

【背景技術】

【0002】

プロセスの微細化に伴い、ソフトエラーに代表される一過性のエラーが増加している。ソフトエラーは宇宙空間や S R A M の問題であったが、近年では地上でもソフトエラーの対策が必要となってきている。地上でのソフトエラーの主要因は、高エネルギー中性子である。

【0003】

図 9 に示すように、高エネルギー中性子が基板の S i 原子に衝突すると 2 次イオンが生じる。2 次イオンが拡散層の近傍を通過すると、拡散や空乏層の電界によるドリフトにより拡散層に電子または正孔が集まる。この電子または正孔によりドレインの電荷が変化して出力が反転する。

【0004】

10

20

30

40

50

ソフトエラーは、高エネルギー中性子が衝突する場所によって、SEU (Single Event Upset)、SET (Single Event Transient) およびMCU (Multiple Cell Upset) の3種類に分類される。SEUは、図10の(a)に示すように、高エネルギー中性子がFF (フリップフロップ) やSRAMに衝突して直接保持データを反転させるエラーである。SETは、図10の(b)に示すように、高エネルギー中性子が組合せ回路に衝突してパルスが発生させるエラーである。MCUは、図10の(c)に示すように、集積度の高いSRAMにおいて、一度に複数のSRAMの保持データが反転するエラーである。

#### 【0005】

FFのSEUによるエラー率は $1e-3$  FIT付近まで増加している。FITとは、 $1e9$ 時間にエラーが発生する回数の期待値であり、100万個のFFが使用されるチップでは、約100年間使用すると1度エラーが起こる計算となる。なお、FFとSRAMとでは、SEUによるエラー率は同等である。

10

#### 【0006】

SETの場合はパルスがラッチ回路に取り込まれることでエラーとなるため、SETによるエラー率はSEUによるエラー率に比べて小さくなる。しかしながら、高いソフトエラー耐性を持つ回路を実現するためには、SEUだけでなく、SETによるエラーの対策も不可欠である。SEUおよびSETによるエラーを軽減するために、FFを冗長化した複数モジュラーFFが使用されている。複数モジュラーFFを用いた回路構成として、TMR (Triple Modular Redundancy) および遅延挿入TMR (DTMR) がある。

20

#### 【0007】

図11は、一般的なTMRであるフリップフロップ回路FF50の構成を示す図である。フリップフロップ回路FF50は、3つのマスタラッチ回路LAT51~LAT53、3つのスレーブラッチ回路LAT54~LAT56、3つの多数決回路VOT51~VOT53、および1つのインバータ回路INV51を備えている。マスタラッチ回路LAT51~LAT53の各入力端子にはそれぞれ、3つの組合せ回路COMB51~COMB53からの入力データIN0・IN1・IN2が入力される。また、スレーブラッチ回路LAT54~LAT56はそれぞれ、出力データOUT0・OUT1・OUT2を出力する。

30

#### 【0008】

このように、フリップフロップ回路FF50では、組合せ回路、マスタラッチ回路、スレーブラッチ回路および多数決回路を3重化している。これにより、複数のラッチ回路が同時に反転しない限りエラーとならないため、エラー耐性は非常に高い。しかしながら、ラッチ回路および多数決回路だけでなく、組合せ回路も3重化しているため、フリップフロップ回路FF50の回路規模は、普通の非冗長FFの回路規模に比べ3倍以上となってしまい、面積のオーバーヘッドが大きい。

#### 【0009】

図12は、一般的なDTMRであるフリップフロップ回路FF60の構成を示す図である。フリップフロップ回路FF60は、3つのマスタラッチ回路LAT61~LAT63、3つのスレーブラッチ回路LAT64~LAT66、1つの多数決回路VOT61、2つの遅延回路DEL61・DEL62および1つのインバータ回路INV61を備えている。マスタラッチ回路LAT61の入力端子および遅延回路DEL61の入力端子には、組合せ回路COMB61からの入力データINが入力される。また、多数決回路VOT61は、出力データOUTを出力する。

40

#### 【0010】

このように、フリップフロップ回路FF60では、組合せ回路を3重化せずに、組合せ回路COMB61に生じたSETパルスを、2つの遅延回路DEL61・DEL62によって除去している。これにより、多数決回路VOT61で生じたSETパルスも次段の遅延回路によって除去されるため、多数決回路VOT61は3重化する必要がない。よって

50

、フリップフロップ回路 F F 6 0 は、T M R であるフリップフロップ回路 F F 5 0 に比べ回路規模は小さい。しかしながら、フリップフロップ回路 F F 6 0 では、2 つの遅延回路 D E L 6 1 ・ D E L 6 2 によって遅延時間が増大するという問題がある。

【 0 0 1 1 】

また、フリップフロップ回路 F F 5 0 およびフリップフロップ回路 F F 6 0 では、多数決回路を使用しているため、M C U によるエラー耐性が低いという問題がある。具体的には、3 つのマスタラッチ回路のうちの 2 つ、または 3 つのスレーブラッチ回路のうちの 2 つが反転すると、出力も反転してしまう。

【 0 0 1 2 】

上記のフリップフロップ回路 F F 5 0 およびフリップフロップ回路 F F 6 0 に対し、C  
エレメント回路およびウィークキーパー回路を使用した遅延挿入 D M R ( D D M R、B I  
S E R ) が提案されている。図 1 3 の ( a ) は、B I S E R であるフリップフロップ回路  
F F 7 0 の構成を示す図であり、図 1 3 の ( b ) は、フリップフロップ回路 F F 7 0 の C  
エレメント回路の構成を示す図である。

10

【 0 0 1 3 】

図 1 3 の ( a ) に示すように、フリップフロップ回路 F F 7 0 は、2 つのマスタラッチ  
回路 L A T 7 1 ・ L A T 7 2、2 つのスレーブラッチ回路 L A T 7 3 ・ L A T 7 4、2 つ  
の C エlement 回路 C E 7 1 ・ C E 7 2、2 つのウィークキーパー回路 W K 7 1 ・ W K 7  
2、1 つの遅延回路 D E L 7 1 および 1 つのインバータ回路 I N V 7 1 を備えている。マ  
スタラッチ回路 L A T 7 1 の入力端子および遅延回路 D E L 7 1 の入力端子には、組合せ  
回路 C O M B 7 1 からの入力データ I N が入力される。

20

【 0 0 1 4 】

ウィークキーパー回路 W K 7 1 は、2 つのインバータ回路 I N V 7 2 ・ I N V 7 3 から  
構成されている。同様に、ウィークキーパー回路 W K 7 2 は、2 つのインバータ回路 I N  
V 7 4 ・ I N V 7 5 から構成されている。これにより、ウィークキーパー回路 W K 7 1 ・  
W K 7 2 はそれぞれ、C エlement 回路 C E 7 1 ・ C E 7 2 からの出力データを保持する  
。

【 0 0 1 5 】

図 1 3 の ( b ) に示すように、C エlement 回路は、2 つの P M O S トランジスタ M P  
1 ・ M P 2 および 2 つの N M O S トランジスタ M N 1 ・ M N 2 を備えている。トランジスタ  
M P 1 ・ M P 2 は、電源電位 V C C と出力ノード N 3 との間に直列接続されており、N  
M O S トランジスタ M N 1 ・ M N 2 は、出力ノード N 3 と接地電位 V S S との間に直列  
接続されている。また、トランジスタ M P 1 ・ M N 2 の各ゲートが C エlement 回路の第 1  
の入力ノード N 1 に接続され、トランジスタ M P 2 ・ M N 1 の各ゲートが C エlement 回  
路の第 2 の入力ノード N 2 に接続されている。これにより、C エlement 回路は、入力ノ  
ード N 1 ・ N 2 に入力される値が互いに異なる場合は、直前の値を保持する。

30

【 0 0 1 6 】

このため、フリップフロップ回路 F F 7 0 では、マスタラッチ回路の一方の保持デー  
タが反転してもエラーとならない。また、組合せ回路 C O M B 7 1 に生じた S E T パルスも  
、遅延回路 D E L 7 1 によって除去される。さらに、フリップフロップ回路 F F 7 0 の回  
路規模は D T M R と比べても小さく、遅延回路も 1 つであるため遅延時間も D T M R ほど  
大きくなる。

40

【 0 0 1 7 】

しかしながら、図 1 3 に示すフリップフロップ回路 F F 7 0 では、C エlement 回路で  
生じた S E T パルスによるエラーに脆弱であるという欠点がある。具体的には、図 1 4 に  
示すように、C エlement 回路に高エネルギー中性子が衝突することによって S E T パル  
スが生じると、その S E T パルスを 2 つのスレーブラッチ回路 L A T 7 3 ・ L A T 7 4 の  
両方がラッチしてしまうため、後段の C エlement 回路 C E 7 2 の出力が反転してしま  
う。また、フリップフロップ回路 F F 7 0 は、クロック周波数が低いときにはエラー耐性  
が高いが、クロック周波数の増加とともにエラー耐性が低くなるという問題を有して  
いる。

50

## 【0018】

そこで、本出願の発明者は、エラー耐性をさらに強化したDMRとして、 $D^3$ MR (Double Delayed DMR) および  $ED^2$ MR (Enhanced Delayed DMR) を提案した (非特許文献1)。

## 【0019】

図15は、 $D^3$ MRであるフリップフロップ回路FF80の構成を示す図である。フリップフロップ回路FF80は、図13に示すフリップフロップ回路FF70において、スレーブリッチ回路LAT74の入力端子の前に遅延回路DEL81を挿入した構成である。遅延回路DEL81によって、Cエレメント回路CE71で生じたSETパルスを除去することができる。

10

## 【0020】

図16は、 $ED^2$ MRであるフリップフロップ回路FF90の構成を示す図である。フリップフロップ回路FF90は、図13に示すフリップフロップ回路FF70において、Cエレメント回路CE91およびウィークキーパー回路WK91をさらに備え、Cエレメント回路CE71およびウィークキーパー回路WK71をスレーブリッチ回路LAT73に接続し、Cエレメント回路CE91およびウィークキーパー回路WK91をスレーブリッチ回路LAT74に接続した構成である。ウィークキーパー回路WK91は、ウィークキーパー回路WK71・WK72と同様に、2つのインバータ回路INV91・INV92から構成されている。

20

## 【0021】

フリップフロップ回路FF90では、マスタリッチ回路とスレーブリッチ回路との間のCエレメント回路とウィークキーパー回路を2重にしているので、Cエレメント回路CE71・CE91の一方でSETパルスが生じても、後段のCエレメント回路CE72の出力は反転しない。これにより、Cエレメント回路で生じたSETパルスによるエラーに対する耐性を高めることができる。

## 【先行技術文献】

## 【非特許文献】

## 【0022】

【非特許文献1】古田 潤、小林 和淑、小野寺 秀俊、「高いSEU/SET耐性を持つ省面積・低遅延二重化フリップフロップ」、第22回回路とシステム軽井沢ワークショップ、2009年4月、p.456 - 461

30

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0023】

しかしながら、図15に示すフリップフロップ回路FF80では、図13に示すフリップフロップ回路FF70に遅延回路をさらに挿入した構成であるため、遅延時間のオーバーヘッドが増大してしまうという問題がある。

## 【0024】

また、図16に示すフリップフロップ回路FF90では、図13に示すフリップフロップ回路FF70と比較して、遅延時間の増加なしにCエレメント回路で生じたSETパルスを防ぐことができるが、Cエレメント回路CE91およびウィークキーパー回路WK91を追加しているため、回路面積のオーバーヘッドが大きいという問題がある。

40

## 【0025】

また、従来のフリップフロップ回路では、Cエレメント回路およびウィークキーパー回路を構成するトランジスタの製造ばらつきに対する遅延時間の変化が大きいという問題がある。図17は、図13に示すフリップフロップ回路FF70および図16に示すフリップフロップ回路FF90における、遅延時間のばらつきを示すグラフである。同図では、Cエレメント回路およびウィークキーパー回路を構成するトランジスタのゲート長が製造ばらつきにより変化した場合の遅延時間の変化をモンテカルロシミュレーションにより評価したものである。ゲート長は  $1 = 1 \text{ nm}$  の正規分布に従ってばらつく想定し、電源

50

電圧は1.2Vとしている。横軸はフリップフロップ回路FF70・FF90の平均遅延時間を1として正規化している。フリップフロップ回路FF70の遅延時間は±3%まで分布しており、フリップフロップ回路FF90の遅延時間は±2.5%まで分布していることが分かる。

【0026】

本発明は、上記の問題点を解決するためになされたもので、その目的は、回路面積を大幅に縮小することができ、かつ、遅延時間のばらつきの少ないフリップフロップ回路を実現することにある。

【課題を解決するための手段】

【0027】

上記の課題を解決するために、本発明に係るフリップフロップ回路は、入力データを保持するフリップフロップ回路であって、前記入力データをラッチする第1および第2のマスタラッチ回路と、第1のマスタラッチ回路の反転出力および第2のマスタラッチ回路の反転出力が入力される第1のCエレメント回路と、第1のマスタラッチ回路の非反転出力および第2のマスタラッチ回路の非反転出力が入力される第2のCエレメント回路と、第1のCエレメント回路の出力をラッチする第1のスレーブラッチ回路と、第2のCエレメント回路の出力をラッチする第2のスレーブラッチ回路と、第1のスレーブラッチ回路の反転出力および第2のスレーブラッチ回路の反転出力が入力される第3のCエレメント回路と、第1のスレーブラッチ回路の非反転出力および第2のスレーブラッチ回路の非反転出力が入力される第4のCエレメント回路と、相互接続された第1および第2のインバータ回路と、相互接続された第3および第4のインバータ回路と、を備え、第1のインバータ回路の入力端子と第2のインバータ回路の出力端子とは、第1のCエレメント回路の出力端子と第1のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第1のインバータ回路の出力端子と第2のインバータ回路の入力端子とは、第2のCエレメント回路の出力端子と第2のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第3のインバータ回路の入力端子と第4のインバータ回路の出力端子とは、第3のCエレメント回路の出力端子に接続され、第3のインバータ回路の出力端子と第4のインバータ回路の入力端子とは、第4のCエレメント回路の出力端子に接続されていることを特徴としている。

【0028】

上記の構成によれば、第1のCエレメント回路は、第1のマスタラッチ回路の反転出力と第2のマスタラッチ回路の反転出力とが異なる値の場合、直前のデータを保持する。また、第2のCエレメント回路は、第1のマスタラッチ回路の非反転出力と第2のマスタラッチ回路の非反転出力とが異なる値の場合、直前のデータを保持する。このため、ソフトウェアによって第1および第2のマスタラッチ回路のいずれかの出力が反転しても、第1および第2のCエレメント回路の出力は反転しない。すなわち、第1および第2のインバータ回路は、第1のCエレメント回路からの出力のウィークキーパー回路としての機能と、第2のCエレメント回路からの出力のウィークキーパー回路としての機能との両方を備えている。したがって、第1および第2のCエレメント回路のそれぞれにウィークキーパー回路を設ける従来構成に比べ、回路面積を縮小することができる。

【0029】

同様に、第3のCエレメント回路は、第1のスレーブラッチ回路の反転出力と第2のスレーブラッチ回路の反転出力とが異なる値の場合、直前のデータを保持する。また、第4のCエレメント回路は、第1のスレーブラッチ回路の非反転出力と第2のスレーブラッチ回路の非反転出力とが異なる値の場合、直前のデータを保持する。このため、ソフトウェアによって第1および第2のスレーブラッチ回路のいずれかの出力が反転しても、第3および第4のCエレメント回路の出力は反転しない。すなわち、第3および第4のインバータ回路は、第3のCエレメント回路からの出力のウィークキーパー回路としての機能と、第4のCエレメント回路からの出力のウィークキーパー回路としての機能との両方を備えている。したがって、第3および第4のCエレメント回路のそれぞれにウィークキーパー

10

20

30

40

50



回路を設ける従来構成に比べ、回路面積を縮小することができる。

【0030】

また、ソフトエラーによって第1および第2のCエレメント回路のいずれかの出力が反転しても、反転した出力が第1および第2のスレーブラッチ回路にラッチされることを防止することができる。同様に、ソフトエラーによって第3および第4のCエレメント回路のいずれかの出力が反転しても、反転した出力がフリップフロップ回路から出力されることを防止することができる。

【0031】

また、相互接続されたインバータ回路で構成されるデータ保持回路は、二重化されたCエレメント回路のそれぞれに接続される従来ウィークキーパー回路に比べ、保持データの書き換えが容易である。そのため、第1～第4のCエレメント回路を構成するトランジスタのサイズを、従来フリップフロップ回路のCエレメント回路を構成するトランジスタに比べて小さくすることが可能となる。よって、本発明に係るフリップフロップ回路は、従来フリップフロップ回路に比べて、回路面積をさらに小さくすることが可能である。

10

【0032】

相互接続されたインバータ回路で構成されるデータ保持回路は、二重化されたCエレメント回路のそれぞれに接続される従来ウィークキーパー回路に比べ、保持データの書き換えが容易である。そのため、ばらつきによってウィークキーパー回路を構成するトランジスタのゲート長や閾値電圧が変化しても遅延時間に与える影響が小さい。

20

【0033】

また、保持データの書き換えが容易であるため、ウィークキーパー回路を構成するトランジスタのサイズを小さくする必要がない。そのため、ウィークキーパー回路を構成するトランジスタのゲート長や閾値電圧のばらつきが小さくなり、遅延時間のばらつきが改善する。したがって、回路面積を大幅に縮小することができ、かつ、遅延時間のばらつきの少ないフリップフロップ回路を実現することができる。

【発明の効果】

【0034】

以上のように、本発明に係るフリップフロップ回路は、入力データを保持するフリップフロップ回路であって、前記入力データをラッチする第1および第2のマスタラッチ回路と、第1のマスタラッチ回路の反転出力および第2のマスタラッチ回路の反転出力が入力される第1のCエレメント回路と、第1のマスタラッチ回路の非反転出力および第2のマスタラッチ回路の非反転出力が入力される第2のCエレメント回路と、第1のCエレメント回路の出力をラッチする第1のスレーブラッチ回路と、第2のCエレメント回路の出力をラッチする第2のスレーブラッチ回路と、第1のスレーブラッチ回路の反転出力および第2のスレーブラッチ回路の反転出力が入力される第3のCエレメント回路と、第1のスレーブラッチ回路の非反転出力および第2のスレーブラッチ回路の非反転出力が入力される第4のCエレメント回路と、相互接続された第1および第2のインバータ回路と、相互接続された第3および第4のインバータ回路と、を備え、第1のインバータ回路の入力端子と第2のインバータ回路の出力端子とは、第1のCエレメント回路の出力端子と第1のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第1のインバータ回路の出力端子と第2のインバータ回路の入力端子とは、第2のCエレメント回路の出力端子と第2のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第3のインバータ回路の入力端子と第4のインバータ回路の出力端子とは、第3のCエレメント回路の出力端子に接続され、第3のインバータ回路の出力端子と第4のインバータ回路の入力端子とは、第4のCエレメント回路の出力端子に接続されている構成であるので、回路面積を大幅に縮小することができ、かつ、遅延時間のばらつきの少ないフリップフロップ回路を実現することができるという効果を奏する。

30

40

【図面の簡単な説明】

【0035】

50

【図1】本発明の第1の実施形態に係るフリップフロップ回路の構成を示す図である。

【図2】従来のフリップフロップ回路および本実施形態に係るフリップフロップ回路における、遅延回路の遅延時間に対するエラー率を示すグラフである。

【図3】従来のフリップフロップ回路および本実施形態に係るフリップフロップ回路の、回路面積に対するエラー率を示すグラフである。

【図4】従来のフリップフロップ回路および本実施形態に係るフリップフロップ回路における、遅延時間のばらつきを示すグラフである。

【図5】(a)は、図16に示す従来のフリップフロップ回路の一部の回路構成を示す図であり、(b)は、本実施形態に係るフリップフロップ回路の一部の回路構成を示す図である。

10

【図6】図13に示す従来のフリップフロップ回路および本実施形態に係るフリップフロップ回路の、動作電圧に対する遅延時間および出力を示す表である。

【図7】フリップフロップ回路のエラー耐性を測定するための回路構成を示す図である。

【図8】シフト動作させるクロック周波数と、約3万回シフト動作させた場合のSEUによるエラー数との関係を示すグラフである。

【図9】ソフトエラーの発生を模式的に示す図である。

【図10】(a)は、SEU(Single Event Upset)のソフトエラーを示す図であり、(b)は、SET(Single Event Transient)のソフトエラーを示す図であり、(c)は、MCU(Multiple Cell Upset)のソフトエラーを示す図である。

20

【図11】従来のフリップフロップ回路の構成を示す図である。

【図12】従来の他のフリップフロップ回路の構成を示す図である。

【図13】(a)は、従来のさらに他のフリップフロップ回路の構成を示す図であり、(b)は、当該フリップフロップ回路のCエレメント回路の構成を示す図である。

【図14】図13の(a)に示すフリップフロップ回路のCエレメント回路に高エネルギー中性子が衝突してソフトエラーが発生した状態を示す図である。

【図15】従来のさらに他のフリップフロップ回路の構成を示す図である。

【図16】従来のさらに他のフリップフロップ回路の構成を示す図である。

【図17】図13に示すフリップフロップ回路および図16に示すフリップフロップ回路における、遅延時間のばらつきを示すグラフである。

30

【図18】本発明に係るフリップフロップ回路および従来のフリップフロップ回路の回路面積と遅延時間との関係を示すグラフである。

【図19】(a)は、本発明に係るフリップフロップ回路で構成された発振器の発振周波数のばらつきを示すグラフであり、(b)は、従来のフリップフロップ回路で構成された発振器の発振周波数のばらつきを示すグラフである。

【図20】図1に示すフリップフロップ回路におけるセンシティブノードを示す図である。

【図21】(a)は、センシティブノード間の距離とソフトエラー発生率との関係を示すグラフであり、(b)は、(a)に示すグラフの一部を拡大したグラフである。

【図22】本発明の第2の実施形態に係るフリップフロップ回路の一例を示す図である。

40

【図23】本発明の第2の実施形態に係るフリップフロップ回路の他の一例を示す図である。

【図24】本発明の第2の実施形態に係る液晶表示装置の要部構成を示すブロック図である。

【発明を実施するための形態】

【0036】

〔実施形態1〕

本発明の第1の実施形態について図1～図21に基づいて説明すれば以下のとおりである。

【0037】

50

(本実施形態に係るフリップフロップ回路の構成)

図1は、本実施形態に係るフリップフロップ回路FF10の構成を示す図である。フリップフロップ回路FF10は、組合せ回路COMB11からの入力データINを保持するフリップフロップ回路であって、2つのマスタラッチ回路LAT11・LAT12、2つのスレーブラッチ回路LAT13・LAT14、4つのCエレメント回路CE11~CE14、5つのインバータ回路INV11~INV15、および遅延回路DEL11を備えている。

【0038】

マスタラッチ回路LAT11・LAT12はそれぞれ、特許請求の範囲に記載の第1および第2のマスタラッチ回路に相当する。マスタラッチ回路LAT11の入力端子には、組合せ回路COMB11からの入力データINが入力される。また、マスタラッチ回路LAT12の入力端子には、組合せ回路COMB11からの入力データINが遅延回路DEL11を介して入力される。これにより、マスタラッチ回路LAT11・LAT12は、クロックCLKに応じて入力データINをラッチする。

10

【0039】

Cエレメント回路CE11は、特許請求の範囲に記載の第1のCエレメント回路に相当する。Cエレメント回路CE11の一方の入力端子は、マスタラッチ回路LAT11の反転出力端子バーQに接続されており、Cエレメント回路CE11の他方の入力端子は、マスタラッチ回路LAT12の反転出力端子バーQに接続されている。すなわち、Cエレメント回路CE11には、マスタラッチ回路LAT11の反転出力およびマスタラッチ回路LAT12の反転出力が入力される。

20

【0040】

Cエレメント回路CE12は、特許請求の範囲に記載の第2のCエレメント回路に相当する。Cエレメント回路CE12の一方の入力端子は、マスタラッチ回路LAT11の非反転出力端子Qに接続されており、Cエレメント回路CE12の他方の入力端子は、マスタラッチ回路LAT12の非反転出力端子Qに接続されている。すなわち、Cエレメント回路CE12には、マスタラッチ回路LAT11の非反転出力およびマスタラッチ回路LAT12の非反転出力が入力される。

【0041】

スレーブラッチ回路LAT13・LAT14はそれぞれ、特許請求の範囲に記載の第1および第2のスレーブラッチ回路に相当する。スレーブラッチ回路LAT13のデータ入力端子は、Cエレメント回路CE11の出力端子に接続されており、スレーブラッチ回路LAT13は、Cエレメント回路CE11の出力をラッチする。スレーブラッチ回路LAT14のデータ入力端子は、Cエレメント回路CE12の出力端子に接続されており、スレーブラッチ回路LAT14は、Cエレメント回路CE12の出力をラッチする。

30

【0042】

Cエレメント回路CE13は、特許請求の範囲に記載の第3のCエレメント回路に相当する。Cエレメント回路CE13の一方の入力端子は、スレーブラッチ回路LAT13の反転出力端子バーQに接続されており、Cエレメント回路CE13の他方の入力端子は、スレーブラッチ回路LAT14の反転出力端子バーQに接続されている。すなわち、Cエレメント回路CE13には、スレーブラッチ回路LAT13の反転出力およびスレーブラッチ回路LAT14の反転出力が入力される。

40

【0043】

Cエレメント回路CE14は、特許請求の範囲に記載の第4のCエレメント回路に相当する。Cエレメント回路CE14の一方の入力端子は、スレーブラッチ回路LAT13の非反転出力端子Qに接続されており、Cエレメント回路CE14の他方の入力端子は、スレーブラッチ回路LAT14の非反転出力端子Qに接続されている。すなわち、Cエレメント回路CE14には、スレーブラッチ回路LAT13の非反転出力およびスレーブラッチ回路LAT14の非反転出力が入力される。

【0044】

50

インバータ回路  $INV11 \cdot INV12$  はそれぞれ、特許請求の範囲に記載の第1および第2のインバータ回路に相当する。インバータ回路  $INV11 \cdot INV12$  は、相互接続されていると共に、インバータ回路  $INV11$  の入力端子とインバータ回路  $INV12$  の出力端子とは、Cエレメント回路  $CE11$  の出力端子とスレーブラッチ回路  $LAT13$  のデータ入力端子との間の接続点に接続されている。また、インバータ回路  $INV11$  の出力端子とインバータ回路  $INV12$  の入力端子とは、Cエレメント回路  $CE12$  の出力端子とスレーブラッチ回路  $LAT14$  のデータ入力端子との間の接続点に接続されている。

【0045】

インバータ回路  $INV13 \cdot INV14$  はそれぞれ、特許請求の範囲に記載の第3および第4のインバータ回路に相当する。インバータ回路  $INV13 \cdot INV14$  は、相互接続されていると共に、インバータ回路  $INV13$  の入力端子とインバータ回路  $INV14$  の出力端子とは、Cエレメント回路  $CE13$  の出力端子に接続されている。また、インバータ回路  $INV13$  の出力端子とインバータ回路  $INV14$  の入力端子とは、Cエレメント回路  $CE14$  の出力端子に接続されている。

【0046】

なお、Cエレメント回路  $CE11 \sim CE14$  の構成は、図13の(b)に示す構成と略同一である。

【0047】

(従来構成との比較)

このように、本実施形態に係るフリップフロップ回路  $FF10$  は、図16に示す従来のフリップフロップ回路  $FF90$  と同様に、Cエレメント回路を二重化した構造である。また、フリップフロップ回路  $FF10$  は、フリップフロップ回路  $FF90$  において、ウィークキーパー回路を二重化する代わりに、ウィークキーパー回路を構成していた2つのインバータ回路を、2つのCエレメント回路の間にクロスカップルさせた構成である。これにより、フリップフロップ回路  $FF10$  は、フリップフロップ回路  $FF90$  に比べてインバータ回路の個数を少なくすることができるので、回路規模を縮小させることができる。

【0048】

図2は、従来のフリップフロップ回路  $FF60$ 、 $FF80$ 、 $FF90$  および本実施形態に係るフリップフロップ回路  $FF10$  における、遅延回路の遅延時間に対するエラー率を示すグラフである。同図に示すように、本実施形態に係るフリップフロップ回路  $FF10$  の遅延時間に対するエラー率は、フリップフロップ回路  $FF80 \cdot FF90$  におけるものとほぼ同一である。

【0049】

図3は、従来のフリップフロップ回路  $FF60$ 、 $FF80$ 、 $FF90$  および本実施形態に係るフリップフロップ回路  $FF10$  の、回路面積に対するエラー率を示すグラフである。同図から明らかなように、本実施形態に係るフリップフロップ回路  $FF10$  は、従来のフリップフロップ回路  $FF60$ 、 $FF80$ 、 $FF90$  と比較して、小さい回路面積で高いエラー耐性を有していることが分かる。このように、本実施形態に係るフリップフロップ回路  $FF10$  は、従来のフリップフロップ回路と比較して、エラー耐性を低下させることなく、回路規模を縮小することができる。

【0050】

また、本実施形態に係るフリップフロップ回路  $FF10$  は、トランジスタの製造ばらつきに対する遅延時間の変化が小さいという利点を有している。図4は、従来のフリップフロップ回路  $FF70 \cdot FF90$  および本実施形態に係るフリップフロップ回路  $FF10$  における、遅延時間のばらつきを示すグラフである。フリップフロップ回路  $FF70 \cdot FF90$  の特性は、図17に示すものと同様である。図4において、フリップフロップ回路  $FF10$  の遅延時間の分布は、 $\pm 2\%$  の範囲内であり、フリップフロップ回路  $FF70 \cdot FF90$  に比べ、遅延時間の変化が小さいことが分かる。

【0051】

10

20

30

40

50

また、本実施形態に係るフリップフロップ回路FF10は、Cエレメント回路を構成するトランジスタのサイズを、従来のフリップフロップ回路FF70・FF80・FF90のCエレメント回路を構成するトランジスタよりも小さくすることができるという利点がある。以下、図5を参照して説明する。

【0052】

図5の(a)は、図16に示す従来のフリップフロップ回路FF90の一部の回路構成を示す図であり、図5の(b)は、本実施形態に係るフリップフロップ回路FF10の一部の回路構成を示す図である。図5の(a)では、インバータ回路INV72・INV73で構成されるウィークキーパー回路のデータを書き換える場合、インバータ回路INV73の出力がCエレメント回路71からの出力を妨げる。そのため、ウィークキーパー回路のデータ書き換えのために必要なCエレメント回路71の出力は、インバータ回路INV72・INV73の出力の約10倍となる。

10

【0053】

一方、図5の(b)では、2つのCエレメント回路CE11・CE12の出力によって、インバータ回路INV11・INV12で構成されるデータ保持回路のデータ書き換えを行う。そのため、インバータ回路INV11・INV12で構成されるデータ保持回路のデータ書き換えのために必要なCエレメント回路11の出力は、インバータ回路INV11・INV12の出力の約2倍程度でよい。このように、インバータ回路INV11・INV12で構成されるデータ保持回路は、従来のフリップフロップ回路FF90のウィークキーパー回路に比べ、保持データの書き換えが容易である。

20

【0054】

したがって、本実施形態に係るフリップフロップ回路FF10のCエレメント回路を構成するトランジスタのサイズを、従来のフリップフロップ回路FF90のCエレメント回路を構成するトランジスタに比べて小さくすることが可能となる。したがって、フリップフロップ回路FF10は、従来のフリップフロップ回路に比べて、回路面積をさらに縮小することが可能である。

【0055】

また、本実施形態に係るフリップフロップ回路FF10は、動作電圧が極めて低い場合でも、従来のフリップフロップ回路に比べ性能が低下しないという利点を有している。図6は、図13に示す従来のフリップフロップ回路FF70および本実施形態に係るフリップフロップ回路FF10の、動作電圧に対する遅延時間および出力を示す表である。フリップフロップ回路FF10・FF70の回路面積はどちらも同一である。従来のフリップフロップ回路FF70では、動作電圧が0.5Vの場合は、動作電圧が1.2Vの場合に比べて、遅延時間が大きくなっている。これに対し、本実施形態に係るフリップフロップ回路FF10では、動作電圧が0.5Vの場合においても、動作電圧が1.2Vの場合に比べて遅延時間があまり大きくならない。

30

【0056】

このように、本実施形態に係るフリップフロップ回路FF10は、動作電圧が極めて低い場合でも高い性能を維持することができるので、将来的に実用化が検討されているサブスレシホールド回路等の低電圧回路に好適である。

40

【実施例1】

【0057】

本発明に係るフリップフロップ回路が従来のフリップフロップ回路よりも高いエラー耐性を有していることを証明するための実験を行った。

【0058】

図7に示すように、本発明に係るフリップフロップ回路FF10が8個カスケード接続されたシフトレジスタを構成する。初段のフリップフロップ回路FF10には、2つのセレクト回路SEL11・SEL12が接続されている。セレクト回路SEL11の一方の入力端子には入力信号SIが入力され、セレクト回路SEL12の一方の入力端子には反転入力信号バーSIが入力される。また、セレクト回路SEL11の他方の入力端子には

50

、最終段のフリップフロップ回路 F F 1 0 の一方のデータ出力端子が接続され、セレクト回路 S E L 1 2 の他方の入力端子には、最終段のフリップフロップ回路 F F 1 0 の他方のデータ出力端子が接続されている。また、セレクト回路 S E L 1 1 ・ S E L 1 2 には、セレクト信号として信号 R S が入力される。

【 0 0 5 9 】

これにより、8個のフリップフロップ回路 F F 1 0 で1つのローカルループユニットを形成する。さらに、このローカルループユニットを複数カスケード接続して、これらのローカルループユニットに対して、 $^{241}\text{Am}$ が発生する 粒子を照射する。

【 0 0 6 0 】

粒子を照射した状態で、セレクト回路 S E L 1 1 ・ S E L 1 2 がそれぞれ入力信号 S I および反転入力信号  $\overline{\text{SI}}$  を選択するように、信号 R S を制御するとともに、図示しないクロック C L K を各フリップフロップ回路 F F 1 0 に入力することにより、シフト動作を開始させる。続いて、セレクト回路 S E L 1 1 ・ S E L 1 2 が最終段のフリップフロップ回路 F F 1 0 の出力を選択するように、信号 R S を制御する。これにより、シフト動作が繰り返される。所定時間経過後、シフト動作を停止させて、最終段のフリップフロップ回路 F F 1 0 の出力 S O ・  $\overline{\text{SO}}$  を検出する。

【 0 0 6 1 】

また、上記構成と比較するため、図 1 3 の ( a ) に示す従来のフリップフロップ回路 F F 7 0 を図 7 と同様に 8 個カスケード接続してローカルループユニットを構成し、 $^{241}\text{Am}$ が発生する 粒子をカスケード接続された複数のローカルループユニットに照射した。

【 0 0 6 2 】

実験では、1 M H z、1 0 M H z および 1 6 0 M H z の 3 種類のクロック C L K でフリップフロップ回路を動作させた。それぞれの周波数で 5 0 0 分動作させながら、1 0 分ごとに保持データを取り出して、エラーの検出を行った。その結果を図 8 に示す。

【 0 0 6 3 】

図 8 は、ローカルループ状態にし 1 0 0 分間 線を照射した場合のクロック周波数と反転したフリップフロップ数との関係を示すグラフである。同図において、黒棒が本発明に係るフリップフロップ回路 F F 1 0 のエラー数を示しており、白棒が従来のフリップフロップ回路 F F 7 0 のエラー数を示している。フリップフロップ回路 F F 7 0 では、クロック周波数が大きくなるほどエラー数が大きくなっている。これに対し、フリップフロップ回路 F F 1 0 では、クロック周波数に関わらず殆どエラーが観察されなかった。特に、クロック周波数が 1 6 0 M H z の場合は、フリップフロップ回路 F F 1 0 のエラー数は、フリップフロップ回路 F F 7 0 のエラー数の約  $1 / 150$  であり、クロック周波数が高いほどフリップフロップ回路 F F 1 0 のエラー耐性は従来構成よりも高くなることが分かる。

【 0 0 6 4 】

以上の実験により、本発明に係るフリップフロップ回路は、従来のフリップフロップ回路よりも非常に高いエラー耐性を有していることが分かった。

【 0 0 6 5 】

図 1 8 は、本発明に係るフリップフロップ回路 F F 1 0 および従来のフリップフロップ回路 F F 6 0 ・ F F 7 0 ・ F F 8 0 ・ F F 9 0 の回路面積と遅延時間との関係を示すグラフである。同図から、本発明に係るフリップフロップ回路 F F 1 0 が最も面積遅延積 ( A D P ) が小さいことが分かる。

【 実施例 2 】

【 0 0 6 6 】

さらに、本発明の発明者は、中性子線の照射実験も行った。本発明に係るフリップフロップ回路 F F 1 0 が 8 個カスケード接続されたシフトレジスタ ( 図 7 ) および従来のフリップフロップ回路 F F 9 0 が 8 個カスケード接続されたシフトレジスタに対し中性子線を照射し、所定時間におけるエラー数を測定した。その結果、回路の動作周波数が 1 0 0 M H z の場合、フリップフロップ回路 F F 1 0 で構成されるシフトレジスタにおけるエラー数は、フリップフロップ回路 F F 9 0 で構成されるシフトレジスタにおけるエラー数の約

10

20

30

40

50

31%であった。また、回路の動作周波数が10MHzの場合、フリップフロップ回路FF10で構成されるシフトレジスタにおけるエラー数は、フリップフロップ回路FF90で構成されるシフトレジスタにおけるエラー数の約47%であった。さらに、回路の動作周波数が1MHzの場合、フリップフロップ回路FF10で構成されるシフトレジスタにおけるエラー数は、フリップフロップ回路FF90で構成されるシフトレジスタにおけるエラー数の約6%であった。

【0067】

このように、本発明に係るフリップフロップ回路FF10は、従来のフリップフロップ回路に比べ、中性子線に対するエラー耐性も高いことが分かった。

【実施例3】

【0068】

続いて、フリップフロップ回路で発振器(Ring Oscillator)を構成した場合の、発振周波数のばらつきを測定した。その結果を図19に示す。

【0069】

図19の(a)は、本発明に係るフリップフロップ回路FF10で構成された発振器の発振周波数のばらつきを示すグラフであり、図19の(b)は、従来のフリップフロップ回路FF90で構成された発振器の発振周波数のばらつきを示すグラフである。これらのグラフから、本発明に係るフリップフロップ回路のほうが、発振周波数のばらつきが少ない、すなわち遅延時間のばらつきが小さいことが分かる。

【0070】

(エラー耐性をさらに強化するためのレイアウト構造)

続いて、エラー耐性をさらに強化するためのレイアウト構造について説明する。フリップフロップ回路FF10では、電位が同時に反転すると出力が反転するノードの組合せ(以下、「センシティブノード」と称する)が存在する。センシティブノードの具体例を図20に示す。

【0071】

本願発明の発明者は、図20に示すフリップフロップ回路FF10において、ノードn1・n2・n3の組合せ、n4・n5・n6の組合せ、n7・n8・n9の組合せ、および、n10・n11・n12の組合せがセンシティブノードであることを見出した。これらのノードは、以下のように定義される。

【0072】

ノードn1は、ラッチ回路LAT11の反転出力端子バーQとCエレメント回路CE11の一方の入力端子との間を接続するノードである。ノードn2は、ラッチ回路LAT12の反転出力端子バーQとCエレメント回路CE11の他方の入力端子との間を接続するノードである。ノードn3は、Cエレメント回路CE12の出力端子とインバータ回路INV11の出力端子とインバータ回路INV12の入力端子とラッチ回路LAT14のデータ入力端子との間を接続するノードである。

【0073】

ノードn4は、ラッチ回路LAT11の非反転出力端子QとCエレメント回路CE12の一方の入力端子との間を接続するノードである。ノードn5は、ラッチ回路LAT12の非反転出力端子QとCエレメント回路CE12の他方の入力端子との間を接続するノードである。ノードn6は、Cエレメント回路CE11の出力端子とインバータ回路INV11の入力端子とインバータ回路INV12の出力端子とラッチ回路LAT13のデータ入力端子との間を接続するノードである。

【0074】

ノードn7は、ラッチ回路LAT13の反転出力端子バーQとCエレメント回路CE13の一方の入力端子との間を接続するノードである。ノードn8は、ラッチ回路LAT14の反転出力端子バーQとCエレメント回路CE13の他方の入力端子との間を接続するノードである。ノードn9は、Cエレメント回路CE14の出力端子とインバータ回路INV13の出力端子とインバータ回路INV14の入力端子との間を接続するノードであ

10

20

30

40

50

る。

【0075】

ノードn10は、ラッチ回路LAT13の非反転出力端子QとCエレメント回路CE14の一方の入力端子との間を接続するノードである。ノードn11は、ラッチ回路LAT14の非反転出力端子QとCエレメント回路CE14の他方の入力端子との間を接続するノードである。ノードn12は、Cエレメント回路CE13の出力端子とインバータ回路INV13の入力端子とインバータ回路INV14の出力端子との間を接続するノードである。

【0076】

ノードn1～n12はそれぞれ、特許請求の範囲に記載の第1～第12のノードに相当する。このように各ノードを定義した場合、ノードn1・n2・n3の組合せ、ノードn4・n5・n6の組合せ、ノードn7・n8・n9の組合せ、およびノードn10・n11・n12の組合せが、それぞれセンシティブノードとなる。そのため、放射線により電位が同時に反転しないためにはノードn1・n2・n3間、ノードn4・n5・n6間、ノードn7・n8・n9間、およびノードn10・n11・n12間のそれぞれの距離を、できるだけ大きくすることが望ましい。

10

【0077】

ここで、センシティブノード間の距離とソフトエラー発生率との関係について、図21を参照して説明する。

【0078】

図21の(a)において、横軸は、センシティブノード間の距離であり、縦軸は、SEUに対するMCUの発生率である。図21の(b)は、図21の(a)に示すグラフの横軸の一部を拡大したものであり、センシティブノード間の距離が1.5～3.5μmにおける、SEUに対するMCUの発生率を示している。

20

【0079】

また、実線は、MCUのうち電化共有(Charge Sharing, CS)によるMCUのSEUに対する発生率を示しており、破線は、MCUのうち連続衝突(Successive Hits, SH)によるMCUのSEUに対する発生率を示している。一点鎖線は、CSとSHとを合わせたMCUのSEUに対する発生率を示している。

【0080】

SEUに対するMCUの発生率(以下、「エラー率」とする)は、冗長化されたフリップフロップ回路が通常のフリップフロップ回路に対してどの程度ソフトエラーに耐性があるかを表している。図21の(a)に示すように、センシティブノード間の距離を0.86μm以上とすれば、エラー率を1/10(10%)以下とすることができる。さらに、図21の(b)に示すように、センシティブノード間の距離を1.75μm以上とすれば、エラー率を1/100(1%)以下とすることができ、センシティブノード間の距離を3.50μm以上とすれば、エラー率を1/1000(0.1%)以下とすることができる。

30

【0081】

そのため、図20に示すフリップフロップ回路FF10においても、各素子のレイアウトを適切に設定することにより、センシティブノード間の距離を0.86μm以上とすることが好ましい。さらに好ましくは、当該距離を1.75μm以上、さらに好ましくは、当該距離を3.50μm以上とすることにより、さらにソフトエラー耐性を高めることができる。

40

【0082】

〔実施形態2〕

本発明の第2の実施形態について図22～図24に基づいて説明すれば以下のとおりである。本実施形態では、第1の実施形態に係るフリップフロップ回路FF10の変形例、および本発明に係るフリップフロップ回路を用いた半導体装置および電子機器について説明する。

50



## 【 0 0 8 3 】

(本実施形態に係るフリップフロップ回路の構成)

図 2 2 は、本実施形態に係るフリップフロップ回路 F F 2 0 の構成を示す図である。フリップフロップ回路 F F 2 0 は、第 1 の実施形態に係るフリップフロップ回路 F F 1 0 において、C エlement 回路 C E 1 4 を省略した構成である。

## 【 0 0 8 4 】

すなわち、フリップフロップ回路 F F 2 0 は、スレーブラッチ回路 L A T 1 3 ・ L A T 1 4 の出力側に接続される構成が、図 1 3 ~ 図 1 6 に示す従来のフリップフロップ回路におけるものと同一である。このフリップフロップ回路 F F 2 0 をカスケード接続してシフトレジスタを構成した場合、C エlement 回路 C E 1 3 から S E T パルスが生じても、S E T パルスが生じたフリップフロップ回路 F F 2 0 の後段に接続されたフリップフロップ回路 F F 2 0 において、遅延回路 D E L 1 1 が設けられていることにより、S E T パルスが 2 つのマスタラッチ回路 L A T 1 1 ・ L A T 1 2 に同時にラッチされることはない。そのため、フリップフロップ回路 F F 2 0 は、第 1 の実施形態に係るフリップフロップ回路 F F 1 0 と同等のエラー耐性を有している。

10

## 【 0 0 8 5 】

なお、マスタラッチ回路 L A T 1 1 ・ L A T 1 2 とスレーブラッチ回路 L A T 1 3 ・ L A T 1 4 との間を従来構成と同一にした場合、マスタラッチ回路 L A T 1 1 ・ L A T 1 2 の出力側に接続された C エlement 回路は直接スレーブラッチ回路に接続されているため、当該 C エlement 回路で生じた S E T パルスは、スレーブラッチ回路 L A T 1 3 ・ L A T 1 4 の両方に取込まれてしまう。

20

## 【 0 0 8 6 】

フリップフロップ回路 F F 2 0 では、スレーブラッチ回路 L A T 1 3 ・ L A T 1 4 の反転出力端子バー Q に C エlement 回路 C E 1 3 が接続されていたが、C エlement 回路をスレーブラッチ回路 L A T 1 3 ・ L A T 1 4 の非反転出力端子 Q に接続させてもよい。その構成を図 2 3 に示す。

## 【 0 0 8 7 】

図 2 3 は、本実施形態に係るフリップフロップ回路 F F 3 0 の構成を示す図である。フリップフロップ回路 F F 3 0 は、第 1 の実施形態に係るフリップフロップ回路 F F 1 0 において、C エlement 回路 C E 1 3 を省略した構成である。フリップフロップ回路 F F 3 0 も、第 1 の実施形態に係るフリップフロップ回路 F F 1 0 と同等のエラー耐性を有している。

30

## 【 0 0 8 8 】

また、フリップフロップ回路 F F 2 0 ・ F F 3 0 は、フリップフロップ回路 F F 1 0 に比べて回路を構成する素子の数が少ない。そのため、フリップフロップ回路 F F 2 0 ・ F F 3 0 は、小型化が必要な電子機器に好適である。

## 【 0 0 8 9 】

また、エラー耐性をさらに高めるために、フリップフロップ回路 F F 2 0 ・ F F 3 0 においても、センシティブノード間の距離をできるだけ大きくすることが望ましい。具体的には、図 2 2 に示すフリップフロップ回路 F F 2 0 では、ノード n 1 ・ n 2 ・ n 3 間、ノード n 4 ・ n 5 ・ n 6 間、およびノード n 7 ・ n 8 ・ n 9 間のそれぞれの距離を、できるだけ大きくすることが望ましい。また、図 2 3 に示すフリップフロップ回路 F F 3 0 では、ノード n 1 ・ n 2 ・ n 3 間、ノード n 4 ・ n 5 ・ n 6 間、およびノード n 1 0 ・ n 1 1 ・ n 1 2 間のそれぞれの距離を、できるだけ大きくすることが望ましい。

40

## 【 0 0 9 0 】

フリップフロップ回路 F F 2 0 ・ F F 3 0 において、センシティブノード間の距離は、0 . 8 6  $\mu$ m 以上であることが好ましい。さらに好ましくは、当該距離を 1 . 7 5  $\mu$ m 以上、さらに好ましくは、当該距離を 3 . 5 0  $\mu$ m 以上とすることにより、さらにソフトエラー耐性を高めることができる。

## 【 0 0 9 1 】

50

(フリップフロップ回路を用いた電子機器の一例)

本発明は、あらゆる電子機器に適用可能であるが、その電子機器が液晶表示装置である場合の例について説明する。

【0092】

図24は、本実施形態に係る液晶表示装置1の要部構成を示すブロック図である。液晶表示装置1は、液晶パネル2、ゲートドライバ3、ソースドライバ4およびコントローラ5を有している。ゲートドライバ3は、コントローラ5から入力される動作クロック等に基づいて、液晶パネル2内のゲートラインを順次走査するための走査信号を出力する。ソースドライバ4は、コントローラ5から入力された表示データを時分割して、時分割された表示データをD/A変換することにより、表示対象画素の明るさに応じた階調表示用のデータ信号を液晶パネル2に出力する。

10

【0093】

ここで、ゲートドライバ3は、特許請求の範囲に記載の半導体装置に相当するものであり、複数のフリップフロップ回路がカスケード接続されたシフトレジスタで構成されている。各フリップフロップ回路の出力端子は、次段のフリップフロップ回路および液晶パネル2内のゲートラインに接続されている。

【0094】

また、液晶表示装置1では、ゲートドライバ3を構成するフリップフロップ回路として、上述したフリップフロップ回路FF10を用いている。これにより、液晶表示装置1は、ソフトウェアに起因する乱れが殆ど生じることのない高品質の画像を表示することができる。

20

【0095】

〔付記事項〕

本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【0096】

本発明に係るフリップフロップ回路は、入力データを保持するフリップフロップ回路であって、前記入力データをラッチする第1および第2のマスタラッチ回路と、第1のマスタラッチ回路の反転出力および第2のマスタラッチ回路の反転出力が入力される第1のCエレメント回路と、第1のマスタラッチ回路の非反転出力および第2のマスタラッチ回路の非反転出力が入力される第2のCエレメント回路と、第1のCエレメント回路の出力をラッチする第1のスレーブラッチ回路と、第2のCエレメント回路の出力をラッチする第2のスレーブラッチ回路と、第1のスレーブラッチ回路の反転出力および第2のスレーブラッチ回路の反転出力が入力される第3のCエレメント回路と、相互接続された第1および第2のインバータ回路と、相互接続された第3および第4のインバータ回路と、を備え、第1のインバータ回路の入力端子と第2のインバータ回路の出力端子とは、第1のCエレメント回路の出力端子と第1のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第1のインバータ回路の出力端子と第2のインバータ回路の入力端子とは、第2のCエレメント回路の出力端子と第2のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第3のインバータ回路の入力端子と第4のインバータ回路の出力端子とは、第3のCエレメント回路の出力端子に接続されている、ことを特徴としている。

30

40

【0097】

本発明に係るフリップフロップ回路は、入力データを保持するフリップフロップ回路であって、前記入力データをラッチする第1および第2のマスタラッチ回路と、第1のマスタラッチ回路の反転出力および第2のマスタラッチ回路の反転出力が入力される第1のCエレメント回路と、第1のマスタラッチ回路の非反転出力および第2のマスタラッチ回路の非反転出力が入力される第2のCエレメント回路と、第1のCエレメント回路の出力をラッチする第1のスレーブラッチ回路と、第2のCエレメント回路の出力をラッチする第2のスレーブラッチ回路と、第1のスレーブラッチ回路の非反転出力および第2のスレー

50

ブラッチ回路の非反転出力が入力される第4のCエレメント回路と、相互接続された第1および第2のインバータ回路と、相互接続された第3および第4のインバータ回路と、を備え、第1のインバータ回路の入力端子と第2のインバータ回路の出力端子とは、第1のCエレメント回路の出力端子と第1のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第1のインバータ回路の出力端子と第2のインバータ回路の入力端子とは、第2のCエレメント回路の出力端子と第2のスレーブラッチ回路のデータ入力端子との間の接続点に接続され、第3のインバータ回路の出力端子と第4のインバータ回路の入力端子とは、第4のCエレメント回路の出力端子に接続されている、ことを特徴としている。

【0098】

上記の構成によれば、第1のCエレメント回路は、第1のマスタラッチ回路の反転出力と第2のマスタラッチ回路の反転出力とが異なる値の場合、直前のデータを保持する。また、第2のCエレメント回路は、第1のマスタラッチ回路の非反転出力と第2のマスタラッチ回路の非反転出力とが異なる値の場合、直前のデータを保持する。このため、ソフトウェアによって第1および第2のマスタラッチ回路のいずれかの出力が反転しても、第1および第2のCエレメント回路の出力は反転しない。すなわち、第1および第2のインバータ回路は、第1のCエレメント回路からの出力のウィークキーパー回路としての機能と、第2のCエレメント回路からの出力のウィークキーパー回路としての機能との両方を備えている。したがって、第1および第2のCエレメント回路のそれぞれにウィークキーパー回路を設ける従来構成に比べ、回路面積を縮小することができる。

【0099】

また、ソフトウェアによって第1および第2のCエレメント回路のいずれかの出力が反転しても、反転した出力が第1および第2のスレーブラッチ回路にラッチされることを防止することができる。

【0100】

また、相互接続されたインバータ回路で構成されるデータ保持回路は、二重化されたCエレメント回路のそれぞれに接続される従来のウィークキーパー回路に比べ、保持データの書き換えが容易である。そのため、第1および第2のCエレメント回路を構成するトランジスタのサイズを、従来のフリップフロップ回路のCエレメント回路を構成するトランジスタに比べて小さくすることが可能となる。よって、本発明に係るフリップフロップ回路は、従来のフリップフロップ回路に比べて、回路面積をさらに小さくすることが可能である。

【0101】

相互接続されたインバータ回路で構成されるデータ保持回路は、二重化されたCエレメント回路のそれぞれに接続される従来のウィークキーパー回路に比べ、保持データの書き換えが容易である。そのため、ばらつきによってウィークキーパー回路を構成するトランジスタのゲート長や閾値電圧が変化しても遅延時間に与える影響が小さい。

【0102】

また、保持データの書き換えが容易であるため、ウィークキーパー回路を構成するトランジスタのサイズを小さくする必要がない。そのため、ウィークキーパー回路を構成するトランジスタのゲート長や閾値電圧のばらつきが小さくなり、遅延時間のばらつきが改善する。したがって、回路面積を大幅に縮小することができ、かつ、遅延時間のばらつきの少ないフリップフロップ回路を実現することができる。

【0103】

本発明に係るフリップフロップ回路では、さらに遅延回路を備え、前記入力データは、前記遅延回路を介して第2のマスタラッチ回路に入力されることが好ましい。

【0104】

上記の構成によれば、入力データをフリップフロップ回路に出力する組合せ回路等に高エネルギー中性子が衝突することによりソフトウェアが発生しても、遅延回路によって、第1および第2のマスタラッチ回路の両方がエラーパルスをラッチすることを防止するこ

10

20

30

40

50

とができる。よって、フリップフロップ回路のエラー耐性をさらに高めることができる。

【0105】

本発明に係るフリップフロップ回路では、第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子との間を接続するノードを第3のノード、第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、第2のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、第1のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の一方の入力端子との間を接続するノードを第7のノード、第2のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の他方の入力端子との間を接続するノードを第8のノード、第4のCエレメント回路の出力端子と第3のインバータ回路の出力端子と第4のインバータ回路の入力端子との間を接続するノードを第9のノード、第1のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の一方の入力端子との間を接続するノードを第10のノード、第2のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の他方の入力端子との間を接続するノードを第11のノード、第3のCエレメント回路の出力端子と第3のインバータ回路の入力端子と第4のインバータ回路の出力端子との間を接続するノードを第12のノードとして、第1～第3の各ノード間の距離、第4～第6の各ノード間の距離、第7～第9の各ノード間の距離、並びに、第10～第12の各ノード間の距離が、 $0.86\mu\text{m}$ 以上であることが好ましい。

【0106】

本発明に係るフリップフロップ回路では、第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子との間を接続するノードを第3のノード、第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、第2のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、第1のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の一方の入力端子との間を接続するノードを第7のノード、第2のスレーブラッチ回路の反転出力端子と第3のCエレメント回路の他方の入力端子との間を接続するノードを第8のノード、第3のインバータ回路の出力端子と第4のインバータ回路の入力端子との間を接続するノードを第9のノードとして、第1～第3の各ノード間の距離、第4～第6の各ノード間の距離、並びに、第7～第9の各ノード間の距離が、 $0.86\mu\text{m}$ 以上であることが好ましい。

【0107】

本発明に係るフリップフロップ回路では、第1のマスタラッチ回路の反転出力端子と第1のCエレメント回路の一方の入力端子との間を接続するノードを第1のノード、第2のマスタラッチ回路の反転出力端子と第1のCエレメント回路の他方の入力端子との間を接続するノードを第2のノード、第2のCエレメント回路の出力端子と第1のインバータ回路の出力端子と第2のインバータ回路の入力端子と第2のスレーブラッチ回路の入力端子との間を接続するノードを第3のノード、第1のマスタラッチ回路の非反転出力端子と第2のCエレメント回路の一方の入力端子との間を接続するノードを第4のノード、第2の

マスタラッチ回路の非反転出力端子と第2のCエレメント回路の他方の入力端子との間を接続するノードを第5のノード、第1のCエレメント回路の出力端子と第1のインバータ回路の入力端子と第2のインバータ回路の出力端子と第1のスレーブラッチ回路の入力端子との間を接続するノードを第6のノード、第1のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の一方の入力端子との間を接続するノードを第10のノード、第2のスレーブラッチ回路の非反転出力端子と第4のCエレメント回路の他方の入力端子との間を接続するノードを第11のノード、第3のインバータ回路の入力端子と第4のインバータ回路の出力端子との間を接続するノードを第12のノードとして、第1～第3の各ノード間の距離、第4～第6の各ノード間の距離、並びに、第10～第12の各ノード間の距離が、 $0.86\ \mu\text{m}$ 以上であることが好ましい。

10

## 【0108】

上記の構成によれば、センシティブノード間の距離が大きいため、ソフトエラー耐性をさらに強化することができる。

## 【0109】

本発明に係る半導体装置は、上記のいずれかのフリップフロップ回路を備えている。また、本発明に係る電子機器は、上記の半導体装置を備えている。

## 【産業上の利用可能性】

## 【0110】

本発明は、特に低電圧で動作する集積回路に好適に利用することができる。また、本発明に係るフリップフロップ回路およびそれを用いた半導体装置は、あらゆる電子機器に適用できる。特に、エラーレートを極めて低くする必要があるため現時点では冗長性を大きく持たせた回路が使用されているスーパーコンピュータやサーバ用コンピュータといった高度で大規模な電子機器に対して、本発明は好適である。さらに、将来的には、パーソナルコンピュータ、表示装置、カメラ等の家庭用の電子機器や、携帯電話、スマートフォン、PDA、ノートパソコン、タブレット等の携帯用の電子機器も、確実に高性能化が進むと考えられる。そのため、本発明は、特殊用途の電子機器だけでなく、一般用途の電子機器においても、必須になると考えられる。

20

## 【符号の説明】

## 【0111】

- 1 液晶表示装置（電子機器）
- 3 ゲートドライバ（半導体装置）
- FF10 フリップフロップ回路
- FF20 フリップフロップ回路
- FF30 フリップフロップ回路
- CE11 Cエレメント回路（第1のCエレメント回路）
- CE12 Cエレメント回路（第2のCエレメント回路）
- CE13 Cエレメント回路（第3のCエレメント回路）
- CE14 Cエレメント回路（第4のCエレメント回路）
- COMB11 組合せ回路
- DEL11 遅延回路
- IN 入力データ
- INV11 インバータ回路（第1のインバータ回路）
- INV12 インバータ回路（第2のインバータ回路）
- INV13 インバータ回路（第3のインバータ回路）
- INV14 インバータ回路（第4のインバータ回路）
- LAT11 マスタラッチ回路（第1のマスタラッチ回路）
- LAT12 マスタラッチ回路（第2のマスタラッチ回路）
- LAT13 スレーブラッチ回路（第1のスレーブラッチ回路）
- LAT14 スレーブラッチ回路（第2のスレーブラッチ回路）
- n1 ノード（第1のノード）

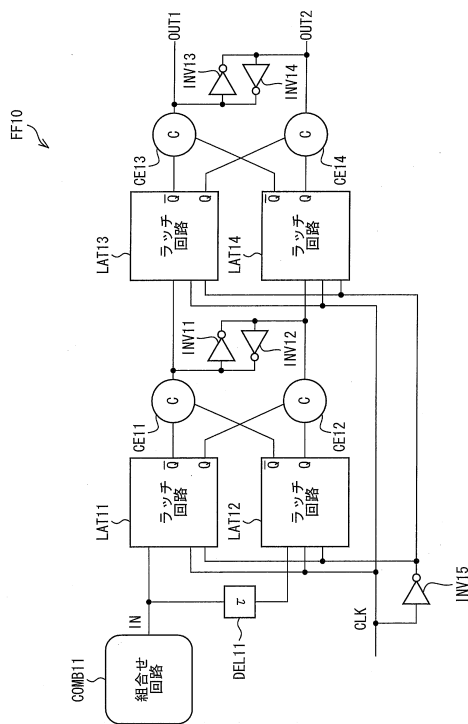
30

40

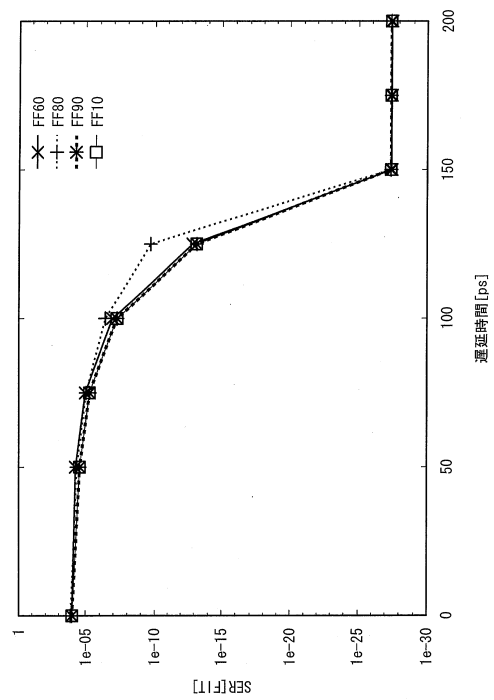
50

- n 2 ノード (第 2 のノード)
- n 3 ノード (第 3 のノード)
- n 4 ノード (第 4 のノード)
- n 5 ノード (第 5 のノード)
- n 6 ノード (第 6 のノード)
- n 7 ノード (第 7 のノード)
- n 8 ノード (第 8 のノード)
- n 9 ノード (第 9 のノード)
- n 1 0 ノード (第 1 0 のノード)
- n 1 1 ノード (第 1 1 のノード)
- n 1 2 ノード (第 1 2 のノード)

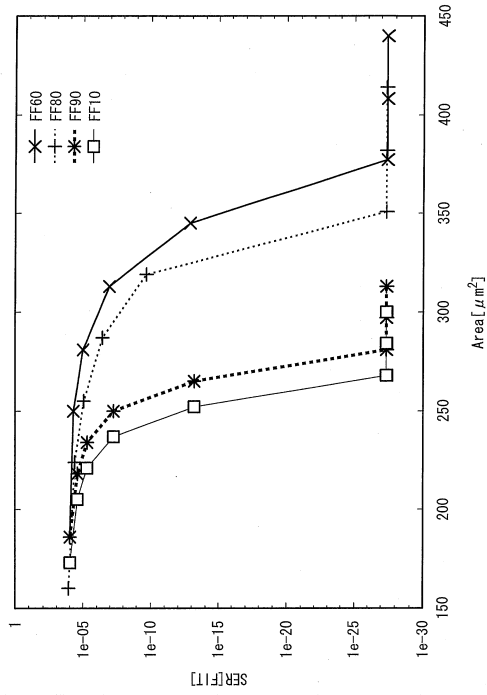
【 図 1 】



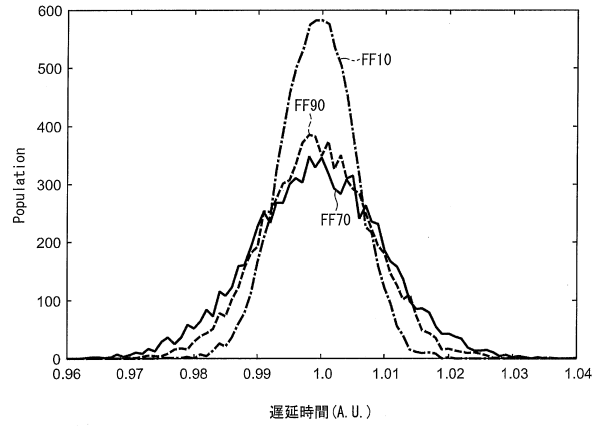
【 図 2 】



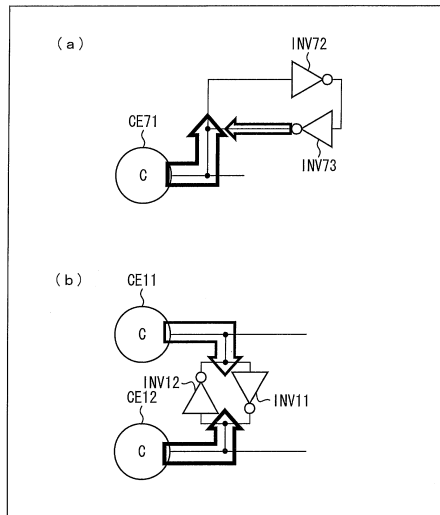
【 図 3 】



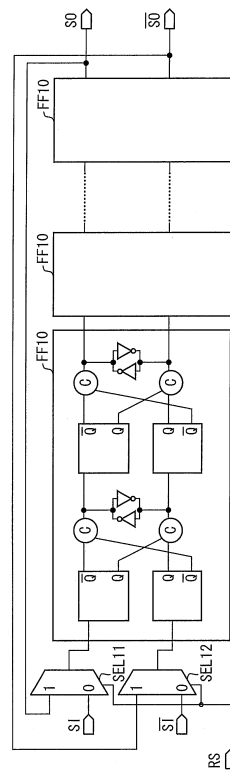
【 図 4 】



【 図 5 】



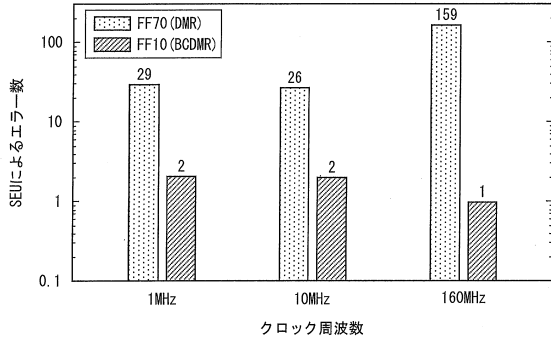
【 図 7 】



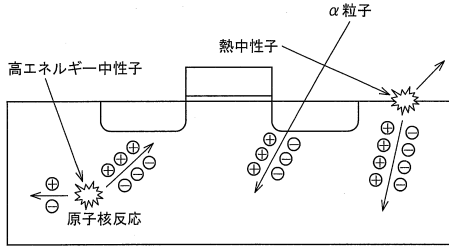
【 図 6 】

	FF70 (DMR)			FF10 (BCDMR)		
	Area	Delay	Power	Area	Delay	Power
1.2V	3.00	1.47	2.15	3.00	1.45	2.20
0.5V	3.00	1.96	2.39	3.00	1.57	2.23

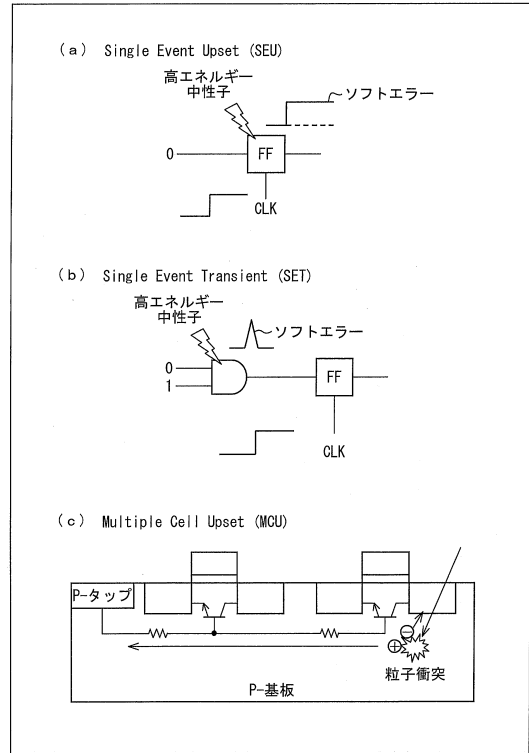
【図 8】



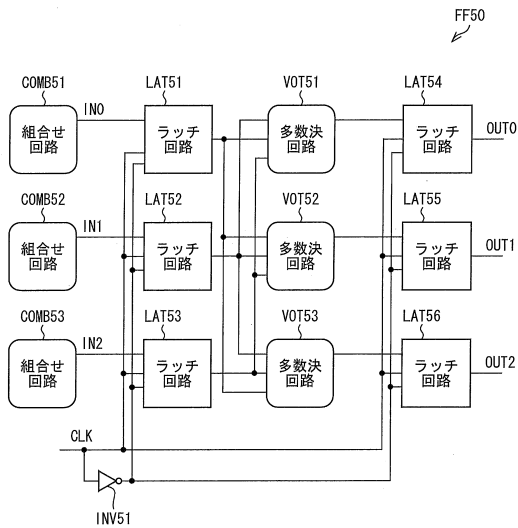
【図 9】



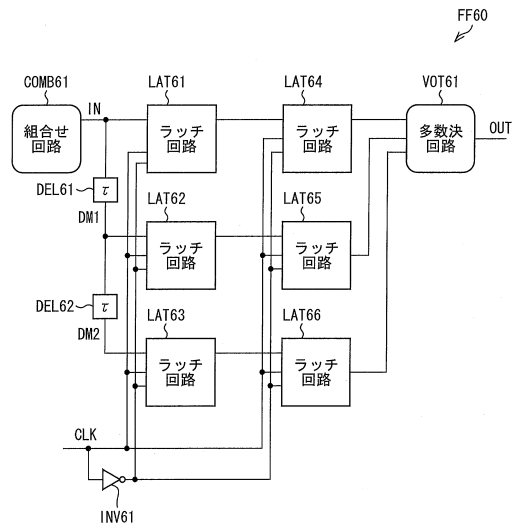
【図 10】



【図 11】

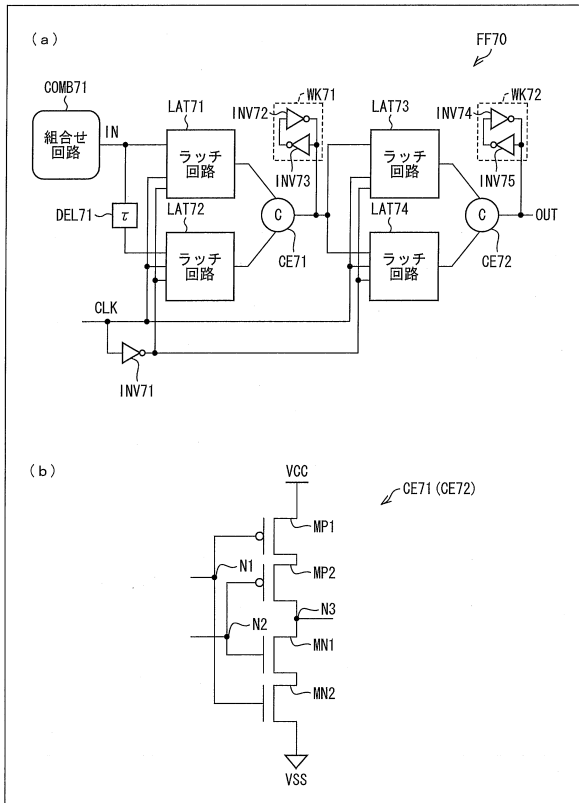


【図 12】

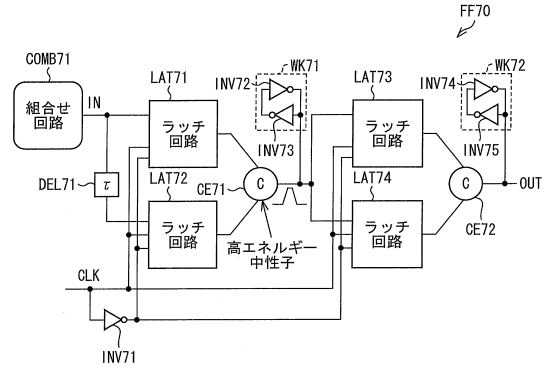




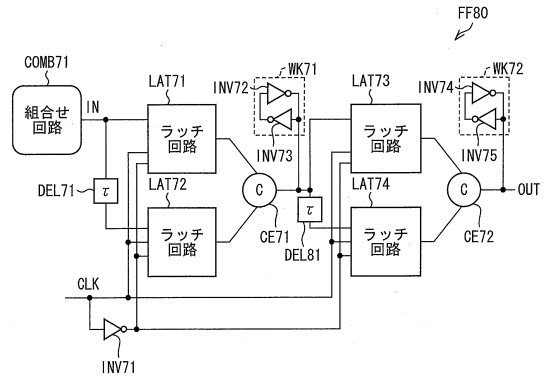
【図13】



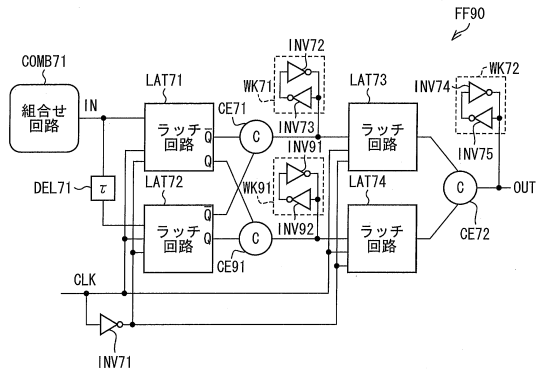
【図14】



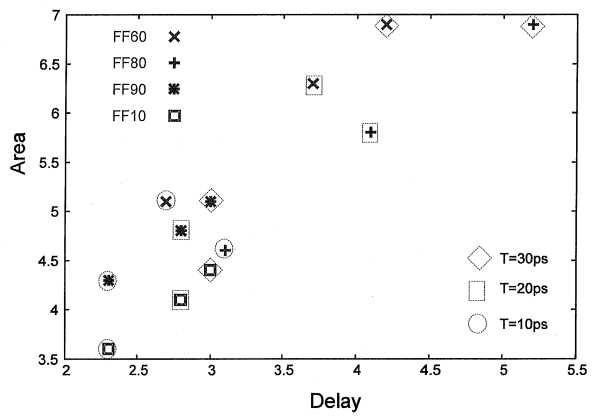
【図15】



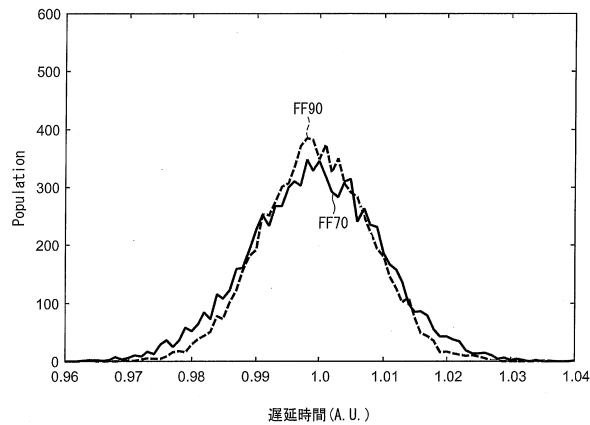
【図16】



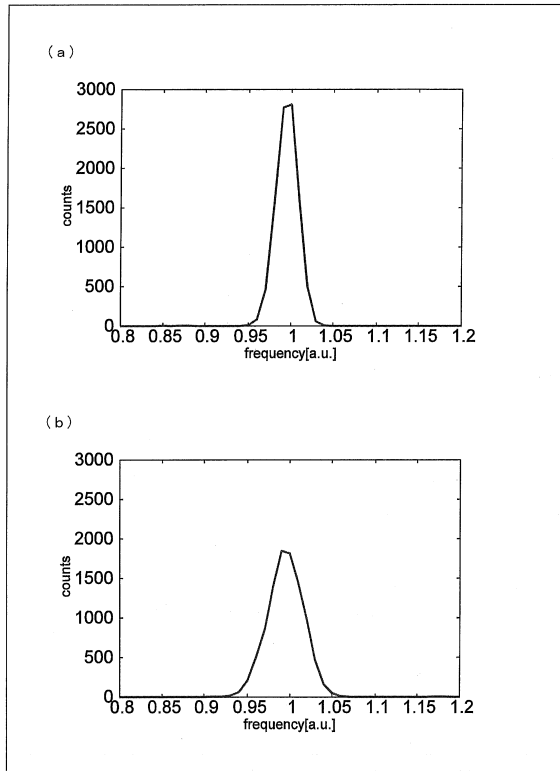
【図18】



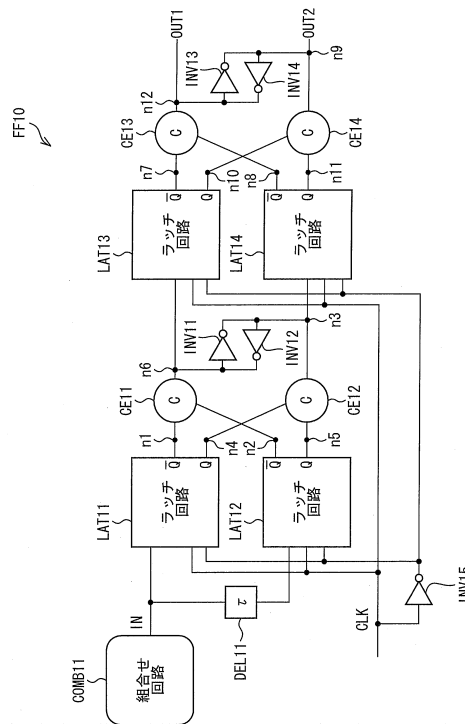
【図17】



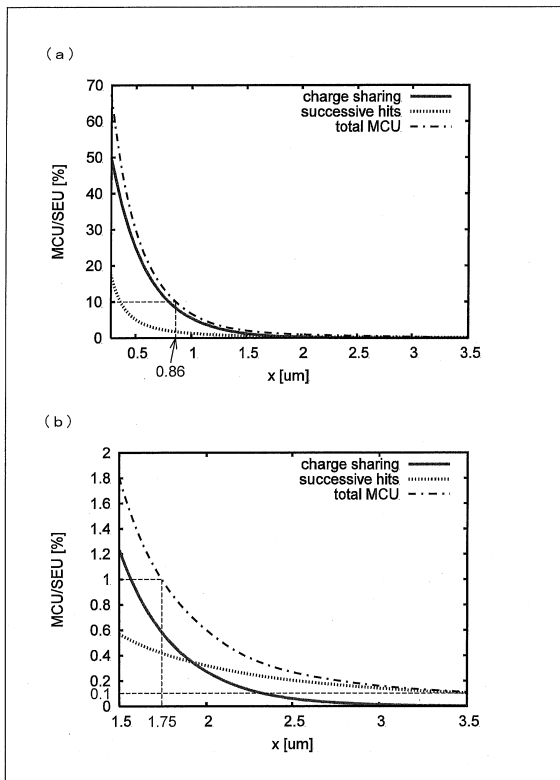
【図19】



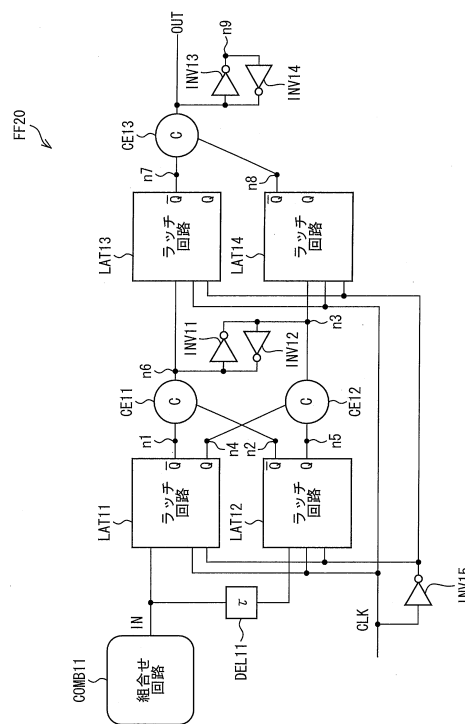
【図20】



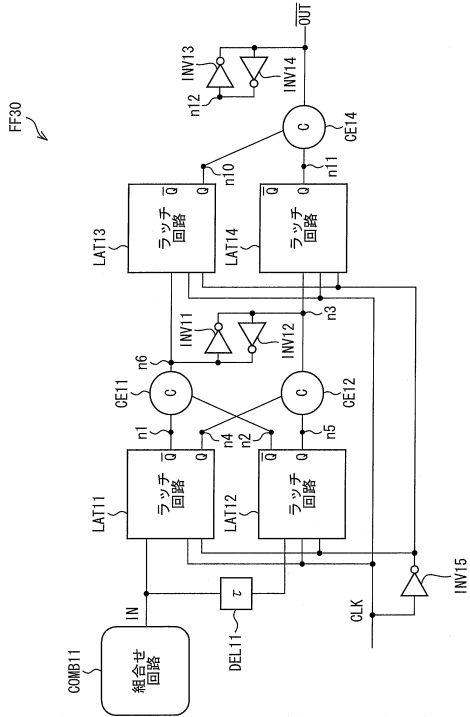
【図21】



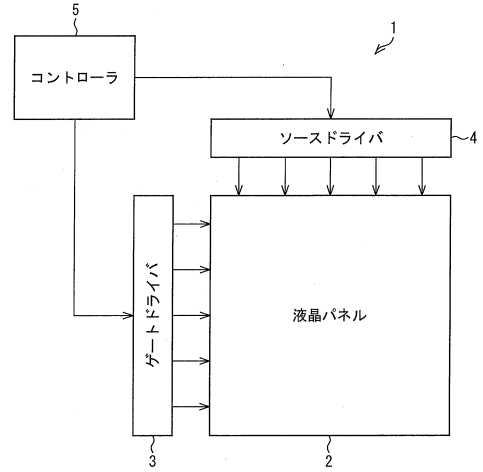
【図22】



【図23】



【図24】



---

フロントページの続き

(72)発明者 小野寺 秀俊

日本国滋賀県大津市仰木の里東3丁目3-5

審査官 白井 孝治

(56)参考文献 米国特許出願公開第2010/0088565(US, A1)

特表2009-538549(JP, A)

特開2009-105967(JP, A)

特開2006-115311(JP, A)

特開2004-95063(JP, A)

S. Mitra, et al., "Built-In Soft Error Resilience for Robust System Design", Integrated Circuit Design and Technology, 2007. ICICDT '07. IEEE International Conference on, 米国, IEEE, 2007年 5月30日, pp. 1-6

J. Furuta, et al., "A 65nm Bistable Cross-coupled Dual Modular Redundancy Flip-Flop Capable of Protecting Soft Errors on the C-element", VLSI Circuits (VLSIC), 2010 IEEE Symposium on, 米国, IEEE, 2010年 6月16日, pp. 123-124

(58)調査した分野(Int.Cl., DB名)

H03K 3/00 - 3/36

H03K 19/003

G06F 11/00

IEEE Xplore