

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/158500

発行日 平成25年8月19日 (2013.8.19)

(43) 国際公開日 平成23年12月22日 (2011.12.22)

(51) Int.Cl. F I テーマコード (参考)  
**GO 1 R 31/28 (2006.01)** GO 1 R 31/28 G 2 G 1 3 2  
 GO 1 R 31/28 V

審査請求 未請求 予備審査請求 未請求 (全 29 頁)

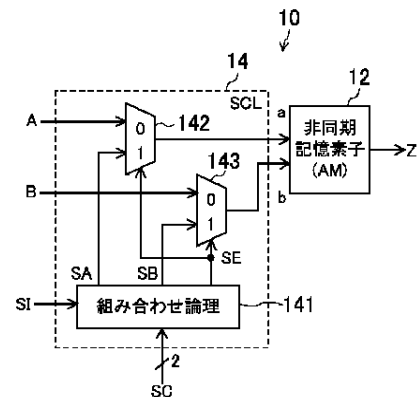
<p>出願番号 特願2012-520292 (P2012-520292)</p> <p>(21) 国際出願番号 PCT/JP2011/003405</p> <p>(22) 国際出願日 平成23年6月15日 (2011.6.15)</p> <p>(31) 優先権主張番号 特願2010-138609 (P2010-138609)</p> <p>(32) 優先日 平成22年6月17日 (2010.6.17)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(71) 出願人 504143441                  国立大学法人 奈良先端科学技術大学院大学                  奈良県生駒市高山町8916-5</p> <p>(74) 代理人 110001427                  特許業務法人前田特許事務所</p> <p>(72) 発明者 大竹 哲史                  大分県大分市大字旦野原700番地 国立                  大学法人大分大学工学部 知能情報システム                  工学科内</p> <p>(72) 発明者 岩田 大志                  奈良県大和郡山市矢田町22 独立行政法                  人国立高等専門学校機構奈良工業高等専門                  学校内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 スキャン非同期記憶素子およびそれを備えた半導体集積回路ならびにその設計方法およびテストパターン生成方法

(57) 【要約】

スキャン非同期記憶素子は、n入力の非同期記憶素子(12)と、nビットの信号入力およびスキャン入力から非同期記憶素子(12)のn入力を生成するスキャン制御論理回路(14)とを備えている。スキャン制御論理回路(14)は、与えられた制御信号が第1のビットパターンときは信号入力を、第2のビットパターンときはスキャン入力を、それ以外のときは非同期記憶素子(12)が前の値を保持するビットパターンを、それぞれ非同期記憶素子(12)のn入力として出力とする。

【図1】



12... ASYNCHRONOUS MEMORY ELEMENT (AM)  
 141... COMBINATIONAL LOGIC

**【特許請求の範囲】****【請求項 1】**

n を 2 以上の整数とする n 入力の非同期記憶素子と、  
n ビットの信号入力およびスキャン入力から前記非同期記憶素子の n 入力を生成するスキャン制御論理回路とを備え、

前記スキャン制御論理回路は、与えられた制御信号が第 1 のビットパターンのときは前記信号入力を、第 2 のビットパターンのときは前記スキャン入力を、それ以外のときは前記非同期記憶素子が前の値を保持するビットパターンを、それぞれ前記非同期記憶素子の n 入力として出力とする

ことを特徴とするスキャン非同期記憶素子。

10

**【請求項 2】**

前記非同期記憶素子は、Muller の C 素子である

ことを特徴とする請求項 1 のスキャン非同期記憶素子。

**【請求項 3】**

前記制御信号は n ビット信号であり、

前記スキャン制御論理回路は、

前記制御信号が前記第 1 および第 2 のビットパターン以外のときは前記制御信号を出力し、前記第 2 のビットパターンのときは前記スキャン入力を n ビットスキャン入力にして出力する組み合わせ論理回路と、

前記信号入力および前記組み合わせ論理回路の出力の各ビットペアがそれぞれ入力され、前記制御信号が前記第 1 のビットパターンのときは前記信号入力を、それ以外のビットパターンときは前記組み合わせ論理回路の出力を、前記非同期記憶素子の各入力としてそれぞれ出力する n 個のマルチプレクサとを有する

ことを特徴とする請求項 2 のスキャン非同期記憶素子。

20

**【請求項 4】**

前記非同期記憶素子は、非対称 C 素子である

ことを特徴とする請求項 1 のスキャン非同期記憶素子。

**【請求項 5】**

前記非同期記憶素子は、ラッチである

ことを特徴とする請求項 1 のスキャン非同期記憶素子。

30

**【請求項 6】**

組み合わせ回路と、

複数の請求項 1 のスキャン非同期記憶素子とを備え、

前記複数のスキャン非同期記憶素子の信号入力ならびに出力は、前記組み合わせ回路に接続されており、

前記複数のスキャン非同期記憶素子は、前段の出力と次段のスキャン入力とが互いに接続されるように、縦続接続されている

ことを特徴とする半導体集積回路。

**【請求項 7】**

前記組み合わせ回路は、一方の出力が前記スキャン非同期記憶素子を介して他方の入力となる第 1 および第 2 の部分回路から構成されており、

奇数段目のスキャン非同期記憶素子は、互いに共通の第 1 の制御信号で制御され、かつ、当該スキャン非同期記憶素子の信号入力は前記第 1 の部分回路に接続され、当該スキャン非同期記憶素子の出力は前記第 2 の部分回路に接続されており、

偶数段目のスキャン非同期記憶素子は、互いに共通の第 2 の制御信号で制御され、かつ、当該スキャン非同期記憶素子の信号入力は前記第 2 の部分回路に接続され、当該スキャン非同期記憶素子の出力は前記第 1 の部分回路に接続されている

ことを特徴とする請求項 6 の半導体集積回路。

40

**【請求項 8】**

請求項 7 の半導体集積回路の設計方法において、

50

原非同期式回路に含まれる非同期記憶素子を前記スキャン非同期記憶素子に置き換える第1のステップと、

前記スキャン非同期記憶素子を第1および第2のラッチにグループ分けして、前記原非同期式回路に含まれる組み合わせ回路を前記第1および第2の部分回路に分割する第2のステップと、

前記第1および第2のラッチの間の入出力の依存関係を特定する第3のステップと、  
入出力の依存関係がない前記第1および第2のラッチを交互に、かつ、前段の出力と次段のスキャン入力とを互いに接続する第4のステップとを備えていることを特徴とする半導体集積回路の設計方法。

【請求項9】

前記第2のステップにおいて、前記スキャン非同期記憶素子だけでは前記原非同期式回路の組み合わせ回路を前記第1および第2の部分回路に完全に分割できない場合、前記スキャン非同期記憶素子と共通の制御信号で動作し、前記制御信号が前記第1のビットパターンのときは信号入力を、前記第2のビットパターンのときはスキャン入力を、それぞれ出力し、それ以外のときは前の値を保持する透過スキャンラッチを、前記第1および第2の部分回路の間に挿入することを特徴とする請求項8の半導体集積回路の設計方法。

【請求項10】

前記第4のステップにおいて、入出力の依存関係がない第1および第2のラッチのペアが見つからない場合、前記スキャン非同期記憶素子と共通の制御信号で動作し、前記制御信号が前記第2のビットパターンのときはスキャン入力を出力し、前記制御信号が前記第1および第2のビットパターン以外の場合は前の値を保持するスキャンラッチを前記第1または第2のラッチのペアとして挿入することを特徴とする請求項8の半導体集積回路の設計方法。

【請求項11】

請求項6の半導体集積回路に含まれる組み合わせ回路のテストのためのテストパターン生成方法において、

前記組み合わせ回路に印加すべき基本テストパターンを生成するステップと、  
前記基本テストパターンに対する前記組み合わせ回路の応答パターンの期待値である期待応答パターンを算出するステップと、

テストパターンの一部として、前記期待応答パターンに基づいて、前記基本テストパターンに対する前記組み合わせ回路の応答パターンをキャプチャするときにおける、当該応答パターンをキャプチャするスキャン非同期記憶素子の保持動作に係る前記制御信号のビットパターンを決定するステップとを備えていることを特徴とするテストパターン生成方法。

【請求項12】

テストパターンの一部として、前記期待応答パターンに基づいて、前記基本テストパターンを前記組み合わせ回路に印加した際に当該基本テストパターンの検出対象故障により生じる誤りを含む応答パターンを当該誤りを失うことなくキャプチャするためのキャプチャパターンを生成するステップを備えていることを特徴とする請求項11のテストパターン生成方法。

【請求項13】

テストパターンの一部として、前記期待応答パターンに基づいて、前記複数のスキャン非同期記憶素子への前記基本テストパターンのスキャンイン後かつ前記基本テストパターンに対する前記組み合わせ回路の応答パターンのキャプチャ前における、前記組み合わせ回路の応答パターンをキャプチャするスキャン非同期記憶素子の保持動作に係る前記制御信号のビットパターンを決定するステップを備えていることを特徴とする請求項11のテストパターン生成方法。

【請求項14】

請求項7の半導体集積回路に含まれる組み合わせ回路のテストのためのテストパターン生

10

20

30

40

50

成方法において、

前記複数のスキャン非同期記憶素子を、それぞれ、当該スキャン非同期記憶素子に含まれる非同期記憶素子を時間展開して得られる時間展開モデルであって当該スキャン非同期記憶素子の信号入力および当該スキャン非同期記憶素子の後段のスキャン非同期記憶素子の出力に該当する前記組み合わせ回路の信号入力を入力とする時間展開モデルに置き換えるとともに、前記第1および第2の部分回路の信号入力を外部入力に、前記時間展開モデルの出力を外部出力にそれぞれ置き換えた回路モデルを生成するステップと、

前記回路モデルにおける前記第1および第2の部分回路のそれぞれについてテストパターンを生成するステップとを備えていることを特徴とするテストパターン生成方法。

10

【請求項15】

請求項6の半導体集積回路に含まれるスキャン非同期記憶素子のテストのためのテストパターン生成方法において、

テスト対象のスキャン非同期記憶素子が前の値を保持する第1の状態遷移、保持値が前の値にフラッシュされる第2の状態遷移、および保持値が変化する第3の状態遷移がすべて再現されるように、当該テスト対象のスキャン非同期記憶素子のスキャン入力および制御信号のビットパターンを決定するステップを備えている

ことを特徴とするテストパターン生成方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体集積回路のテスト容易化に関し、特に、MullerのC素子、非対称C素子、ラッチなどの非同期記憶素子を備えている非同期式回路のテスト容易化に関する。

【背景技術】

【0002】

近年の半導体集積回路の微細化、大規模化、低消費電力化に伴い、製造ばらつきや特性劣化や電圧変動などによる信号遅延量のばらつき、クロックスキュー、可変クロックの使用などが原因で同期式回路の処理能力が限界に近づきつつある。そこで非同期式回路の利用が見直されている。半導体集積回路の分野では、大域的には非同期動作をし、局所的には同期動作をするGALS(Globally Asynchronous Locally Synchronous)アーキテク

30

【0003】

非同期式回路は、自己タイミングで動作することができるため各種信号遅延に強く、また、動作クロック信号を必要としないため安定状態で電力を消費しないという特徴がある。しかし一方で、非同期式回路ではハザードやレースを考慮した設計が必要となり、そして何よりも同期式回路よりもテストが難しくなるという欠点がある。

【0004】

非同期式回路のテスト容易化として同期式回路で広く用いられているスキャン方式を応用することができる。すなわち、スキャン方式では、テスト用のシフトレジスタ(スキャンチェーン)を構成してそれにテストパターンをスキャンインし、そのテストパターンに対する非同期式回路の応答パターンをシフトレジスタでキャプチャし、スキャンアウトすることでテストが実施される。

40

【0005】

同期式回路の場合、記憶素子として使用されるフリップフロップの入力側にその前段のフリップフロップの出力と同期式回路の出力のいずれか一方を選択するマルチプレクサを挿入することでシフトレジスタが容易に構成できる。これに対して、非同期式回路は、フリップフロップではなくMullerのC素子などの内部に存在する信号フィードバックによって値を保持する仕組みであるため、そのようなフィードバックパスにテスト専用のスキャンフリップフロップを挿入してシフトレジスタを構成する必要がある。したがって、非同期式回路はテスト容易化によって面積オーバーヘッドが増大するばかりか、遅延オーバー

50

ヘッドも増大してしまう。

【0006】

これまで非同期式回路のテスト容易化に伴う面積および遅延オーバーヘッドを低減するためのさまざまな手法が提案されている。例えば、互いに異なるクロック信号で動作するL1ラッチ（マスターラッチ）およびL2ラッチ（スレーブラッチ）で構成されるLSSD（Level Sensitive Scan Design）ラッチでフリップフロップを構成し、L2ラッチをフィードバックパス外に配置するLSSDシングルラッチデザインを採用することで遅延オーバーヘッドを低減している。さらに、各部分回路のフィードバックパス外のラッチを省略し、2つに分割された組み合わせ回路の一方の部分回路のラッチと他方の部分回路のラッチを交互に接続してLSSDラッチを構成する、いわゆるL1L2\*シングルラッチデザインを採用することで面積オーバーヘッドを最小化している（例えば、非特許文献1参照）。

10

【0007】

また、L1L2\*シングルラッチデザインにおいて、フィードバックパスにマルチプレクサのみを残し、ラッチをフィードバックパス外のスキャンパスに挿入することで、面積および遅延オーバーヘッドを最小化している（例えば、特許文献1参照）。一方、フィードバックパスとスキャンパスにそれぞれ独立に動作するラッチを挿入することで記憶素子の内部状態を保持したままテストパターンのスキャンイン/アウトを可能にしているものがある（例えば、特許文献2参照）。

【先行技術文献】

20

【特許文献】

【0008】

【特許文献1】国際公開第W02006/013524号

【特許文献2】国際公開第W02010/001187号

【非特許文献】

【0009】

【非特許文献1】F. te Beest, A. Peeters, K. Van Berkel, and H. Kerkhoff, "Synchronous full-scan for asynchronous handshake circuits," J. Electron. Test., vol. 19, no. 4, pp. 397-406, 2003

【発明の概要】

30

【発明が解決しようとする課題】

【0010】

上述したように、非同期式回路のテスト容易化にスキャン方式を応用するとシフトレジスタの追加が必要となり、面積および遅延オーバーヘッドが増大してしまう。それを解決するためにL1L2\*シングルラッチデザインを採用した場合、L1ラッチとL2\*ラッチ間の入出力の依存関係があると任意のテストパターンの印加および観測が保証できなくなってしまふ。すなわち、L1L2\*シングルラッチデザインでは非同期式回路の完全テストができないおそれがある。特に特許文献1に開示された非同期式回路ではフィードバックパスの外にラッチが配置されているため、スキャンイン/アウトの際のマルチプレクサの状態によっては1ラッチしか介在しない信号ループが非同期式回路中に構成されると回路が発振するおそれがある。

40

【0011】

また、従来 of いずれの手法も、非同期式回路に元々備わっている非同期記憶素子にテストパターンを記憶するのではなく、追加挿入したフリップフロップまたはラッチでテストパターンおよび非同期式回路の応答パターンを記憶している。したがって、テストパターンおよび応答パターンのスキャンイン/アウトだけではMullerのC素子などの非同期記憶素子のテストができない。すなわち、非同期記憶素子のテストが不完全である。

【0012】

上記問題に鑑み、本発明は、非同期式回路のテスト容易化に好適な改良型の非同期記憶素子（以下、「スキャン非同期記憶素子」と称する。）を提供することを課題とする。さ

50

らに、そのようなスキャン非同期記憶素子を備えたテスト容易化設計された半導体集積回路、ならびにそのような半導体集積回路の設計方法およびテストパターン生成方法を提供することを課題とする。

【課題を解決するための手段】

【0013】

例えば、スキャン非同期記憶素子は、 $n$ を2以上の整数とする $n$ 入力の非同期記憶素子と、 $n$ ビットの信号入力およびスキャン入力から非同期記憶素子の $n$ 入力を生成するスキャン制御論理回路とを備えている。スキャン制御論理回路は、与えられた制御信号が第1のビットパターンのときは信号入力を、第2のビットパターンのときはスキャン入力を、それ以外のときは非同期記憶素子が前の値を保持するビットパターンを、それぞれ非同期記憶素子の $n$ 入力として出力とする。ここでいう非同期記憶素子とは、MullerのC素子、非対称C素子、ラッチなど非同期式回路において記憶素子として用いられるもの全般を意味する。

10

【0014】

また、半導体集積回路は、組み合わせ回路と複数の上記のスキャン非同期記憶素子とを備えている。複数のスキャン非同期記憶素子の信号入力ならびに出力は、組み合わせ回路に接続されている。そして、複数のスキャン非同期記憶素子は、前段の出力と次段のスキャン入力とが互いに接続されるように、縦続接続されている。

【0015】

具体的には、上記半導体集積回路において、組み合わせ回路は、一方の出力がスキャン非同期記憶素子を介して他方の入力となる第1および第2の部分回路から構成されている。そして、奇数段目のスキャン非同期記憶素子は、互いに共通の第1の制御信号で制御され、かつ、当該スキャン非同期記憶素子の信号入力は第1の部分回路に接続され、当該スキャン非同期記憶素子の出力は第2の部分回路に接続されている。同様に、偶数段目のスキャン非同期記憶素子は、互いに共通の第2の制御信号で制御され、かつ、当該スキャン非同期記憶素子の信号入力は第2の部分回路に接続され、当該スキャン非同期記憶素子の出力は第1の部分回路に接続されている。

20

【0016】

また、上記半導体集積回路の設計方法は、原非同期式回路に含まれる非同期記憶素子をスキャン非同期記憶素子に置き換える第1のステップと、スキャン非同期記憶素子を第1および第2のラッチにグループ分けして、原非同期式回路に含まれる組み合わせ回路を第1および第2の部分回路に分割する第2のステップと、第1および第2のラッチの間の入出力の依存関係を特定する第3のステップと、入出力の依存関係がない第1および第2のラッチを交互に、かつ、前段の出力と次段のスキャン入力を互いに接続する第4のステップとを備えている。

30

【0017】

また、上記半導体集積回路に含まれる組み合わせ回路のテストのためのテストパターン生成方法は、組み合わせ回路に印加すべき基本テストパターンを生成するステップと、基本テストパターンに対する組み合わせ回路の応答パターンの期待値である期待応答パターンを算出するステップと、テストパターンの一部として、期待応答パターンに基づいて、基本テストパターンに対する組み合わせ回路の応答パターンをキャプチャするときにおける、当該応答パターンをキャプチャするスキャン非同期記憶素子の保持動作に係る制御信号のビットパターンを決定するステップとを備えている。

40

【0018】

上記テストパターン生成方法は、テストパターンの一部として、期待応答パターンに基づいて、基本テストパターンを組み合わせ回路に印加した際に当該基本テストパターンの検出対象故障により生じる誤りを含む応答パターンを当該誤りを失うことなくキャプチャするためのキャプチャパターンを生成するステップを備えていることが好ましい。

【0019】

また、上記テストパターン生成方法は、テストパターンの一部として、期待応答パター

50

ンに基づいて、複数のスキャン非同期記憶素子への基本テストパターンのスキャンイン後かつ基本テストパターンに対する組み合わせ回路の応答パターンのキャプチャ前における、組み合わせ回路の応答パターンをキャプチャするスキャン非同期記憶素子の保持動作に係る制御信号のビットパターンを決定するステップを備えていることが好ましい。

【0020】

また、上記半導体集積回路に含まれる組み合わせ回路のテストのためのテストパターン生成方法は、複数のスキャン非同期記憶素子を、それぞれ、当該スキャン非同期記憶素子に含まれる非同期記憶素子を時間展開して得られる時間展開モデルであって当該スキャン非同期記憶素子の信号入力およびその後段のスキャン非同期記憶素子の出力に該当する組み合わせ回路の信号入力を入力とする時間展開モデルに置き換えるとともに、第1および第2の部分回路の信号入力を外部入力に、時間展開モデルの出力を外部出力にそれぞれ置き換えた回路モデルを生成するステップと、回路モデルにおける第1および第2の部分回路のそれぞれについてテストパターンを生成するステップとを備えている。

10

【0021】

また、上記半導体集積回路に含まれるスキャン非同期記憶素子のテストのためのテストパターン生成方法は、テスト対象のスキャン非同期記憶素子が前の値を保持する第1の状態遷移、保持値が前の値にフラッシュされる第2の状態遷移、および保持値が変化する第3の状態遷移がすべて再現されるように、当該テスト対象のスキャン非同期記憶素子のスキャン入力および制御信号のビットパターンを決定するステップを備えている。

20

【発明の効果】

【0022】

本発明によると、完全テストが可能な非同期式回路を、小さな面積オーバーヘッドおよび遅延オーバーヘッドで構成することができる。また、スキャンテストによってMullerのC素子、非対称C素子、ラッチなどの非同期記憶機能について完全テストが可能となる。

【図面の簡単な説明】

【0023】

【図1】図1は、本発明の一実施形態に係るスキャン非同期記憶素子の構成図である。

【図2】図2は、変形例に係るスキャン非同期記憶素子の構成図である。

【図3】図3は、別の変形例に係るスキャン非同期記憶素子の構成図である。

【図4】図4は、本発明の一実施形態に係る半導体集積回路の構成図である。

30

【図5】図5は、非同期記憶素子スキャンチェーンの構成図である。

【図6A】図6Aは、図4の半導体集積回路の設計方法の説明する模式図である。

【図6B】図6Bは、図6Aに続く図である。

【図7】図7は、透過スキャンラッチの構成図である。

【図8】図8は、スキャンラッチの構成図である。

【図9】図9は、L1L2シフトのタイミングチャートである。

【図10】図10は、L1キャプチャのタイミングチャートである。

【図11】図11は、L1L2シフトの別のタイミングチャートである。

【図12】図12は、図5の非同期記憶素子スキャンチェーンのテストに係るタイミングチャートである。

40

【図13】図13は、テストパターン生成において一時的に生成される回路モデルの模式図である。

【図14】図14は、C素子で構成された非同期記憶素子を有するスキャン非同期記憶素子に対応する時間展開モデルを説明する図である。

【図15】図15は、Dラッチで構成された非同期記憶素子を有するスキャン非同期記憶素子に対応する時間展開モデルを説明する図である。

【図16】図16は、正論理のSRラッチで構成された非同期記憶素子を有するスキャン非同期記憶素子に対応する時間展開モデルを説明する図である。

【発明を実施するための形態】

【0024】

50

( スキャン非同期記憶素子の実施形態 )

図 1 は、本発明の一実施形態に係るスキャン非同期記憶素子の構成を示す。本実施形態に係るスキャン非同期記憶素子 10 は、非同期記憶素子 ( AM : Asynchronous Memory element ) 12 およびその入力側に接続されたスキャン制御論理回路 ( SCL ) 14 で構成することができる。非同期記憶素子 12 は、同期クロック信号を持たず、他の記憶素子とは独立に入力信号を記憶する素子である。例えば、非同期記憶素子 12 は入力 a , b とフィードバックされた出力 Z の 3 入力の多数決を演算する多数決関数で実現される C 素子で構成することができる。非同期記憶素子 12 を C 素子で構成した場合、入力 a , b が “ 1 1 ” になると出力が “ 1 ” に、“ 0 0 ” になると出力が “ 0 ” に遷移する。入力 a , b が “ 0 1 ” または “ 1 0 ” の場合には前の値を保持する ( 表 1 参照 )。

10

【 0 0 2 5 】

【 表 1 】

a	b	Z
0	0	0
0	1	前の値
1	0	前の値
1	1	1

20

【 0 0 2 6 】

非同期記憶素子 12 は D ラッチで構成することもできる。例えば、非同期記憶素子 12 を、入力 a をデータ入力、入力 b をストロブパルス入力とする D ラッチで構成した場合、入力 b が “ 1 ” である間は入力 a がそのまま出力され、入力 b が “ 0 ” である間は非同期記憶素子 12 は前の値を保持する ( 表 2 参照 )。

【 0 0 2 7 】

【 表 2 】

a	b	Z
0	0	前の値
0	1	0
1	0	前の値
1	1	1

30

【 0 0 2 8 】

非同期記憶素子 12 は S R ラッチで構成することもできる。例えば、非同期記憶素子 12 を、入力 a をセット入力、入力 b をリセット入力とする正論理の S R ラッチで構成した場合、入力 a , b が “ 1 0 ” になると出力が “ 1 ” に、“ 0 1 ” になると出力が “ 0 ” に遷移する。入力 a , b が “ 0 0 ” の場合には前の値を保持し、“ 1 1 ” は禁止入力である。負論理の S R ラッチの場合には、入力 a , b が “ 0 1 ” になると出力が “ 1 ” に、“ 1 0 ” になると出力が “ 0 ” に遷移する。入力 a , b が “ 1 1 ” の場合には前の値を保持し、“ 0 0 ” は禁止入力である ( 表 3 参照 )。

40

【 0 0 2 9 】



【表 3】

a	b	Z
0 (or 1)	0 (or 1)	前の値
0	1	0 (or 1)
1	0	1 (or 0)

## 【 0 0 3 0 】

10

なお、非同期記憶素子 1 2 をラッチで構成した場合、非同期記憶素子 1 2 は出力 Z の反転も出力することがある。

## 【 0 0 3 1 】

スキャン制御論理回路 1 4 は、信号入力 A , B およびスキャン入力 S I から非同期記憶素子 1 2 の入力 a , b を生成する論理回路である。例えば、スキャン制御論理回路 1 4 は、組み合わせ論理回路 1 4 1 および 2 つのマルチプレクサ 1 4 2 , 1 4 3 で構成することができる。組み合わせ論理回路 1 4 1 は、S C のビットパターンに応じて、S I を 2 ビットスキャン入力 S A , S B として出力するとともにスキャンイネーブル信号 S E を出力する。マルチプレクサ 1 4 2 は、S E に応じて A および S A のいずれか一方を a として出力する。マルチプレクサ 1 4 3 は、S E に応じて B および S B のいずれか一方を b として出力する。

20

## 【 0 0 3 2 】

例えば、非同期記憶素子 1 2 を C 素子で構成した場合において S C が “ 0 0 ” のとき、スキャン制御論理回路 1 4 は A , B をそのまま出力する。この場合、スキャン非同期記憶素子 1 0 は A , B が入力される Muller の C 素子として動作する。S C が “ 1 1 ” のとき、スキャン制御論理回路 1 4 は S I を a , b として出力する。この場合、スキャン非同期記憶素子 1 0 の出力は S I に遷移する。すなわち、スキャン非同期記憶素子 1 0 にスキャンインした S I を記憶させることができる。S C が “ 0 1 ” または “ 1 0 ” のとき、スキャン制御論理回路 1 4 は “ 0 1 ” または “ 1 0 ” を出力する。この場合、スキャン非同期記憶素子 1 0 は前の値を保持する（表 4 参照）。ただし、表 4 および以降の各表中の “ X ” は dont care である。

30

## 【 0 0 3 3 】

## 【表 4】

SC		SE	a	b	SA	SB	動作
0	0	0	A	B	X	X	通常
0	1	1	0	1	0	1	スキャンシフト(前の値)
1	0	1	1	0	1	0	スキャンシフト(前の値)
1	1	1	SI	SI	SI	SI	スキャンシフト(SI)

40

## 【 0 0 3 4 】

また、例えば、非同期記憶素子 1 2 を、入力 a をデータ入力、入力 b をストロブパルス入力とする D ラッチで構成した場合において S C が “ 0 0 ” のとき、スキャン制御論理回路 1 4 は A , B をそのまま出力する。この場合、スキャン非同期記憶素子 1 0 は A , B が入力される D ラッチとして動作する。S C が “ 1 1 ” のとき、スキャン制御論理回路 1 4 は S I を a として出力し、b として “ 1 ” を出力する。この場合、スキャン非同期記憶素子 1 0 の出力は S I に遷移する。すなわち、スキャン非同期記憶素子 1 0 にスキャンインした S I を記憶させることができる。S C が “ 0 1 ” または “ 1 0 ” のとき、スキャン

50

制御論理回路 14 は “X0” を出力する。ただし、“X” はドントケアである。この場合、スキャン非同期記憶素子 10 は前の値を保持する（表 5 参照）。なお、後述するように半導体集積回路のテストにおいて組み合わせ回路の期待応答パターンに応じてスキャン非同期記憶素子 10 の保持動作に係る SC のビットパターンを最適なものに選択可能にするために、スキャン制御論理回路 14 は、例えば、SC が “01” のときは “00” を出力し、SC が “10” のときは “10” を出力するといったように、互いに異なるビットパターンを出力することが望ましい。

【0035】

【表 5】

SC	SE	a	b	SA	SB	動作	
0	0	0	A	B	X	X	通常
0	1	1	X	0	X	0	スキャンシフト(前の値)
1	0	1	X	0	X	0	スキャンシフト(前の値)
1	1	1	SI	1	SI	1	スキャンシフト(SI)

10

【0036】

また、例えば、非同期記憶素子 12 を、入力 a をセット入力、入力 b をリセット入力とする正論理の SR ラッチで構成した場合において SC が “00” のとき、スキャン制御論理回路 14 は A, B をそのまま出力する。この場合、スキャン非同期記憶素子 10 は A, B が入力される SR ラッチとして動作する。SC が “11” のとき、スキャン制御論理回路 14 は SI を a として出力し、SI の反転を b として出力する。この場合、スキャン非同期記憶素子 10 の出力は SI に遷移する。すなわち、スキャン非同期記憶素子 10 にスキャンインした SI を記憶させることができる。SC が “01” または “10” のとき、スキャン制御論理回路 14 は “00” を出力する。この場合、スキャン非同期記憶素子 10 は前の値を保持する。負論理の SR ラッチの場合には、SC が “11” のとき、スキャン制御論理回路 14 は SI の反転を a として出力し、SI を b として出力し、SC が “01” または “10” のとき、スキャン制御論理回路 14 は “11” を出力する（表 6 参照）。

20

30

【0037】

【表 6】

SC	SE	a	b	SA	SB	動作	
0	0	0	A	B	X	X	通常
0	1	1	0 (or 1)	0 (or 1)	0 (or 1)	0 (or 1)	スキャンシフト(前の値)
1	0	1	0 (or 1)	0 (or 1)	0 (or 1)	0 (or 1)	スキャンシフト(前の値)
1	1	1	SI (or $\bar{SI}$ )	$\bar{SI}$ (or SI)	SI (or $\bar{SI}$ )	$\bar{SI}$ (or SI)	スキャンシフト(SI)

40

【0038】

以上のように本実施形態に係るスキャン非同期記憶素子は、一般的な非同期記憶素子 12 に 2 つのマルチプレクサ 142, 143 と簡単な回路構成のスキャン制御論理回路 14 を追加するだけで構成することができるため、面積オーバーヘッドは比較的小さい。また、信号パスに挿入されるのはマルチプレクサ 142 または 143 の 1 段だけであるから遅延オーバーヘッドを最小にすることができる。

【0039】

さらに、非同期記憶素子 12 自体でスキャン入力を記憶するため、後述するようにスキ

50

ンテストによって非同期記憶素子 1 2 の記憶機能について完全テストが可能である。また、後述するように、内部のレースを考慮して S C のビットパターンを決定することにより、レースのない制御が可能となる。

【 0 0 4 0 】

なお、スキャン制御論理回路 1 4 は上記構成に限定されない。表 4、表 5、および表 6 に示した入出力が実現できるのであれば別構成であってもよい。

【 0 0 4 1 】

また、非同期記憶素子 1 2 がセット機能またはリセット機能を有する場合、S E が “ 1 ” のときにセットまたはリセットが働かないようにするために、図 2 に示したように、S E とセット信号またはリセット信号 R D との論理演算を行う組み合わせ回路 1 7 を追加して、組み合わせ回路 1 7 の出力をセット信号またはリセット信号 r d として非同期記憶素子 1 2 に与えればよい。

【 0 0 4 2 】

また、非同期記憶素子 1 2 として C 素子を用いる場合、スキャン非同期記憶素子 1 0 の信号入力は 2 ビットに限定されない。スキャン非同期記憶素子 1 0 の信号入力は 3 ビット以上であってもよい。図 2 は、変形例に係るスキャン非同期記憶素子 1 0 の構成を示す。当該スキャン非同期記憶素子 1 0 には A [ 1 ] から A [ n ] までの n ビットの信号が入力される。信号入力が n ビットの場合、スキャン非同期記憶素子 1 0 に含まれるマルチプレクサ 1 4 4 の個数は n 個となり、スキャン制御論理回路 1 4 は n ビットの S C に応じて S A [ 1 ] から S A [ n ] までの n ビットスキャン入力を生成する。非同期記憶素子 1 2 は、入力信号の全ビットが “ 1 ” になると出力が “ 1 ” に、全ビットが “ 0 ” になると出力が “ 0 ” に遷移し、それ以外の場合には前の値を保持する。基本的に n ビットスキャン入力は S C と同じにすればよい。なお、非同期記憶素子 1 2 の記憶機能の完全テストができなくなるが、スキャン非同期記憶素子 1 0 が前の値を保持するための S C のビットパターンの種類を削減することで S C を n - 1 ビット以下にすることもできる。

【 0 0 4 3 】

さらに、非同期記憶素子 1 2 は 2 入力以上の非対称 C 素子であってもよい。非対称 C 素子では信号入力の全ビットが “ 1 ” (または “ 0 ”) にならなくても出力が “ 1 ” (または “ 0 ”) に遷移する。この場合もスキャン非同期記憶素子 1 0 に含まれるマルチプレクサの個数は n 個となり、スキャン制御論理回路 1 4 は n ビットの S C に応じて n ビットスキャン入力を生成する。ただし、Muller の C 素子の場合と違って、スキャン非同期記憶素子 1 0 が前の値を保持するための n ビットスキャン入力は S C にかかわらず特定のビットパターンにする必要がある。

【 0 0 4 4 】

( 半導体集積回路の実施形態 )

図 4 は、本発明の一実施形態に係る半導体集積回路の構成を示す。本実施形態に係る半導体集積回路は、信号入力 P I から信号出力 P O を生成する組み合わせ回路 ( C C ) 2 0 と複数のスキャン非同期記憶素子 ( S A M : Scan Asynchronous Memory element ) 1 0 とを備えている。各スキャン非同期記憶素子 1 0 の信号入力 A , B および出力 Z は組み合わせ回路 2 0 に接続されている。ここで、組み合わせ回路 2 0 はフィードバックパスを有しておらず、各スキャン非同期記憶素子 1 0 を記憶素子として使用するものとする。なお、組み合わせ回路 2 0 は後述するテストを実施する際にフィードバックパスを有していない組み合わせ回路とみなすことができればよいので、これを実現する機構を備えた非同期式回路であってもよい。

【 0 0 4 5 】

各スキャン非同期記憶素子 1 0 は、前段の出力と次段のスキャン入力が互いに接続されるように縦続接続されて ( 図 5 参照 )、非同期記憶素子スキャンチェーン 1 0 0 を構成している。非同期記憶素子スキャンチェーン 1 0 0 は、初段のスキャン非同期記憶素子 1 0 のスキャン入力 S I を後段の各スキャン非同期記憶素子 1 0 にスキャンシフトすることができる。また、各スキャン非同期記憶素子 1 0 が保持する値をスキャンシフトして最終段

のスキャン非同期記憶素子 10 からスキャン出力 S0 として取り出すことができる。

【0046】

非同期記憶素子スキャンチェーン 100 において、奇数段目のスキャン非同期記憶素子 10 は制御信号 SC1 で制御され、偶数段目のスキャン非同期記憶素子 10 は制御信号 SC2 で制御される。すなわち、互いに隣接する 2 つのスキャン非同期記憶素子 10 で LSSD ラッチが構成されている。したがって、本実施形態に係る半導体集積回路は、各スキャン非同期記憶素子 10 による遅延オーバーヘッドの低減効果に加えて、L1L2\*シングルラッチデザインを適用することで面積オーバーヘッドも最小化することができる。なお、LSSD ダブルラッチデザインや LSSD シングルラッチデザインを適用することも可能である。

10

【0047】

なお、上述したようにスキャン非同期記憶素子 10 の信号入力は 2 ビットに限定されない。また、非同期記憶素子スキャンチェーン 100 を構成するスキャン非同期記憶素子 10 は 4 個に限定されない。5 個以上のスキャン非同期記憶素子 10 について SC1 で制御されるものと SC2 で制御されるものを交互に接続して非同期記憶素子スキャンチェーン 100 を構成してもよい。

【0048】

<半導体集積回路の設計>

次に、本実施形態に係る半導体集積回路の設計について、図 6A および図 6B を参照しながら説明する。なお、本実施形態に係る半導体集積回路の設計は、下記の各ステップをコンピュータに実行させることにより実施することができる。図 4 の半導体集積回路は既存の非同期式回路を変形して得ることができる。まず、ステップ 1 として、原非同期式回路に含まれる非同期記憶素子 12 をスキャン非同期記憶素子 10 に置き換える。次に、ステップ 2 として、スキャン非同期記憶素子 10 を L1 ラッチおよび L2 ラッチにグループ分けして、原非同期式回路に含まれる組み合わせ回路 20 を部分回路 21, 22 に分割する。部分回路 21 は、組み合わせ回路 20 の信号入力 PI の一部である信号入力 PI1 から信号出力 PO の一部である信号出力 PO1 を生成する。部分回路 22 は、組み合わせ回路 20 の信号入力 PI の残りである信号入力 PI2 から信号出力 PO の残りである信号出力 PO2 を生成する。L1 ラッチであるスキャン非同期記憶素子 10 の信号入力は部分回路 21 に接続され、出力は部分回路 22 に接続されている。L2 ラッチであるスキャン非同期記憶素子 10 の信号入力は部分回路 22 に接続され、出力は部分回路 21 に接続されている。

20

30

【0049】

なお、スキャン非同期記憶素子 10 だけでは組み合わせ回路 20 を完全に分割できない場合には、透過スキャンラッチ (TSL) 30 を L1 ラッチまたは L2 ラッチとして部分回路 21, 22 間に適宜挿入してもよい。図 7 は、透過スキャンラッチ 30 の一構成例を示す。透過スキャンラッチ 30 は、組み合わせ論理回路 32、マルチプレクサ 34、およびラッチ 36 で構成することができる。組み合わせ論理回路 32 は、スキャン非同期記憶素子 10 と同じ制御信号 SC のビットパターンに応じて、スキャンイネーブル信号 SE およびロードイネーブル信号 LE を出力する。マルチプレクサ 34 は、SE に応じて信号入力 A およびスキャン入力 SI のいずれか一方を出力する。ラッチ 36 は、LE に応じてマルチプレクサ 34 の出力をラッチする。

40

【0050】

例えば、SC が “00” のとき、透過スキャンラッチ 30 は A をそのまま出力する。この場合、透過スキャンラッチ 30 は単なる信号線として動作する。SC が “11” のとき、透過スキャンラッチ 30 は SI を出力する。SC が “01” または “10” のとき、透過スキャンラッチ 30 は前の値を保持する (表 7 参照)。

【0051】

【表 7】

SC	SE	LE	動作	
0	0	0	1	通常
0	1	X	0	スキャンシフト(前の値)
1	0	X	0	スキャンシフト(前の値)
1	1	1	1	スキャンシフト(SI)

10

## 【 0 0 5 2 】

組み合わせ回路 20 が分割できたなら、後は L 1 ラッチおよび L 2 ラッチを交互に接続して非同期記憶素子スキャンチェーンを構成すればよいのだが、ここで故障検出可能性を考慮する必要がある。例えば、非同期記憶素子 1 2 を C 素子で構成した場合においてスキャン非同期記憶素子 1 0 に “ 0 0 ” が入力されるべきところが故障により “ 0 1 ” が入力された場合にはスキャン非同期記憶素子 1 0 は前の値を保持する。ここで、スキャン非同期記憶素子 1 0 の前の値が “ 0 ” であったなら正常値および故障値のいずれが入力されても出力は “ 0 ” を保持するため故障が検出できない。これに対して、前の値を “ 1 ” にしておけば、正常値 “ 0 0 ” が入力されたなら出力は “ 0 ” に遷移し、故障値 “ 0 1 ” が入力されたなら出力は “ 1 ” を保持するため、故障を検出することができる。非同期記憶素子 1 2 を C 素子で構成した場合のスキャン非同期記憶素子 1 0 の入出力と故障検出可能性の関係は表 8 の通りである。なお、この関係は Muller の C 素子などについても当てはまる。

20

## 【 0 0 5 3 】

【表 8】

A	B	Z	故障検出可能性
0	0/1	1	可
0	1/0	1	可
1	0/1	0	可
1	1/0	0	可
0/1	0	1	可
1/0	0	1	可
0/1	1	0	可
1/0	1	0	可
0/1	0/1	X	可
1/0	0/1	X	不可
0/1	1/0	X	不可
1/0	1/0	X	可

30

40

ただし、 $\alpha/\beta$  において  $\alpha$  は正常値、 $\beta$  は故障値を表す。

## 【 0 0 5 4 】

また、例えば、非同期記憶素子 1 2 を、入力 a をデータ入力、入力 b をストロークパルス入力とする D ラッチで構成した場合においてスキャン非同期記憶素子 1 0 に “ 0 0 ” が

50

入力されるべきところが故障により“01”が入力された場合にはスキャン非同期記憶素子10の出力は“0”に遷移する。ここで、スキャン非同期記憶素子10の前の値が“0”であったなら正常値および故障値のいずれが入力されても出力は“0”のまま変わらないため故障が検出できない。これに対して、前の値を“1”にしておけば、正常値“00”が入力されたなら出力は“1”を保持し、故障値“01”が入力されたなら出力は“0”に遷移するため、故障を検出することができる。非同期記憶素子12を、入力aをデータ入力、入力bをストロブパルス入力とするDラッチで構成した場合のスキャン非同期記憶素子10の入出力と故障検出可能性の関係は表9の通りである。

【0055】

【表9】

A	B	Z	故障検出可能性
0	0/1	1	可
0	1/0	1	可
1	0/1	0	可
1	1/0	0	可
0/1	0	X	不可
1/0	0	X	不可
0/1	1	0	可
1/0	1	1	可
0/1	0/1	0	可
1/0	0/1	1	可
0/1	1/0	1	可
1/0	1/0	0	可

ただし、 $\alpha/\beta$ において $\alpha$ は正常値、 $\beta$ は故障値を表す。

【0056】

また、例えば、非同期記憶素子12を、入力aをセット入力、入力bをリセット入力とする正論理のSRラッチで構成した場合においてスキャン非同期記憶素子10に“00”が入力されるべきところが故障により“01”が入力された場合にはスキャン非同期記憶素子10の出力は“0”に遷移する。ここで、スキャン非同期記憶素子10の前の値が“0”であったなら正常値および故障値のいずれが入力されても出力は“0”のまま変わらないため故障が検出できない。これに対して、前の値を“1”にしておけば、正常値“00”が入力されたなら出力は“1”を保持し、故障値“01”が入力されたなら出力は“0”に遷移するため、故障を検出することができる。非同期記憶素子12を、入力aをセット入力、入力bをリセット入力とする正論理のSRラッチで構成した場合のスキャン非同期記憶素子10の入出力と故障検出可能性の関係は表10の通りである。

【0057】

10

20

30

40

【表 10】

A	B	Z	故障検出可能性
0	0/1	1	可
0	1/0	1	可
1	0/1	X	不可
1	1/0	X	不可
0/1	0	0	可
1/0	0	0	可
0/1	1	X	不可
1/0	1	X	不可
0/1	0/1	X	不可
1/0	0/1	X	可
0/1	1/0	X	可
1/0	1/0	X	不可

10

20

ただし、 $\alpha/\beta$ において $\alpha$ は正常値、 $\beta$ は故障値を表す。

## 【0058】

したがって、スキャン非同期記憶素子10の故障検出可能性を考慮すると、L1ラッチおよびL2ラッチのペアからなる各LSSDラッチは互いに影響を与えないテストパターンの保持およびそれに対する応答パターンの保持ができなければならない。そこで、下記のステップに従って非同期記憶素子スキャンチェーンを構成することでテストパターンと応答パターンの相互独立性を保証する。

30

## 【0059】

図6Bに移り、組み合わせ回路20が部分回路21, 22に分割できたなら、次にステップ3として、各スキャン非同期記憶素子10および各透過スキャンラッチ30について、L1ラッチおよびL2ラッチの間の入出力の依存関係を特定する。具体的には、各スキャン非同期記憶素子10および透過スキャンラッチ30について、それを頂点としてその入力に繋がる他グループに属するスキャン非同期記憶素子10および透過スキャンラッチ30の出力の集合である疑似出力錐を特定する。図中に示したように、任意のL1ラッチおよびL2ラッチについて、一方を頂点とする疑似出力錐の入力部分に他方の出力が含まれていなければ、それら2つのラッチに入出力の依存関係はないと言える。

## 【0060】

L1ラッチおよびL2ラッチの間の入出力の依存関係が特定できたなら、次にステップ4として、入出力の依存関係がないL1ラッチおよびL2ラッチを交互に、かつ、前段の出力と後段のスキャン入力とを互いに接続して、非同期記憶素子スキャンチェーン100を構成する。疑似出力錐の入力部分が大きいほど入出力の依存関係がないL1ラッチおよびL2ラッチのペアを見つけにくいいため、疑似出力錐の入力部分が大きなものから優先的に選択して接続していけばよい。しかし、入出力の依存関係がないL1ラッチおよびL2ラッチのペアがまったく見つからないこともある。その場合には、スキャンラッチ(SL)40をL1ラッチまたはL2ラッチのペアの代用として挿入するとよい。図8は、スキャンラッチ40の一構成例を示す。スキャンラッチ40は、組み合わせ論理回路42およびラッチ44で構成することができる。組み合わせ論理回路42は、スキャン非同期記憶素子10と同じ制御信号SCのビットパターンに応じて、ロードイネーブル信号LEを出

40

50

力する。ラッチ 4 4、LE に応じてスキャン入力 SI をラッチする。スキャンラッチ 4 0 には信号入力はない。

【 0 0 6 1 】

例えば、SC が “ 0 0 ” のとき、スキャンラッチ 4 0 はドントケアとなる。SC が “ 1 1 ” のとき、スキャンラッチ 4 0 は SI を出力する。SC が “ 0 1 ” または “ 1 0 ” のとき、スキャンラッチ 4 0 は前の値を保持する（表 1 1 参照）。

【 0 0 6 2 】

【表 1 1】

SC	LE	動作
0 0	X	ドントケア
0 1	0	スキャンシフト(前の値)
1 0	0	スキャンシフト(前の値)
1 1	1	スキャンシフト(SI)

10

【 0 0 6 3 】

以上のように、本設計方法によると、特にステップ 3 およびステップ 4 によって、入出力の依存関係がない L 1 ラッチおよび L 2 ラッチのペアで L S S D ラッチが構成される。これにより、テストパターンと応答パターンの相互独立性が保証され、組み合わせ回路 2 0 の完全な故障検出が可能となる。

20

【 0 0 6 4 】

なお、上記設計手法はスキャン非同期記憶素子 1 0 を備えていない従来の非同期式回路についても適用可能である。従来の非同期式回路の場合、原非同期式回路に含まれる C 素子などの非同期記憶素子をスキャン非同期記憶素子に置き換えるステップ 1 に代えて、例えば、C 素子のフィードバックパス中にマルチプレクサおよびラッチを挿入して L 1 L 2 \* シングルラッチデザインの非同期式回路に変形すればよい。

【 0 0 6 5 】

< 半導体集積回路のテスト >

30

次に、半導体集積回路に含まれる組み合わせ回路 2 0 のテストについて説明する。図 6 B に示した非同期記憶素子スキャンチェーン 1 0 0 は L 1 ラッチおよび L 2 ラッチからなる L S S D ラッチで構成されている。したがって、部分回路 2 1、2 2 のそれぞれについて互いに独立にテストを行う必要がある。すなわち、部分回路 2 1 のテストでは、L 1 ラッチをマスターラッチ、L 2 ラッチをスレーブラッチとしてテストパターンをスキャンシフトする L 1 L 2 シフト、および L 2 ラッチをマスターラッチ、L 1 ラッチをスレーブラッチとしてテストパターンをスキャンシフトする L 2 L 1 シフトを交互に繰り返し、L 2 ラッチから部分回路 2 1 にテストパターンを印加し、L 1 ラッチで部分回路 2 1 の応答パターンをキャプチャ（以下、この動作を「L 1 キャプチャ」と称する）する。一方、部分回路 2 2 のテストでは、L 2 L 1 シフトおよび L 1 L 2 シフトを交互に繰り返し、L 1 ラッチから部分回路 2 2 にテストパターンを印加し、L 2 ラッチで部分回路 2 2 の応答パターンをキャプチャ（以下、この動作を「L 2 キャプチャ」と称する）する。

40

【 0 0 6 6 】

図 9 は、L 1 L 2 シフトのタイミングチャートである。図中の SC 1、SC 2 の値 “ H ” は、スキャン非同期記憶素子 1 0 が前の値を保持するときのビットパターン “ 0 1 ” または “ 1 0 ” を表し、値 “ L ” は、スキャン非同期記憶素子 1 0 がスキャン入力を保持するときのビットパターン “ 1 1 ” を表す。SC 1、SC 2 を “ H ” および “ L ” に交互に変化させることで、スキャン入力 SI に印加されたテストパターンがスキャンインされ、L 1 ラッチおよび L 2 ラッチのペアによって “ t 2 ” および “ t 1 ” が保持される。L 2 L 1 シフトの説明は省略するが、基本的には L 1 L 2 シフトにおける SC 1、SC 2 を入

50



れ替えたものがL2L1シフトの動作となる。

【0067】

図10は、L1キャプチャのタイミングチャートである。図に示したSC1の値“N”は、組み合わせ回路20からスキャン非同期記憶素子10にA、Bが入力されるときのビットパターン“00”を表す。SC2を“H”にしたままでSC1を“N” “H”に変化させることで、L1ラッチは組み合わせ回路20の応答パターン“r2”および“r1”をキャプチャする。L2キャプチャの説明は省略するが、基本的にはL1キャプチャにおけるSC1、SC2を入れ替えたものがL2キャプチャの動作となる。

【0068】

ここで、L1またはL2キャプチャでは組み合わせ回路20の応答パターンをキャプチャするとき、また、L1L2またはL2L1シフトではテストパターンのスキャンイン後かつ組み合わせ回路20の応答パターンのキャプチャ前に、SC1またはSC2は“H”となるが(図9および図10中の丸で囲んだ“H”)、そのビットパターンが適切でないと、スキャン非同期記憶素子10の内部でレースが発生する。例えば、非同期記憶素子12をC素子で構成した場合においてSC1を“00”にしてスキャン非同期記憶素子10が組み合わせ回路20の応答パターン“01”を保持している場合にSC1を“10”にすると、スキャン非同期記憶素子10の内部において非同期記憶素子12の入力a、bが“01”から“10”に変化する。その際、入力a、bの各変化のタイミングによっては入力a、bが“00”または“11”となり、スキャン非同期記憶素子10の保持値が変わってしまうおそれがある。したがって、組み合わせ回路20の応答パターンが“01”

10

20

【0069】

また、例えば、非同期記憶素子12を、入力aをデータ入力、入力bをストロブパルス入力とするDラッチで構成した場合(ただし、表5において入力a、bは、SCが“01”のとき“00”となり、SCが“10”のとき“10”となるものとする。)においてSC1を“00”にしてスキャン非同期記憶素子10が組み合わせ回路20の応答パターン“01”を保持している場合にSC1を“10”にすると、スキャン非同期記憶素子10の内部において非同期記憶素子12の入力a、bが“01”から“10”に変化する。その際、入力a、bの各変化のタイミングによっては入力a、bが“11”となり、スキャン非同期記憶素子10の保持値が変わってしまうおそれがある。したがって、組み合わせ回路20の応答パターンが“01”の場合にはSC1を“01”にしてスキャン非同期記憶素子10を制御すべきである。

30

【0070】

すなわち、スキャン非同期記憶素子10の保持動作に係るSC1のビットパターンは組み合わせ回路20の期待応答パターンに応じて決定すべきである。SC2についても同様のことが言える。

【0071】

なお、図11に示したように、L1L2シフトにおいて、テストパターンのスキャンイン後かつ組み合わせ回路20の応答パターンのキャプチャ前にSC1を“L”にすることで、その直前の“H”のビットパターンについての制約がなくなる。これは、組み合わせ回路20の応答パターンのキャプチャ前にSC1が“L”になると、L1ラッチに前段のL2ラッチの出力がスキャン入力されてL1ラッチは前の値を保持し続けるため、レースによる保持値の変化が発生しなくなるからである。ただし、SC1が“L”から“N”に、すなわち、“11”から“00”に変化するため、変化の途中で一時的にSC1は“01”または“10”となるとスキャン非同期記憶素子10を“H”で制御したのと同じ効果を生じるので、この点に注意が必要である。L2L1シフトについても同様のことが言える。

40

【0072】

以上のことを踏まえて、組み合わせ回路20のテストパターンは次のような手順で生成することができる。なお、テストパターンの生成は、下記の手順をコンピュータに実行さ

50

せることにより実施することができる。まず、自動テストパターン生成ツール（ATPG）などを用いて組み合わせ回路20に印加すべき基本テストパターンを生成する。そして、シミュレーションにより当該基本テストパターンに対する組み合わせ回路20の期待応答パターンを算出する。期待応答パターンが得られたなら、その値に基づいて、上記のレースが発生するタイミングにおけるスキャン非同期記憶素子10の保持動作に係るSC1, SC2のビットパターンを決定する。そして、ATPGで生成した基本テストパターンにSC1, SC1のビットパターンを付加して、最終的なテストパターンを得る。なお、L1L2\*シングルラッチデザインの場合、部分回路21, 22のそれぞれについて基本テストパターンを生成し、期待応答パターンを算出する必要がある。

#### 【0073】

組み合わせ回路20の故障を完全に検出するには、テストパターンのスキャンインが完了したときの各スキャン非同期記憶素子10の保持値が、組み合わせ回路20の応答パターンに応じた値となっている必要がある（表8、表9、および表10参照）。したがって、故障シミュレーションなどによって算出された期待応答パターンに基づいて、基本テストパターンを組み合わせ回路20に印加した際に検出対象とする誤りを含む応答パターンをその誤りを失うことなくキャプチャするためのキャプチャパターンを生成し、それをテストパターンの一部として用いることが好ましい。

#### 【0074】

<スキャン非同期記憶素子のテスト>

次に、スキャン非同期記憶素子10のテストについて説明する。スキャン非同期記憶素子10に含まれる非同期記憶素子12は、通常時には組み合わせ回路20の記憶素子として使用され、テスト時にはラッチとして使用される。したがって、図5の非同期記憶素子スキャンチェーン100のSIに適当なテストパターンを印加してそれをスキャンシフトして取り出したSOを検証することで、スキャン非同期記憶素子10の記憶機能のテストを行うことができる。さらに、印加するテストパターンを工夫することで記憶機能の完全テストが可能となる。

#### 【0075】

スキャン非同期記憶素子10の信号入力をa, b、出力をcとすると、非同期記憶素子12がC素子、Dラッチ、およびSRラッチのいずれで構成されているかに応じて(a, b, c)が取り得る状態は異なるものの、状態遷移は次の3タイプに分けることができる。第1のタイプは前の値を保持する状態遷移である。第2のタイプは保持値が前の値にフラッシュされる状態遷移である。第3のタイプは保持値が変化する状態遷移である。

#### 【0076】

例えば、非同期記憶素子12をC素子で構成した場合、(a, b, c)は、(0, 0, 0)、(1, 0, 0)、(0, 1, 0)、(1, 1, 1)、(0, 1, 1)、および(1, 0, 1)の6状態のいずれかである。第1のタイプとして(0, 0, 0) (0, 1, 0)、(0, 0, 0) (1, 0, 0)、(1, 1, 1) (0, 1, 1)、および(1, 1, 1) (1, 0, 1)の4つが該当する。第2のタイプとして(0, 1, 0) (0, 0, 0)、(1, 0, 0) (0, 0, 0)、(0, 1, 1) (1, 1, 1)、および(1, 0, 1) (1, 1, 1)の4つが該当する。第3のタイプとして(0, 1, 0) (1, 1, 1)、(1, 0, 0) (1, 1, 1)、(0, 1, 1) (0, 0, 0)、および(1, 0, 1) (0, 0, 0)の4つが該当する。したがって、テスト対象のスキャン非同期記憶素子10についてこれら3タイプの状態遷移をすべて再現されるようにスキャン入力およびSC1, SC2のビットパターンを決定してテストパターンを生成する。このように生成されたテストパターンを用いることでスキャン非同期記憶素子10の記憶機能の完全テストを実施することができる。

#### 【0077】

図12は、非同期記憶素子12をC素子で構成した場合の非同期記憶素子スキャンチェーン100のテストに係るタイミングチャートである。図中のSC1, SC2の値“H1”および“H2”は、それぞれ、スキャン非同期記憶素子10が前の値を保持するときの

10

20

30

40

50

ビットパターン“01”および“10”を表す。まず、SIを“1”にしてSC1, SC2を“L”および“H1”に交互に変化させることで、各スキャン非同期記憶素子10の状態は(1, 1, 1) (0, 1, 1) (1, 1, 1)を繰り返し、第1および第2のタイプの状態遷移が再現される。次に、SIを“0”に変えることで、各スキャン非同期記憶素子10において第3のタイプの状態遷移が再現され、その後SC1, SC2を“L”および“H2”に交互に変化させることで、各スキャン非同期記憶素子10の状態は(0, 0, 0) (1, 0, 0) (0, 0, 0)を繰り返し、第1および第2のタイプの状態遷移が再現される。各スキャン非同期記憶素子10が正常に動作しているかどうかは、最終段のスキャン非同期記憶素子10からスキャンアウトされるSOを検証することで判定することができる。

10

#### 【0078】

なお、非同期記憶素子12をDラッチまたはSRラッチで構成した場合についての例示は省略するが、(a, b, c)が取り得る状態、および第1から第3のタイプに該当する状態遷移が非同期記憶素子12をC素子で構成した場合と異なるのみで、基本的には上述した方法でスキャン非同期記憶素子10のテストを行うことができる。

#### 【0079】

<半導体集積回路のテストパターン生成>

図6Bのステップ4後の半導体集積回路に含まれる組み合わせ回路20のテストパターン生成は基本的に次のように行う。なお、テストパターンの生成は、下記の手順をコンピュータに実行させることにより実施することができる。まず、半導体集積回路からスキャン非同期記憶素子10を削除して組み合わせ回路20をそれぞれ独立した入出力を有する部分回路21, 22に分割した回路モデルを生成する。当該回路モデルでは、削除されたスキャン非同期記憶素子10の出力が部分回路21, 22の疑似外部入力となり、また、削除されたスキャン非同期記憶素子10の入力が部分回路21, 22の疑似外部出力となる(図13において破線で描いた要素を除く構成を参照)。次に、回路モデルにおける部分回路21, 22のそれぞれについて、ATPGなどを用いて、テストパターンと応答パターンとの間に論理矛盾が生じないように、各故障に対して個別のテストパターンを生成する。なお、応答パターンをキャプチャするスキャン非同期記憶素子10に故障値が伝搬するには、部分回路21, 22にそのスキャン非同期記憶素子10を頂点とする疑似出力錐の入力部分についてのテストパターンを印加すれば十分である。したがって、必要最小限の入力部分のみをテストパターンとして採用する。

20

30

#### 【0080】

一般に、ATPGは、一つの故障について個別のテストパターンを生成するのではなく複数の故障を同時に検出できるようなテストパターンを生成する。具体的には、ある故障についてテストパターンを生成すると、その故障の検出に不要な入力にランダムな値を与えて故障シミュレーションを行う。その結果、別の故障も同時に検出できることがわかると新たに生成したテストパターンを採用し、当該別の故障に対するテストパターン生成を省略する。このようなルールの下で生成されたテストパターンを用いることで組み合わせ回路20の完全テストを効率的に行うことができる。しかし、L1L2\*シングルラッチデザインでは、LSSDラッチにおいてテストパターンを保持するラッチと応答パターンを保持するラッチのペアの間で論理矛盾が生じることがある。すなわち、L1L2\*シングルラッチデザインでは、複数故障が検出可能な任意のテストパターンの印加に対して所望の任意の応答パターンがキャプチャできることが保証されていない。

40

#### 【0081】

そこで、下記の手法でテストパターンを生成するとよい。まず、図13に示したような、部分回路21, 22の入出力依存関係をなくした回路モデルを生成する。具体的には、非同期式回路に含まれる各スキャン非同期記憶素子10を、当該スキャン非同期記憶素子10に含まれる非同期記憶素子12を時間展開して得られる時間展開モデルであって当該スキャン非同期記憶素子10の信号入力およびその後段のスキャン非同期記憶素子10の出力に該当する部分回路21または22の信号入力を入力とする時間展開モデル50に置

50

き換えるとともに、部分回路 2 1 , 2 2 の信号入力を外部入力に、時間展開モデル 5 0 の出力を外部出力にそれぞれ置き換えることで、図 1 3 の回路モデルを生成することができる。

【 0 0 8 2 】

なお、半導体集積回路に透過スキャンラッチ 3 0 が含まれている場合、上記回路モデル上では透過スキャンラッチ 3 0 を省略し、当該省略した透過スキャンラッチ 3 0 の出力に対応する部分回路 2 1 , 2 2 の信号入力を外部入力に、入力に対応する信号出力を外部出力に置き換えるとよい。

【 0 0 8 3 】

図 1 4 は、C 素子で構成された非同期記憶素子 1 2 を有するスキャン非同期記憶素子 1 0 に対応する時間展開モデル 5 0 を示す。例えば、非同期記憶素子 1 2 が図 1 4 の左側に示したような C 素子で構成されている場合、スキャン制御論理回路 1 4 を省略し、出力 Z の帰還閉路 (フィードバックパス) 1 2 1 を切断して、図 1 4 の右側に示したように、後段のスキャン非同期記憶素子 1 0 の出力に該当する部分回路 2 1 または 2 2 の入力信号 1 2 2 を接続してできる組み合わせ回路が時間展開モデル 5 0 に相当する。

10

【 0 0 8 4 】

図 1 5 は、D ラッチで構成された非同期記憶素子 1 2 を有するスキャン非同期記憶素子 1 0 に対応する時間展開モデル 5 0 を示す。例えば、非同期記憶素子 1 2 が図 1 5 の左側に示したような D ラッチで構成されている場合、スキャン制御論理回路 1 4 を省略し、出力 Z の帰還閉路 (フィードバックパス) 1 2 1 を切断して、図 1 5 の右側に示したように、後段のスキャン非同期記憶素子 1 0 の出力に該当する部分回路 2 1 または 2 2 の入力信号 1 2 2 を接続してできる組み合わせ回路が時間展開モデル 5 0 に相当する。

20

【 0 0 8 5 】

図 1 6 は、正論理の S R ラッチで構成された非同期記憶素子 1 2 を有するスキャン非同期記憶素子 1 0 に対応する時間展開モデル 5 0 を示す。例えば、非同期記憶素子 1 2 が図 1 6 の左側に示したような正論理の S R ラッチで構成されている場合、スキャン制御論理回路 1 4 を省略し、出力 Z の帰還閉路 (フィードバックパス) 1 2 1 を切断して、図 1 6 の右側に示したように、後段のスキャン非同期記憶素子 1 0 の出力に該当する部分回路 2 1 または 2 2 の入力信号 1 2 2 を接続してできる組み合わせ回路が時間展開モデル 5 0 に相当する。

30

【 0 0 8 6 】

このように、非同期記憶素子 1 2 は時間展開によっていずれも組み合わせ回路に変形される。特に、C 素子は時間展開によって多数決関数を実現する組み合わせ回路に変形される。

【 0 0 8 7 】

以上のようにして回路モデルが生成できたなら、次は、回路モデルの部分回路 2 1 , 2 2 のそれぞれについて、複数の故障を同時に検出可能なテストパターンを生成する。

【 0 0 8 8 】

時間展開モデル 5 0 の出力は、元のスキャン非同期記憶素子 1 0 の出力がスキャンインされる後段のスキャン非同期記憶素子 1 0 の出力によって制約を受けるため、L S S D ラッチにおいてテストパターンを保持するラッチと応答パターンを保持するラッチのペアの間で論理矛盾が生じるようなテストパターンは生成されなくなる。すなわち、上記回路モデルについて生成されたテストパターンでは、L S S D ラッチにおいてテストパターンを保持するラッチと応答パターンを保持するラッチのペアの間の論理整合性が保証されている。したがって、L 1 L 2 \* シングルラッチデザインの非同期式回路に対して、複数の故障を同時に検出可能なテストパターンを論理矛盾なくスキャンインすることができる。

40

【 0 0 8 9 】

なお、上記テストパターン生成はスキャン非同期記憶素子 1 0 を備えていない従来の L 1 L 2 \* シングルラッチデザインの非同期式回路についても適用可能である。従来の非同期式回路の場合、原非同期式回路に含まれる非同期記憶素子ならびにそのフィードバック

50

パスに挿入されたマルチプレクサおよびラッチからなる部分を時間展開モデル50に置き換えればよい。

【産業上の利用可能性】

【0090】

本発明に係るスキャン非同期記憶素子は、非同期式回路のテスト容易化に寄与するものであるため、今後増加が予想されるGALSアーキテクチャを採用した半導体集積回路に有用である。

【符号の説明】

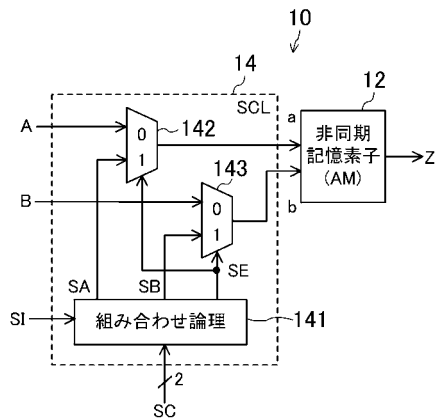
【0091】

- 10 スキャン非同期記憶素子
- 12 非同期記憶素子
- 14 スキャン制御論理回路
- 141 組み合わせ論理回路
- 142 マルチプレクサ
- 143 マルチプレクサ
- 144 マルチプレクサ
- 20 組み合わせ回路
- 21 部分回路(第1の部分回路)
- 22 部分回路(第2の部分回路)
- 30 透過スキャンラッチ
- 40 スキャンラッチ
- 50 時間展開モデル

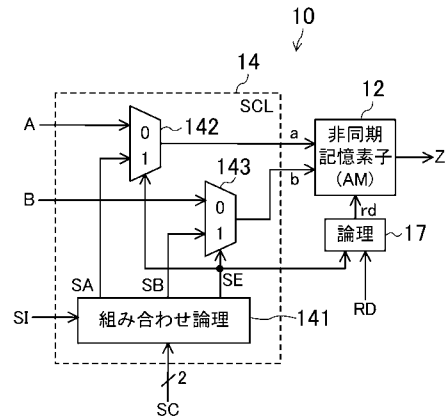
10

20

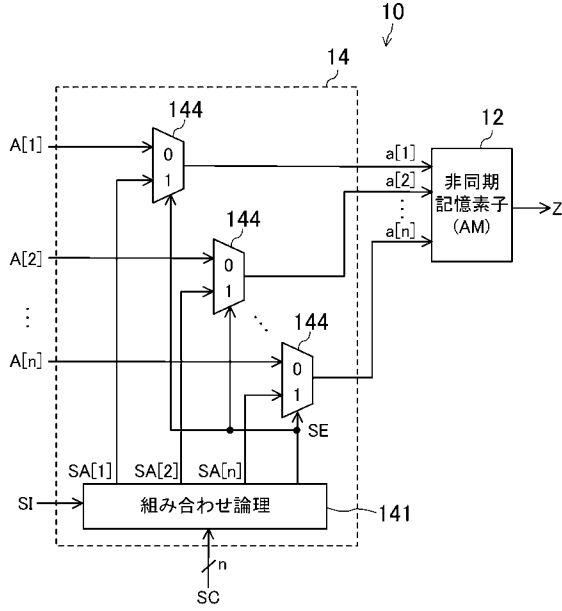
【図1】



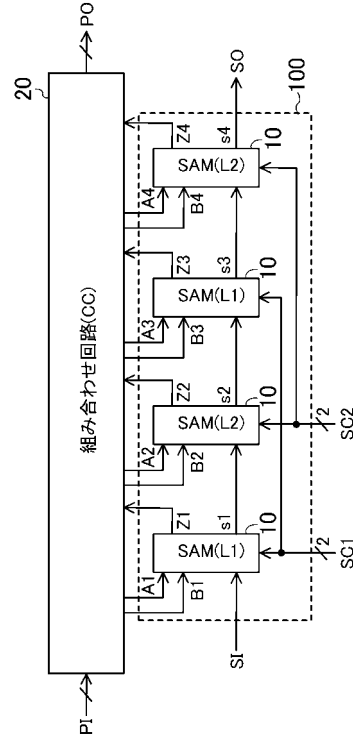
【図2】



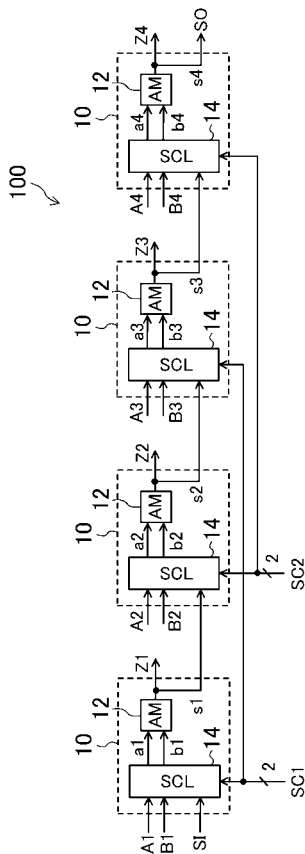
【図3】



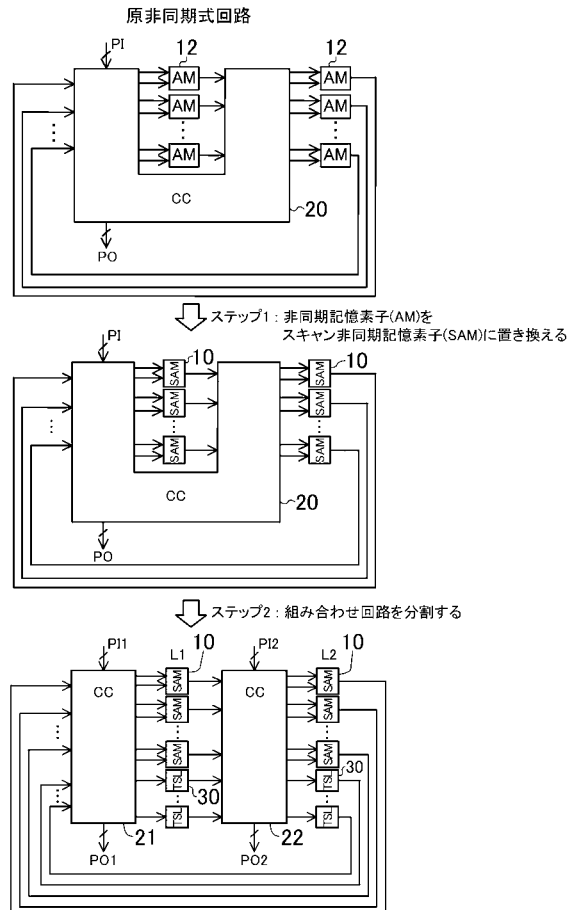
【図4】



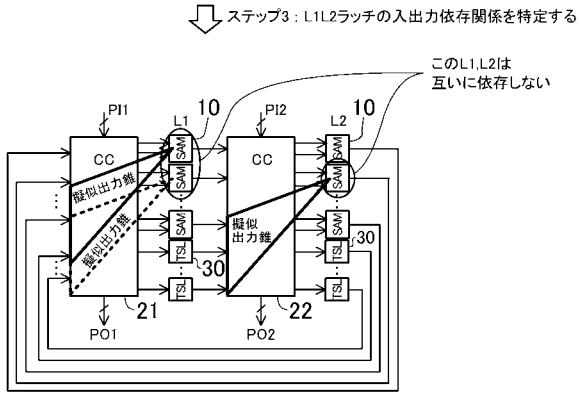
【図5】



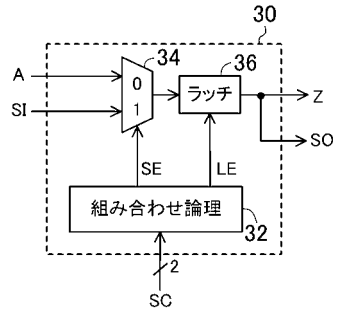
【図6A】



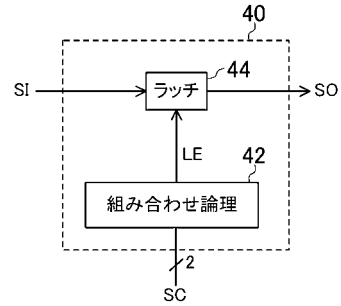
【 図 6 B 】



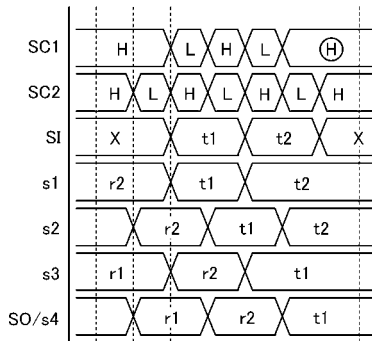
【 図 7 】



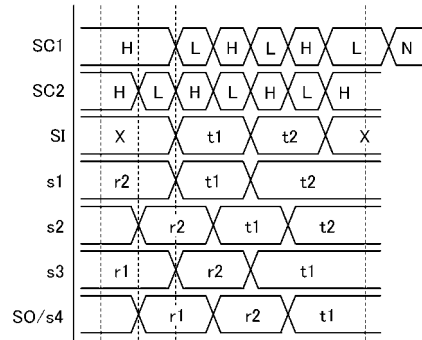
【 図 8 】



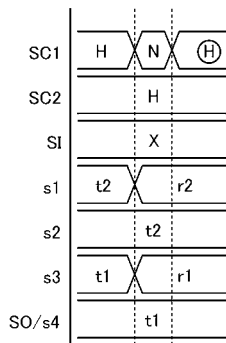
【 図 9 】



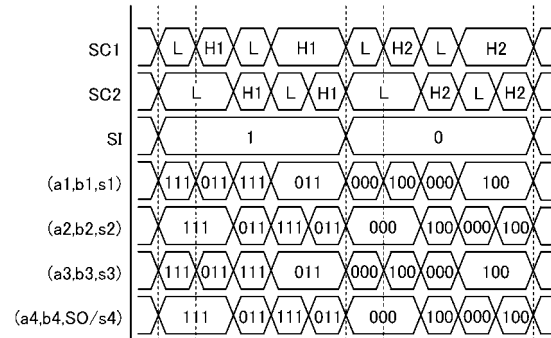
【 図 1 1 】



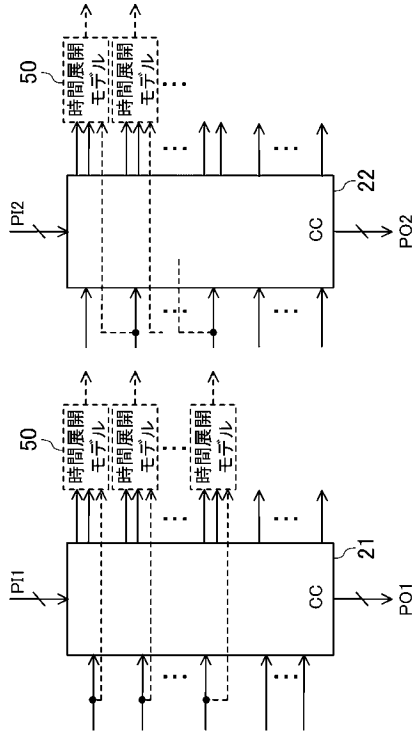
【 図 1 0 】



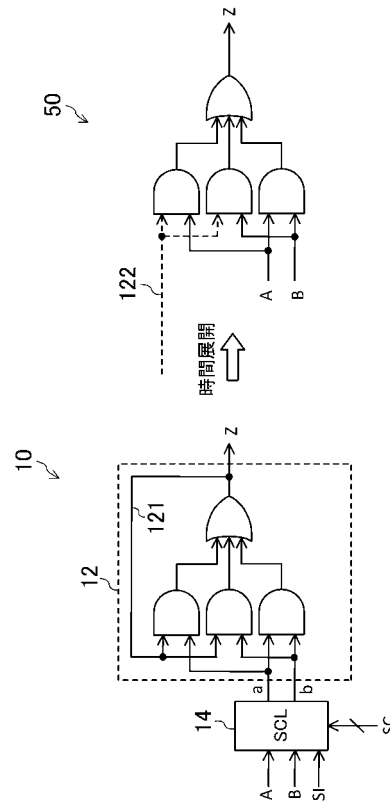
【 図 1 2 】



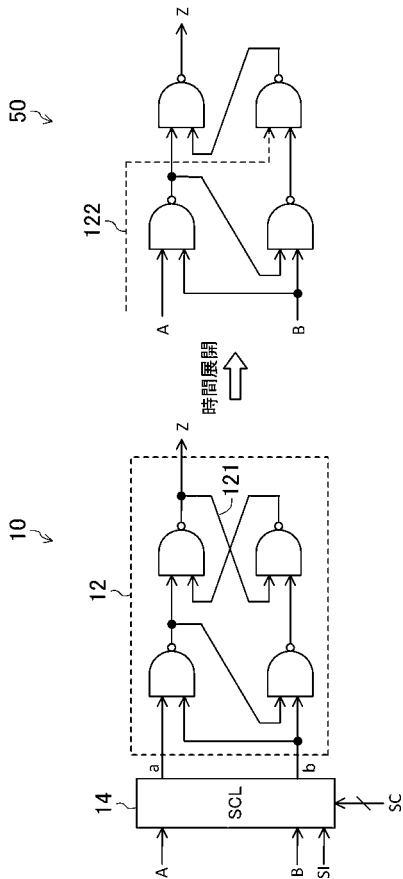
【図 1 3】



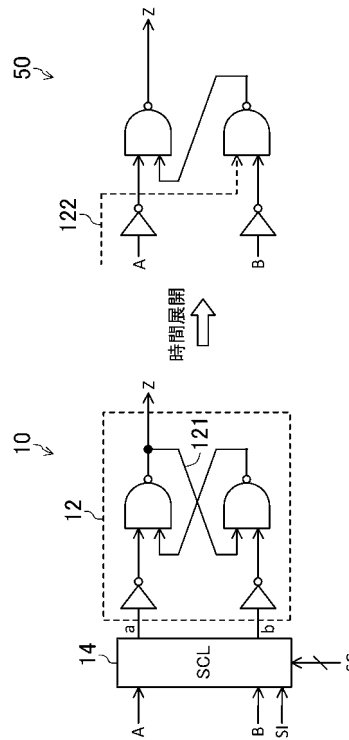
【図 1 4】



【図 1 5】



【図 1 6】





## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003405

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> G01R31/28(2006.01)i, G06F11/22(2006.01)i, H03K19/00(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G01R31/28-3193, G06F11/22-277, H03K19/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Frank te Beest and Ad Peeters, A Multiplexer Based Test Method for Self-Timed Circuits, Proceedings of the 11th IEEE International Symposium on Advanced Research in Asynchronous Circuits and Systems, 2005, 166-175	1-15
A	JP 7-202645 A (Motorola, Inc.), 04 August 1995 (04.08.1995), entire text; all drawings & US 5406216 A & EP 656544 A2	1-15
A	JP 2004-521352 A (Koninklijke Philips Electronics N.V.), 15 July 2004 (15.07.2004), entire text; all drawings & US 2005/0076275 A1 & EP 1402636 A & WO 2002/101926 A2 & CN 1515074 A	1-15
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 07 July, 2011 (07.07.11)		Date of mailing of the international search report 06 September, 2011 (06.09.11)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/003405

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Alex Kondratyev, et al., Testing of Asynchronous Designs by "Inappropriate" Means. Synchronous approach, Proceedings of the Eighth IEEE International Symposium on Asynchronous Circuits and Systems, 2002, 171-180	1-15

国際調査報告		国際出願番号 PCT/JP2011/003405									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G01R31/28(2006.01)i, G06F11/22(2006.01)i, H03K19/00(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G01R31/28-3193, G06F11/22-277, H03K19/00											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2011年										
日本国実用新案登録公報	1996-2011年										
日本国登録実用新案公報	1994-2011年										
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	Frank te Beest and Ad Peeters, A Multiplexer Based Test Method for Self-Timed Circuits, Proceedings of the 11th IEEE International Symposium on Advanced Research in Asynchronous Circuits and Systems, 2005, 166-175	1-15									
A	JP 7-202645 A (モトローラ・インコーポレイテッド) 1995.08.04, 全文, 全図 & US 5406216 A & EP 656544 A2	1-15									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 07.07.2011		国際調査報告の発送日 06.09.2011									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 堀 圭史	2S 3005								
		電話番号 03-3581-1101	内線 3258								

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 0 3 4 0 5
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-521352 A (コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ) 2004.07.15, 全文, 全図 & US 2005/0076275 A1 & EP 1402636 A & WO 2002/101926 A2 & CN 1515074 A	1-15
A	Alex Kondratyev, et al., Testing of Asynchronous Designs by "Inappropriate" Means. Synchronous approach, Proceedings of the Eighth IEEE International Symposium on Asynchronous Circuits and Systems, 2002, 171-180	1-15

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 井上 美智子

奈良県生駒市高山町8916-5 国立大学法人奈良先端科学技術大学院大学内

Fターム(参考) 2G132 AA01 AC14 AK14 AK26 AL11

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。