

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5283119号
(P5283119)

(45) 発行日 平成25年9月4日(2013.9.4)

(24) 登録日 平成25年6月7日(2013.6.7)

(51) Int.Cl.		F I	
HO 1 L 43/00	(2006.01)	HO 1 L 43/00	
HO 1 L 29/66	(2006.01)	HO 1 L 29/66	M
HO 3 F 15/00	(2006.01)	HO 3 F 15/00	

請求項の数 3 (全 12 頁)

(21) 出願番号	特願2008-527786 (P2008-527786)	(73) 特許権者	504136568 国立大学法人広島大学 広島県東広島市鏡山1丁目3番2号
(86) (22) 出願日	平成19年8月2日(2007.8.2)	(73) 特許権者	504180239 国立大学法人信州大学 長野県松本市旭三丁目1番1号
(86) 国際出願番号	PCT/JP2007/065141	(74) 代理人	110001427 特許業務法人前田特許事務所
(87) 国際公開番号	W02008/016103	(74) 代理人	100077931 弁理士 前田 弘
(87) 国際公開日	平成20年2月7日(2008.2.7)	(74) 代理人	100110939 弁理士 竹内 宏
審査請求日	平成22年7月12日(2010.7.12)	(74) 代理人	100110940 弁理士 嶋田 高久
(31) 優先権主張番号	特願2006-212395 (P2006-212395)		
(32) 優先日	平成18年8月3日(2006.8.3)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 電流増幅素子および電流増幅方法

(57) 【特許請求の範囲】

【請求項1】

2つの入力端子間に設けられ、入力電流が流れる入力電流路と、
2つの出力端子間に設けられ、出力電流が流れる出力電流路と、
発磁体と
を備え、
前記入力電流路と前記出力電流路とは略直交しており、
前記発磁体から生じている磁場が前記入力電流路および出力電流路の双方に略直交して
おり、
前記入力電流路と前記出力電流路との間には絶縁膜が介在しており、
前記入力電流が流れると、前記入力電流と前記磁場とから電流磁気効果により前記入力電
流よりも大きい前記出力電流が、前記入力電流とは略直交する方向に流れる、電流増幅素
子。

【請求項2】

前記2つの入力端子間の距離は、前記2つの出力端子間の距離よりも大きい、請求項1に
記載の電流増幅素子。

【請求項3】

2つの入力端子間に設けられた入力電流路に入力電流を流すステップと、
発磁体により、磁場を、前記入力電流が流れる向きに対して略直交させて印加するステッ
プと、

10

20

前記入力電流が流れる向きおよび磁場の印加の向きに対して略直交する向きに、2つの出力端子間に設けられた出力電流路に出力電流が流れるステップと

を含み、

前記出力電流が流れるところは、前記入力電流が流れるところから絶縁膜により隔てられており、

前記入力電流が流れると、前記入力電流と前記磁場とから電流磁気効果により前記入力電流よりも大きい前記出力電流が、前記入力電流とは略直交する方向に流れる、電流増幅方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、電流増幅素子および電流増幅方法に関し、特に発磁体を備えた電流増幅素子に関するものである。

【背景技術】

【0002】

近年、大容量かつ高速のデータ送受信に対する需要が高まっており、より大容量のデータを、より高速に送受信するため様々な検討が行われている。例えば、電界効果トランジスタなどの電子デバイスを用いたエレクトロニクスと、発光ダイオードなどの光素子を用いたフォトンクスとの融合に向けて、ミリ波帯よりさらに周波数の高いTHz帯での信号処理技術の研究が盛んに行われている。このような技術の実現のためにはTHz帯で動作可能な電子デバイスが必要不可欠である。

20

【0003】

電子デバイスのうち、増幅を行うトランジスタ、例えばMOSトランジスタではゲート絶縁膜があるため、入力インピーダンスが存在し、動作周波数が高くなるとこの入力インピーダンスのため入力に対して出力に遅延が生じ、ある周波数以上では出力波形が歪んだり増幅が行えなくなってしまう。今のところ、電流利得が1となる周波数(遮断周波数)を高くするため、電子回路を微細化し電子移動度の高い材料を使用するという戦略のもとに電子デバイス開発が行われている。

【0004】

非特許文献1には、上記の戦略に従って作製したトランジスタが報告されている。このトランジスタはInGaAsにより作製されており、ゲート長が25nmのものであり、その結果遮断周波数が0.562THzとなっている。

30

【0005】

また特許文献1には、ゲートと二次元電子によるチャネル層とを備える電界効果トランジスタであって、二次元電子によるチャネル層を流れる電子の移動方向に対して垂直方向に磁場を印加することにより、高周波において高い遮断周波数と高利得を得ることができる電界効果トランジスタが開示されており、ゲート長0.15 μ mにて1.08THzの遮断周波数が得られたことが示されている。

【特許文献1】特開2004-235568号公報

【特許文献2】特開平5-226635号公報

40

【非特許文献1】K.Shinohara, et al., Jpn. J. Appl. Phys. 41, L437(2002)

【非特許文献2】T.Enoki, et al., Int. J. High Speed Electron. Syst. 11, 137(2001)

【非特許文献3】M.J.W.Rodwell, et al., IEEE Trans. Electron Devices 48, 2606(2001)

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、微細化が進んでゲート長が1nmに達すると、トンネル現象のためトランジスタは正常に動作しないようになる。このため、現在の手法では遮断周波数が1TH

50

z程度のトランジスタまでしか作製できないと言われている(例えば、非特許文献2、3参照)。

【0007】

一方、光通信システムでは、現在伝送容量は100 Gbits / 秒程度であるが、将来は1 Tbits / 秒に達すると予想され、この場合トランジスタは遮断周波数として4 THz以上を求められると予想される。けれども上述のように、現行の技術では約1 THzが上限であり、新たな技術を開発する必要に迫られている。

【0008】

また、特許文献1に開示された技術は量子ホール効果を利用しているものであり、極低温でのみ作動するデバイスであるため、通常の室温条件で用いることができないという課題を有している。

【0009】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、従来の半導体素子よりも高速で動作する電流増幅素子を提供することにある。

【課題を解決するための手段】

【0010】

上述の課題を解決するために、本発明の電流増幅素子は、2つの入力端子間に設けられ、入力電流が流れる入力電流路と、2つの出力端子間に設けられ、出力電流が流れる出力電流路と、発磁体とを備え、前記入力電流路と前記出力電流路とは略直交しており、前記発磁体から生じている磁場が前記入力電流路および出力電流路の双方に略直交している構成とした。入力電流路が2つの入力端子間に設けられているとは、離間した2つの入力端子それぞれに入力電流路が接続してその接続部の間に入力電流が流れる流路が形成されていることであり、厳密な意味で2つの入力端子の間の空間に入力電流路が位置していることを意味しているのではない。このことは出力端子と出力電流路との関係においても同様である。入力端子と入力電流路との間には絶縁膜は非介在であり、両者はオーミック接続していることが好ましい。出力端子と出力電流路との間にも絶縁膜は非介在であり、両者がオーミック接続していることが好ましい。

【0011】

このような構成を備えていると、入力電流に対して垂直な方向に磁場がかかるため、電流磁気効果によって入力電流と直角な方向に電位勾配が生じる。そして、入力電流路においてインピーダンスが無いので、従来のトランジスタが有していた入力インピーダンスの周波数依存性がなく、遮断周波数が非常に高くなる。ここで発磁体とは、磁場を発生させる物質であって、例えば磁石や電流が流れる配線を挙げるができる。

【0012】

前記入力電流路および出力電流路は、Si、化合物半導体あるいは金属からなることが好ましい。化合物半導体としてはSiC、SiGe、SiGeC、III-V族化合物半導体(GaAs、InGaAs、InSb、InAs、InP、GaN、InGaNなど)を挙げるができる。入力電流路と出力電流路との構成物質が異なっても構わない。

【0013】

ある好適な実施形態において、前記入力電流路と前記出力電流路との間には、絶縁膜が介在している。

【0014】

ある好適な実施形態において、前記2つの入力端子間の距離は、前記2つの出力端子間の距離よりも大きい。

【0015】

遮断周波数が200 GHz以上であることが好ましく、1 THz以上であることがより好ましい。

【0016】

本発明の電流増幅方法は、入力電流を流すステップと、磁場を、前記入力電流が流れる

10

20

30

40

50

向きに対して略直交させて印加するステップと、前記入力電流が流れる向きおよび磁場の印加の向きに対して略直交する向きに出力電流が流れるステップとを含む。

【0017】

ある好適な実施形態において、前記出力電流が流れるところ（領域）は、前記入力電流が流れるところ（領域）から絶縁膜により隔てられている。

【発明の効果】

【0018】

本発明の電流増幅素子は、入力電流路が磁場に垂直な方向に配置されており、出力電流路が入力電流路と直交して、入力インピーダンスの周波数依存性に起因する遮断周波数の上限を規定する要因が無く、非常に高速に作動することが可能になる。

10

【図面の簡単な説明】

【0019】

【図1】図1(a)は実施形態1に係る電流増幅素子の模式的な平面図、(b)はA-B線断面図、(c)はC-D線断面図である。

【図2】図2(a)は実施形態2に係る電流増幅素子の模式的な平面図、(b)はA-A'線断面図である。

【図3】図3は実施例における電流利得の増加分の周波数依存性を表す図である。

【図4】図4は実施例における遮断周波数を推定する図である。

【図5】図5は実施例における別の遮断周波数を推定する図である。

【図6】図6は実施例と従来の電流増幅素子の特性を比較している図である。

20

【符号の説明】

【0020】

- 1 2 入力端子
- 1 5 入力端子
- 2 2 出力端子
- 2 5 出力端子
- 3 3 入力端子
- 3 5 出力端子
- 4 0 基板
- 5 0 絶縁層
- 5 1 絶縁層
- 6 0 入力電流路
- 6 2 出力電流路
- 7 0 出力電流路
- 8 0 絶縁膜
- 9 0 磁石

30

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施形態を図面に基づいて詳細に説明する。以下の図面においては、説明の簡潔化のため、実質的に同一の機能を有する構成要素を同一の参照符号で示す。

40

【0022】

(実施形態1)

実施形態1に係る電流増幅素子の模式的な平面図を図1(a)に、図1(a)の模式的なA-B線断面図を図1(b)に、模式的なC-D線断面図を図1(c)に示す。

【0023】

本実施形態の電流増幅素子は、シリコン基板40上に形成されている。断面図である図1(b)、図1(c)においては、ドーピングによりn⁺型Siとなっている出力電流路70の上に、SiO₂からなる絶縁膜80を介してポリシリコンからなる入力電流路60が設けられている。基板40の下側には磁石90が接着されている。磁石90は断面図において上下方向にN極とS極とが並んでおり、出力電流路70および入力電流路60に対

50

して直交する上下方向（Z方向）の磁場を形成している。出力電流路70は出力電流が流れるところ（領域）であり、入力電流路60は入力電流が流れるところ（領域）である。

【0024】

一方、平面図である図1(a)においては、入力電流と出力電流とが互いに直交して流れるように入力電流路60と出力電流路70とが配置されていることが示されている。具体的には、図1(a)において入力電流は2つの入力端子12, 12'（一方の入力端子12'はグランド配線30の一部である入力側グランド端子31のコンタクト部）の間を流れる。即ち、図1(a)の左右方向（X方向）に流れる。一方、出力電流は2つの出力端子22, 22'（一方の出力端子22'はグランド配線30の一部である出力側グランド端子32のコンタクト部）の間を流れる。即ち、図1(a)の上下方向（Y方向）に流れる。ここで、入力端子12, 12'と入力電流路60との間には絶縁膜が非介在であり、両者は直接接触してオーミック接続している。出力側の接続も同様の構造である。なお、基板40の上において入力電流路60、出力電流路70、入力端子12, 12'、出力端子22, 22'および端子間配線（入力配線11、出力配線20、グランド配線30）以外の部分は絶縁層50が形成されている。

10

【0025】

本実施形態に係る電流増幅素子は、公知の半導体装置の製造方法を利用して製造することができる。磁石90は基板40に入力電流路60、出力電流路70、入力端子12, 12'、出力端子22, 22'および端子間配線、絶縁層50を作製してから基板の裏面に接着剤などにより接着させればよい。磁石90としては、例えばJFE電磁鋼板（B = 1.47 T、厚さ100 μm、JFEスチール株式会社製）を用いればよい。

20

【0026】

次に本実施形態の電流増幅素子の動作について説明をする。

【0027】

まず、入力端子12, 12'間に入力電圧を印加して、入力電流路60においてX方向に入力電流を流す。X方向に入力電流が流れると、Z方向の磁場が存在するため、電流磁気効果によってY方向にホール電場が生じる。また、X方向に入力電圧が印加されると、この入力電圧が絶縁膜80を介して出力電流路70に影響をおよぼし、さらにZ方向の磁場が存在するため、電流磁気効果によって出力電流路70においてY方向に電流が流れる。このように、入力電流を流すと2つの電流磁気効果によって、出力電流路70に直接電流が流れるとともに、Y方向の出力電流路70に上記ホール電場が影響をおよぼして出力電流がより流れるように電圧がかかるため、電流の増幅が行われる。なお、電流磁気効果とは金属や半導体が磁場中に置かれたときに示す様々な電氣的、熱的現象のことであり、その一つにホール効果がある。

30

【0028】

半導体素子において電流磁気効果を利用している例としては、特許文献1の電界効果トランジスタと特許文献2のメモリ機能を備えた薄膜半導体装置を挙げることができる。特許文献1の電界効果トランジスタは、ソース・ドレイン間の電流に対しては磁場が垂直に印加されているが、ゲート電流に対しては平行に磁場が印加されている点が本願発明とは構造の面で異なっており、利用している物理現象も量子ホール効果による光学フォノンによるエネルギー散逸のない伝導であって、本願発明の通常のホール効果とは異なっている。

40

【0029】

また、特許文献2の半導体装置は、ソース電極とドレイン電極とを結ぶ方向に対して垂直な方向に磁場を形成しておき、電流磁気効果のうちホール効果を利用して、ソース・ドレイン間に電流が流れたときにソース電極とドレイン電極とを結ぶ方向および磁場の方向の双方に垂直な向きに生じるホール電圧を検出してメモリとして利用するものである。ホール効果は、電流の流れている導体が電流と垂直方向の磁場におかれたときに電流と直角な方向に電位勾配が生じる現象であり、特許文献2の半導体装置は、このホール効果その定義のままに利用しているメモリである。

50

【 0 0 3 0 】

しかしながら、本実施形態の電流増幅素子は入力電流路 60 と出力電流路 70 とが絶縁膜 80 を介して隔てられているため、ホール効果をそのまま利用したものではなく、電流増幅素子であってメモリではない。本願発明者らは、入力電流路 60 にホール電場が生じたときに絶縁膜 80 を介して出力電流路 70 にも影響をおよぼすこと、および入力電圧も絶縁膜 80 を介して出力電流路 70 に影響をおよぼすことを見出して本実施形態を想到するに至ったのである。

【 0 0 3 1 】

本実施形態では、電流磁気効果により、従来の入力インピーダンスによって遮断周波数が決定してしまう電流増幅素子に比べて高い遮断周波数が得られる。

10

【 0 0 3 2 】

以下に実施例を説明するとともに、本願の理論的な側面についても説明を加える。

【 0 0 3 3 】

- 実施例 -

図 1 と同じ構造の電流増幅素子を作製した。入力電流路 60 の長さ（入力端子間距離）は 50 μm 、出力電流路 70 の長さ（出力端子間距離）は 0.1 μm とした。また、絶縁膜 80 の厚みは 3.7 nm とした。磁石 90 は磁束密度 0.5 T のネオジウム磁石とした。

【 0 0 3 4 】

高周波特性の評価は、電流増幅素子の S パラメータを測定し、さらに電流利得を求めるために S パラメータから H パラメータの H₂₁ 成分を算出することで行った。なお、電流利得は H₂₁ 成分の大きさ |H₂₁| で与えられる。S パラメータの測定の際の DC バイアスは、入力、出力ともに 2 V とした。

20

【 0 0 3 5 】

磁場を印加したときの電流利得から磁場を印加していないときの電流利得を差し引いた、磁場印加により増加した電流利得の周波数特性を図 3 に示す。磁場を印加することにより磁場がないときに比べて電流利得は増加していることがわかる。以下では、電流利得の増加分が 0 (dB) となる周波数をデバイスの遮断周波数と定義し、本実施例を説明する。

【 0 0 3 6 】

図 3 に示すように、本実施例では 40 GHz までしか測定していないので、電流利得の増加分が 0 となる遮断周波数はわからない。そこで、「40 GHz 以上の周波数では、周波数に反比例して電流利得は減少する」という仮定を立てて遮断周波数を推定した。この仮定は理想的な場合の電流利得の増加分 G を表す式に基づいている。電流利得の増加分 G は、電流路中の電子の移動度を μ 、磁束密度の大きさを B、電流路中における電子の衝突緩和時間を τ 、入力電流路の長さを L、出力電流路の長さを W、入出力周波数を f とすると、定数緩和時間近似の範囲では、次式で与えられる。

30

【 0 0 3 7 】

【数 1】

$$G = \left| \frac{I_{out}}{I_{in}} \right| = \frac{\mu B}{\sqrt{1 + (2\pi f \tau)^2}} \cdot \frac{L}{W}$$

40

【 0 0 3 8 】

この式は電流磁気効果から以下のように導き出される。ある物質に電場 $E = (E_x, E_y, E_z)$ と Z 方向の磁場 $B = (0, 0, B)$ を印加すると、電流磁気効果により物質を流れる電流密度 $J = (J_x, J_y, J_z)$ は

【 0 0 3 9 】

【数 2】

$$\begin{bmatrix} J_x \\ J_y \\ J_z \end{bmatrix} = \frac{ne^2\tau}{m^*} \frac{1}{1+(\tau\omega_c)^2} \begin{bmatrix} 1 & -\tau\omega_c & 0 \\ \tau\omega_c & 1 & 0 \\ 0 & 0 & 1+(\tau\omega_c)^2 \end{bmatrix} \cdot \begin{bmatrix} E_x \\ E_y \\ E_z \end{bmatrix}$$

【0040】

で与えられる。ここで、 n は物質中のキャリア（電子または正孔）の濃度、 $-e$ は電子の素電荷、 τ はキャリアの衝突緩和時間、 m^* はキャリアの有効質量、 ω_c はサイクロトロン角振動数で $\omega_c = eB/m^*$ である。

10

【0041】

上記物質に x 軸と平行に 2 つの入力端子を、 y 軸に平行に出力端子を備え付けた場合を考える。理想的な場合を考え、 z 方向の電場は存在しないとする。また、印加される電場として時間的に変化しない静電場ではなく、角振動数 ω で振動する電場が印加された場合を考える。このとき、電流密度 J は近似的に

【0042】

【数 3】

$$\begin{bmatrix} J_x \\ J_y \\ J_z \end{bmatrix} = \frac{ne^2\tau}{m^*} \frac{1}{(1+i\omega\tau)^2 + (\tau\omega_c)^2} \begin{bmatrix} 1+i\omega\tau & -\tau\omega_c & 0 \\ \tau\omega_c & 1+i\omega\tau & 0 \\ 0 & 0 & \frac{(1+i\omega\tau)^2 + (\tau\omega_c)^2}{(1+i\omega\tau)^2} \end{bmatrix} \cdot \begin{bmatrix} E_x \\ E_y \\ E_z \end{bmatrix}$$

20

【0043】

で与えられる。入力電流路、出力電流路の z 方向厚さを d とすると、入力電流 I_x は近似的に $J_x W d$ 、出力電流 I_y は $J_y L d$ となり、電流利得の増加分 G は $|I_y / I_x|$ として導きだせる。従って、この式から電流利得の増加分 G の式が導き出される。

【0044】

周波数 f が小さいとき、つまり $1 \gg 2\pi f\tau$ のときは、 G の増加分は周波数によらず一定の値になる。一方周波数 f が大きくなっていくと $1 \ll 2\pi f\tau$ となり、このときには G は f に反比例して減少すると予想される。上記の仮定は、このような理想的な G の周波数依存性から想定したものである。

30

【0045】

なお、この仮定によって得られる遮断周波数は、実際の遮断周波数よりも小さく見積もられている可能性がある。なぜならば、電流利得の増加分のうち 40 GHz 付近でデータのあるものを見ると、周波数が増大するに連れて減少はしているものの周波数に反比例するほどの減少とはなっていないからである。

【0046】

図 4 は図 3 のデータに、周波数に反比例して減少する電流利得の増加分の仮定の線 100 を加えたものである。この図より遮断周波数は、 71 GHz と推定される。なお、上述のとおり、実際の遮断周波数は 71 GHz よりも大きいと思われる。

40

【0047】

$G = 1$ のときの f が遮断周波数となる。従って電子の移動度が大きくなればそれに比例して遮断周波数も高くなる。例えば、本実施例の電流増幅素子において出力電流路 70 の長さを半分の $0.05 \mu\text{m}$ (50 nm) とすると、 G は 2 倍になり 6 dB 程度増加する。この場合は、遮断周波数は約 200 GHz と推定される。現在の半導体素子の製造技術から考えると、 50 nm の加工は十分可能であるので、 Si からなっていて遮断周波数が 200 GHz の電流増幅素子を量産することは可能である。

50

【 0 0 4 8 】

また、本実施例では、出力電流路 7 0 に n^+ 型 Si を用いており、ドーピングにより電子の移動度が約 $100 \text{ cm}^2 / \text{Vs}$ (ドーピング濃度は $1 \times 10^{19} \text{ cm}^{-3}$) と低いため、推定遮断周波数が 7 1 GHz 程度とそれほど高くなっていないものと考えられる。そこで、 Si よりも高い電子移動度を有している化合物半導体である $GaAs$ を用いた場合の遮断周波数を予測する。

【 0 0 4 9 】

$GaAs$ において、ドーピング濃度を $1 \times 10^{19} \text{ cm}^{-3}$ とすると、電子の移動度は約 $1300 \text{ cm}^2 / \text{Vs}$ になると期待される。従って、本実施例において半導体材料を Si から $GaAs$ に変更すると、上式より G は 1 3 倍、即ち 2 2 dB 程度増加すると予想される。図 5 はこの予想を基に描いた $GaAs$ の周波数特性の図である。 Si の場合と同様に反比例の仮定の線 2 0 0 を書き入れて遮断周波数を推定すると、約 1 5 THz となる。この遮断周波数は従来の半導体増幅素子の上限と考えられている 1 THz を大きく越えている。

【 0 0 5 0 】

図 6 は以上のことをまとめて示している、縦軸に遮断周波数 (THz)、横軸に出力電流路の長さ W またはゲート長 (nm) をとった特性のグラフである。3 本のグラフのうち、真ん中のものがホール効果を利用していない従来の電流増幅素子 ($GaAs$ 系) の特性を示したものである。下側のグラフは、 Si からなるホール効果を利用した電流増幅素子の特性を計算して示したグラフであり、本実施例 (出力電流路 1 0 0 nm) の特性は符号 3 0 0 で示されている点で表される。上側のグラフは、 $GaAs$ からなるホール効果を利用した電流増幅素子の特性を計算して示したグラフであり、出力端子間距離を 1 0 0 nm としたときの特性が符号 4 0 0 で示されている点である。このように、本実施例の電流増幅素子は Si からなっているにもかかわらず、 $GaAs$ からなる従来の電流増幅素子に近い特性 (遮断周波数) を有していて、本実施例の電流増幅素子を $GaAs$ により作製すると従来の電流増幅素子よりも 2 桁近く遮断周波数が大きくなるのがわかる。なお、より高い遮断周波数を有する電流増幅素子を得るためには、変調ドープ構造などを用いることも考えられる。

【 0 0 5 1 】

(実施形態 2)

実施形態 2 に係る電流増幅素子の模式的な平面図を図 2 (a) に、図 2 (a) の模式的な $A-A'$ 線断面図を図 2 (b) に示す。

【 0 0 5 2 】

本実施形態の電流増幅素子はシリコン基板 4 0 上に形成されており、入力電流路および出力電流路 6 2 は不純物がドープされた Si からなっている。実施形態 1 とは異なり入力電流路と出力電流路 6 2 とが絶縁膜によって隔てられておらず、両電流路はそれぞれの一部が電流増幅素子中の同じ部分を占めている。即ち、2 つの入力端子 1 5、3 3 (1 つはグランド配線 3 0 の一部) の間を繋ぐ入力電流路と 2 つの出力端子 2 5、3 5 (1 つはグランド配線 3 0 の一部) の間を繋ぐ出力電流路 6 2 は、図 2 (b) に示されている部分では同じ領域を占めている。

【 0 0 5 3 】

$A1$ からなる入力配線 1 1 はコンタクト部である入力端子 1 5 において入力電流路と直接接続されている。もう一方の入力端子 3 3 はグランド配線 3 0 におけるコンタクト部である。また、 $A1$ からなる出力配線 2 1 は、コンタクト部である出力端子 2 5 と電氣的に接続しており、出力端子 2 5 は出力電流路 6 2 と直接接続されている。もう一つのコンタクト部である出力端子 3 5 はグランド配線 3 0 と接続している。入力電流路および出力電流路 6 2 は n 型 Si からなっている。 p 型 Si である基板 4 0 の下側には磁石 9 0 が接着されている。磁石 9 0 は断面図において上下方向に N 極と S 極とが並んでおり、出力電流路 6 2 および入力電流路に対して直交する上下方向の磁場を形成している。

【 0 0 5 4 】

10

20

30

40

50

一方、平面図においては、入力電流と出力電流とが互いに直交して流れるように入力電流路と出力電流路62とが配置されていることが示されている。即ち、図2(a)において入力電流は2つの入力端子15, 35の間を流れるので、図の左右方向に流れるのに対し、出力電流は2つの出力端子25, 35の間を流れるので、図の上下方向に流れる。なお、基板40の上において入力電流路、出力電流路62、入力端子15, 33、出力端子25, 35、入力配線11、出力配線21、およびグランド配線30以外の部分は絶縁層51が形成されている。

【0055】

本実施形態においては、入力端子15, 33と出力端子25, 35とが図2(a)において菱形の配置となっている。より正確に説明すると、入力端子15, 33および出力端子25, 35の各辺も一つの辺とみなすと、八角形の配置となっており、各端子同士を結ぶ辺が菱形配置となっている。このような配置とすることで、入力端子15から出力端子25を介してグランド側の入力端子33に電流が流れることは抑制できる。

10

【0056】

本実施形態は実施形態1とは異なり、入力電流路と出力電流路62とが絶縁膜によって隔てられていないが、入力電流路と出力電流路62とが直交しており、両電流路に対して垂直な磁場が形成されているため、理論的に電流磁気効果により電流増幅が行われると考えられる。

【0057】

(その他の実施形態)

20

上記の実施形態は、本発明の例示であり本発明はこれらの例に限定されない。例えば、入力電流路および出力電流路を構成する物質はSiやGaAsに限定されず、SiCやSiGe、SiGeC等、あるいはInGaAs等のIII-V族化合物半導体、またはCuやAu、Alなどの金属などであっても構わない。特に電子の移動度が高いものが好ましい。

【0058】

入力電流路と出力電流路とは厳密な意味での垂直であることは必要なく、垂直から数度程度ずれて略垂直であってもよく、さらに理論的な意味では平行ではなくて互いに垂直な成分が存していれば電流増幅が行われる。同様に発磁体が発生させる磁場は、入力電流路および出力電流路の双方に略垂直であればよく、入力電流路および出力電流路の双方に対して少なくとも垂直成分が存していれば電流増幅の効果があるのでよい。

30

【0059】

実施形態1において絶縁膜80の厚みは薄い方が好ましい。具体的には0.5nm以上100nm以下が好ましい。なお、絶縁膜80はSiO₂、SiN、シリコン酸窒化膜などどのようなものであってもよい。

【0060】

本発明の電流増幅素子では、遮断周波数は電子移動度が大きいほど高くなるので、半導体ヘテロ接合を形成して出力電流路をHEMT構造にすることが好ましい。半導体ヘテロ接合は、公知の接合を用いればよい。

【0061】

40

発磁体は、入力電流を磁場の中に置くものであれば、永久磁石であっても電磁石であっても又は電流の流れる配線でも構わない。また、基板上に発磁体を設けていなくても、電流増幅素子として動作する際に磁場の中に入力電流が置かれるように基板近傍に発磁体を配置する構成であってもよい。また、電流利得の増加分Gの式からわかるように発磁体から生じる磁場は大きい方が好ましい。本発明においては特許文献1の発明とは異なり、複数の電流増幅素子に磁場を与える磁石(発磁体)は一つの磁石であっても構わないので、強力な大きな磁石を集積回路の上方又は下方に配置させることが好ましい。なお、装置全体を小型化することを考えると、基板の下面あるいは上面に磁性体薄膜を設けて磁場を発生させることが好ましい。この場合、基板40の裏面あるいは上面にスパッタなどによって磁性体薄膜を形成すればよい。また入力電流路と出力電流路との間に発磁体を配置して

50

も良い。

【0062】

電流利得の増加分Gの式から、遮断周波数を高くするためには既に述べたパラメータ以外のパラメータに関して考えると、入力電流路の長さLは長い方が好ましく、電子の衝突緩和時間は小さい方が好ましい。なお、Lに関しては出力電流路の長さWとセットにして考えると、L/Wが1以上であれば実用上遮断周波数が十分大きくなる。さらに、L/Wが50以上となるようにすると遮断周波数をより大きくすることができ好ましい。

【0063】

さらにこれまで説明してきた電流増幅素子は、整流や発振、記憶等他の機能を有する素子と同じ基板上に形成されることが好ましい。

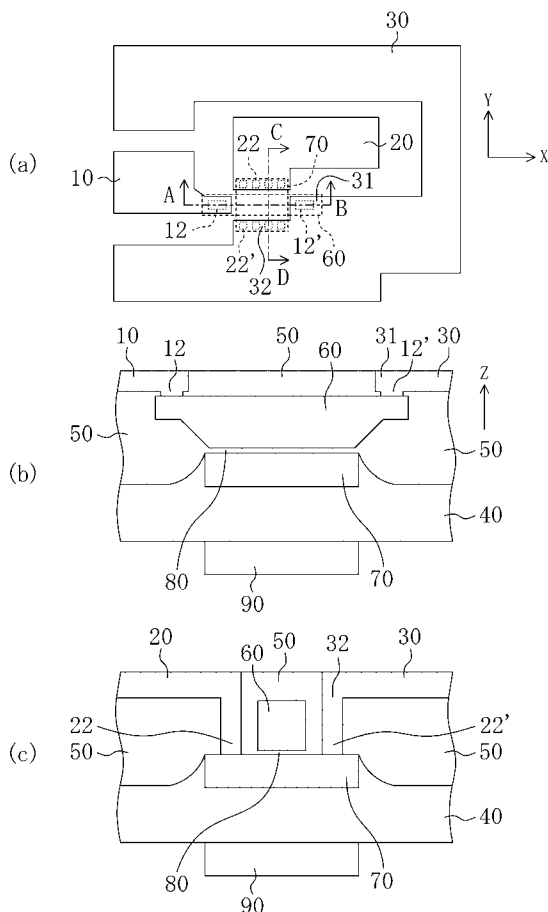
10

【産業上の利用可能性】

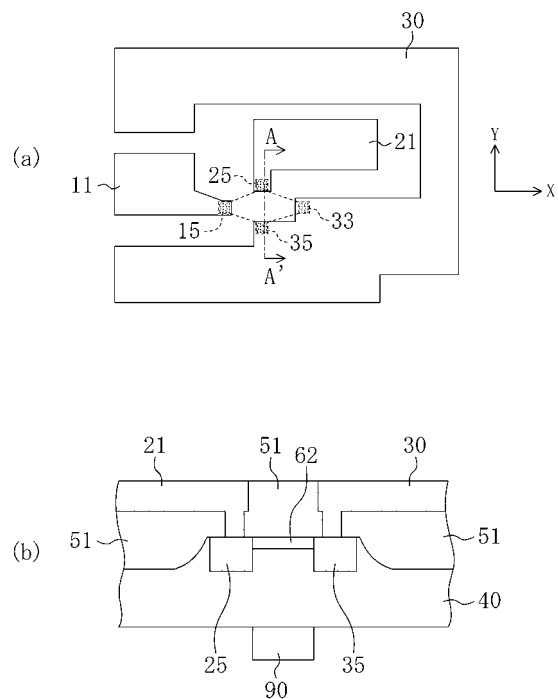
【0064】

以上説明したように、本発明に係る電流増幅素子は、非常に高い遮断周波数を有し、光通信システムにおける増幅素子や高周波アナログ無線システムにおける増幅素子等として有用である。

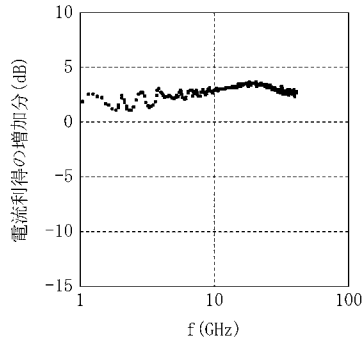
【図1】



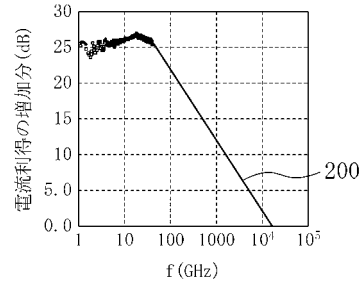
【図2】



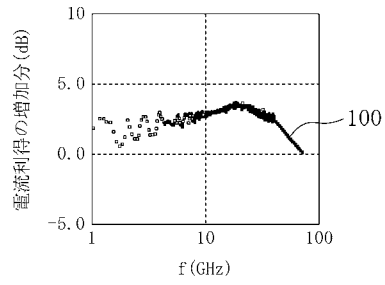
【図3】



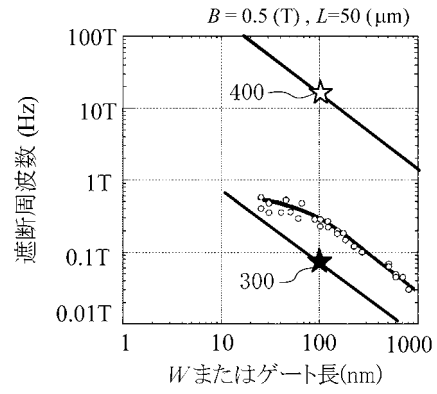
【図5】



【図4】



【図6】



フロントページの続き

- (74)代理人 100113262
弁理士 竹内 祐二
- (74)代理人 100115059
弁理士 今江 克実
- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 樋口 克彦
広島県東広島市鏡山 1 丁目 3 番 1 号 国立大学法人広島大学大学院先端物質科学研究科内
- (72)発明者 樋口 雅彦
長野県松本市旭 3 丁目 1 番 1 号 国立大学法人信州大学理学部内

審査官 小川 将之

- (56)参考文献 特開昭 6 3 - 1 4 2 8 7 6 (J P , A)
特開平 0 5 - 2 2 6 6 3 5 (J P , A)
特開 2 0 0 2 - 1 7 0 9 3 7 (J P , A)
特開 2 0 0 4 - 2 3 5 5 6 8 (J P , A)
特開昭 5 0 - 1 2 0 7 8 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 4 3 / 0 0
H 0 1 L 2 9 / 6 6
H 0 3 F 1 5 / 0 0