

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02008/016103

発行日 平成21年12月24日 (2009.12.24)

(43) 国際公開日 平成20年2月7日 (2008.2.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 43/00 (2006.01)	HO 1 L 43/00	5 F 0 9 2
HO 1 L 29/66 (2006.01)	HO 1 L 29/66	M
HO 3 F 99/00 (2009.01)	HO 3 F 21/00	

審査請求 未請求 予備審査請求 未請求 (全 16 頁)

出願番号 特願2008-527786 (P2008-527786)	(71) 出願人 504136568
(21) 国際出願番号 PCT/JP2007/065141	国立大学法人広島大学
(22) 国際出願日 平成19年8月2日 (2007.8.2)	広島県東広島市鏡山1丁目3番2号
(31) 優先権主張番号 特願2006-212395 (P2006-212395)	(71) 出願人 504180239
(32) 優先日 平成18年8月3日 (2006.8.3)	国立大学法人信州大学
(33) 優先権主張国 日本国 (JP)	長野県松本市旭三丁目1番1号
	(74) 代理人 100077931
	弁理士 前田 弘
	(74) 代理人 100110939
	弁理士 竹内 宏
	(74) 代理人 100110940
	弁理士 嶋田 高久
	(74) 代理人 100113262
	弁理士 竹内 祐二

最終頁に続く

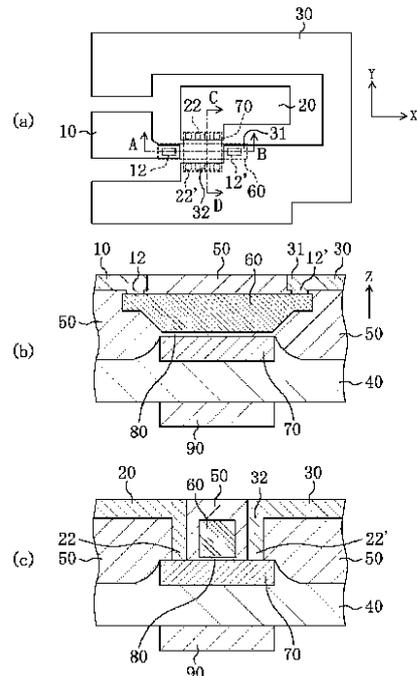
(54) 【発明の名称】 電流増幅素子および電流増幅方法

(57) 【要約】

【課題】従来の半導体素子よりも高速で動作する電流増幅素子を提供する。

【解決手段】入力電流路60にはX方向に入力電流が流れ、それと直交するZ方向には、磁石90から生じた磁場が印加されている。入力電流路60の下方には絶縁膜80を介して出力電流路70が形成されている。出力電流の流れる向きは入力電流と磁場の両方に直交しているので、入力電流と磁場とによる電流磁気効果が働いて電流が増幅される。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

2つの入力端子間に設けられ、入力電流が流れる入力電流路と、  
2つの出力端子間に設けられ、出力電流が流れる出力電流路と、  
発磁体と  
を備え、  
前記入力電流路と前記出力電流路とは略直交しており、  
前記発磁体から生じている磁場が前記入力電流路および出力電流路の双方に略直交して  
いる、電流増幅素子。

**【請求項 2】**

前記入力電流路と前記出力電流路との間には絶縁膜が介在している、請求項 1 に記載の  
電流増幅素子。

**【請求項 3】**

前記 2 つの入力端子間の距離は、前記 2 つの出力端子間の距離よりも大きい、請求項 1  
に記載の電流増幅素子。

**【請求項 4】**

入力電流を流すステップと、  
磁場を、前記入力電流が流れる向きに対して略直交させて印加するステップと、  
前記入力電流が流れる向きおよび磁場の印加の向きに対して略直交する向きに出力電流  
が流れるステップと  
を含む、電流増幅方法。

**【請求項 5】**

前記出力電流が流れるところは、前記入力電流が流れるところから絶縁膜により隔てら  
れている、請求項 4 に記載の電流増幅方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、電流増幅素子および電流増幅方法に関し、特に発磁体を備えた電流増幅素子  
に関するものである。

**【背景技術】****【0002】**

近年、大容量かつ高速のデータ送受信に対する需要が高まっており、より大容量のデー  
タを、より高速に送受信するため様々な検討が行われている。例えば、電界効果トランジ  
スタなどの電子デバイスを用いたエレクトロニクスと、発光ダイオードなどの光素子を用  
いたフォトリソグラフィとの融合に向けて、ミリ波帯よりさらに周波数の高い THz 帯での信号  
処理技術の研究が盛んに行われている。このような技術の実現のためには THz 帯で動作  
可能な電子デバイスが必要不可欠である。

**【0003】**

電子デバイスのうち、増幅を行うトランジスタ、例えば MOS トランジスタではゲート  
絶縁膜があるため、入力インピーダンスが存在し、動作周波数が高くなるとこの入力イン  
ピーダンスのため入力に対して出力に遅延が生じ、ある周波数以上では出力波形が歪んだ  
り増幅が行えなくなってしまう。今のところ、電流利得が 1 となる周波数（遮断周波数）  
を高くするため、電子回路を微細化し電子移動度の高い材料を使用するという戦略のもと  
に電子デバイス開発が行われている。

**【0004】**

非特許文献 1 には、上記の戦略に従って作製したトランジスタが報告されている。この  
トランジスタは InGaAs により作製されており、ゲート長が 25 nm のものであり、  
その結果遮断周波数が 0.562 THz となっている。

**【0005】**

また特許文献 1 には、ゲートと二次元電子によるチャネル層とを備える電界効果トラン

10

20

30

40

50

ジスタであって、二次元電子によるチャネル層を流れる電子の移動方向に対して垂直方向に磁場を印加することにより、高周波において高い遮断周波数と高利得を得ることができる電界効果トランジスタが開示されており、ゲート長  $0.15 \mu\text{m}$  にて  $1.08 \text{ THz}$  の遮断周波数が得られたことが示されている。

【特許文献 1】特開 2004 - 235568 号公報

【特許文献 2】特開平 5 - 226635 号公報

【非特許文献 1】K.Shinohara, et al., Jpn. J. Appl. Phys. 41, L437(2002)

【非特許文献 2】T.Enoki, et al., Int. J. High Speed Electron. Syst. 11, 137(2001)

【非特許文献 3】M.J.W.Rodwell, et al., IEEE Trans. Electron Devices 48, 2606(2001)

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、微細化が進んでゲート長が  $1 \text{ nm}$  に達すると、トンネル現象のためトランジスタは正常に動作しないようになる。このため、現在の手法では遮断周波数が  $1 \text{ THz}$  程度のトランジスタまでしか作製できないと言われている（例えば、非特許文献 2、3 参照）。

【0007】

一方、光通信システムでは、現在伝送容量は  $100 \text{ Gbits / 秒}$  程度であるが、将来は  $1 \text{ Tbits / 秒}$  に達すると予想され、この場合トランジスタは遮断周波数として  $4 \text{ THz}$  以上を求められると予想される。けれども上述のように、現行の技術では約  $1 \text{ THz}$  が上限であり、新たな技術を開発する必要に迫られている。

【0008】

また、特許文献 1 に開示された技術は量子ホール効果を利用しているものであり、極低温でのみ作動するデバイスであるため、通常の室温条件で用いることができないという課題を有している。

【0009】

本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、従来の半導体素子よりも高速で動作する電流増幅素子を提供することにある。

【課題を解決するための手段】

【0010】

上述の課題を解決するために、本発明の電流増幅素子は、2つの入力端子間に設けられ、入力電流が流れる入力電流路と、2つの出力端子間に設けられ、出力電流が流れる出力電流路と、発磁体とを備え、前記入力電流路と前記出力電流路とは略直交しており、前記発磁体から生じている磁場が前記入力電流路および出力電流路の双方に略直交している構成とした。入力電流路が2つの入力端子間に設けられているとは、離間した2つの入力端子それぞれに入力電流路が接続していてその接続部の間に入力電流が流れる流路が形成されていることであり、厳密な意味で2つの入力端子の間の空間に入力電流路が位置していることを意味しているのではない。このことは出力端子と出力電流路との関係においても同様である。入力端子と入力電流路との間には絶縁膜は非介在であり、両者はオーミック接続していることが好ましい。出力端子と出力電流路との間にも絶縁膜は非介在であり、両者がオーミック接続していることが好ましい。

【0011】

このような構成を備えていると、入力電流に対して垂直な方向に磁場がかかるため、電流磁気効果によって入力電流と直角な方向に電位勾配が生じる。そして、入力電流路においてインピーダンスが無いので、従来のトランジスタが有していた入力インピーダンスの周波数依存性がなく、遮断周波数が非常に高くなる。ここで発磁体とは、磁場を発生させる物質であって、例えば磁石や電流が流れる配線を挙げることができる。

【0012】

10

20

30

40

50

前記入力電流路および出力電流路は、Si、化合物半導体あるいは金属からなることが好ましい。化合物半導体としてはSiC、SiGe、SiGeC、III-V族化合物半導体(GaAs、InGaAs、InSb、InAs、InP、GaN、InGaNなど)を挙げることができる。入力電流路と出力電流路との構成物質が異なっても構わない。

【0013】

ある好適な実施形態において、前記入力電流路と前記出力電流路との間には、絶縁膜が介在している。

【0014】

ある好適な実施形態において、前記2つの入力端子間の距離は、前記2つの出力端子間の距離よりも大きい。

10

【0015】

遮断周波数が200GHz以上であることが好ましく、1THz以上であることがより好ましい。

【0016】

本発明の電流増幅方法は、入力電流を流すステップと、磁場を、前記入力電流が流れる向きに対して略直交させて印加するステップと、前記入力電流が流れる向きおよび磁場の印加の向きに対して略直交する向きに出力電流が流れるステップとを含む。

【0017】

ある好適な実施形態において、前記出力電流が流れるところ(領域)は、前記入力電流が流れるところ(領域)から絶縁膜により隔てられている。

20

【発明の効果】

【0018】

本発明の電流増幅素子は、入力電流路が磁場に垂直な方向に配置されており、出力電流路が入力電流路と直交していて、入力インピーダンスの周波数依存性に起因する遮断周波数の上限を規定する要因が無く、非常に高速に作動することが可能になる。

【図面の簡単な説明】

【0019】

【図1】図1(a)は実施形態1に係る電流増幅素子の模式的な平面図、(b)はA-B線断面図、(c)はC-D線断面図である。

30

【図2】図2(a)は実施形態2に係る電流増幅素子の模式的な平面図、(b)はA-A'線断面図である。

【図3】図3は実施例における電流利得の増加分の周波数依存性を表す図である。

【図4】図4は実施例における遮断周波数を推定する図である。

【図5】図5は実施例における別の遮断周波数を推定する図である。

【図6】図6は実施例と従来 of 電流増幅素子の特性を比較している図である。

【符号の説明】

【0020】

12 入力端子  
 15 入力端子  
 22 出力端子  
 25 出力端子  
 33 入力端子  
 35 出力端子  
 40 基板  
 50 絶縁層  
 51 絶縁層  
 60 入力電流路  
 62 出力電流路  
 70 出力電流路

40

50

80 絶縁膜

90 磁石

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施形態を図面に基づいて詳細に説明する。以下の図面においては、説明の簡潔化のため、実質的に同一の機能を有する構成要素を同一の参照符号で示す。

【0022】

(実施形態1)

実施形態1に係る電流増幅素子の模式的な平面図を図1(a)に、図1(a)の模式的なA-B線断面図を図1(b)に、模式的なC-D線断面図を図1(c)に示す。

10

【0023】

本実施形態の電流増幅素子は、シリコン基板40上に形成されている。断面図である図1(b)、図1(c)においては、ドーピングにより $n^+$ 型Siとなっている出力電流路70の上に、 $SiO_2$ からなる絶縁膜80を介してポリシリコンからなる入力電流路60が設けられている。基板40の下側には磁石90が接着されている。磁石90は断面図において上下方向にN極とS極とが並んでおり、出力電流路70および入力電流路60に対して直交する上下方向(Z方向)の磁場を形成している。出力電流路70は出力電流が流れるところ(領域)であり、入力電流路60は入力電流が流れるところ(領域)である。

【0024】

一方、平面図である図1(a)においては、入力電流と出力電流とが互いに直交して流れるように入力電流路60と出力電流路70とが配置されていることが示されている。具体的には、図1(a)において入力電流は2つの入力端子12, 12'(一方の入力端子12'はグランド配線30の一部である入力側グランド端子31のコンタクト部)の間を流れる。即ち、図1(a)の左右方向(X方向)に流れる。一方、出力電流は2つの出力端子22, 22'(一方の出力端子22'はグランド配線30の一部である出力側グランド端子32のコンタクト部)の間を流れる。即ち、図1(a)の上下方向(Y方向)に流れる。ここで、入力端子12, 12'と入力電流路60との間には絶縁膜が非介在であり、両者は直接接触してオーミック接続している。出力側の接続も同様の構造である。なお、基板40の上において入力電流路60、出力電流路70、入力端子12, 12'、出力端子22, 22'および端子間配線(入力配線11、出力配線20、グランド配線30)以外の部分は絶縁層50が形成されている。

20

30

【0025】

本実施形態に係る電流増幅素子は、公知の半導体装置の製造方法を利用して製造することができる。磁石90は基板40に入力電流路60、出力電流路70、入力端子12, 12'、出力端子22, 22'および端子間配線、絶縁層50を作製してから基板の裏面側に接着剤などにより接着させればよい。磁石90としては、例えばJFE電磁鋼板(B=1.47T、厚さ100 $\mu$ m、JFEスチール株式会社製)を用いればよい。

【0026】

次に本実施形態の電流増幅素子の動作について説明をする。

【0027】

40

まず、入力端子12, 12'間に入力電圧を印加して、入力電流路60においてX方向に入力電流を流す。X方向に入力電流が流れると、Z方向の磁場が存在するため、電流磁気効果によってY方向にホール電場が生じる。また、X方向に入力電圧が印加されると、この入力電圧が絶縁膜80を介して出力電流路70に影響をおよぼし、さらにZ方向の磁場が存在するため、電流磁気効果によって出力電流路70においてY方向に電流が流れる。このように、入力電流を流すと2つの電流磁気効果によって、出力電流路70に直接電流が流れるとともに、Y方向の出力電流路70に上記ホール電場が影響をおよぼして出力電流がより流れるように電圧がかかるため、電流の増幅が行われる。なお、電流磁気効果とは金属や半導体が磁場中に置かれたときに示す様々な電氣的、熱的現象のことであり、その一つにホール効果がある。

50

## 【 0 0 2 8 】

半導体素子において電流磁気効果を利用している例としては、特許文献 1 の電界効果トランジスタと特許文献 2 のメモリ機能を備えた薄膜半導体装置を挙げることができる。特許文献 1 の電界効果トランジスタは、ソース・ドレイン間の電流に対しては磁場が垂直に印加されているが、ゲート電流に対しては平行に磁場が印加されている点为本願発明とは構造の面で異なっており、利用している物理現象も量子ホール効果による光学フォノンによるエネルギー散逸のない伝導であって、本願発明の通常のホール効果とは異なっている。

## 【 0 0 2 9 】

また、特許文献 2 の半導体装置は、ソース電極とドレイン電極とを結ぶ方向に対して垂直な方向に磁場を形成しておき、電流磁気効果のうちホール効果を利用して、ソース・ドレイン間に電流が流れたときにソース電極とドレイン電極とを結ぶ方向および磁場の方向の双方に垂直な向きに生じるホール電圧を検出してメモリとして利用するものである。ホール効果は、電流の流れている導体が電流と垂直方向の磁場におかれたときに電流と直角な方向に電位勾配が生じる現象であり、特許文献 2 の半導体装置は、このホール効果をその定義のままに利用しているメモリである。

## 【 0 0 3 0 】

しかしながら、本実施形態の電流増幅素子は入力電流路 6 0 と出力電流路 7 0 とが絶縁膜 8 0 を介して隔てられているため、ホール効果をそのまま利用したものではなく、電流増幅素子であってメモリではない。本願発明者らは、入力電流路 6 0 にホール電場が生じたときに絶縁膜 8 0 を介して出力電流路 7 0 にも影響をおよぼすこと、および入力電圧も絶縁膜 8 0 を介して出力電流路 7 0 に影響をおよぼすことを見出して本実施形態を想到するに至ったのである。

## 【 0 0 3 1 】

本実施形態では、電流磁気効果により、従来の入力インピーダンスによって遮断周波数が決定してしまう電流増幅素子に比べて高い遮断周波数が得られる。

## 【 0 0 3 2 】

以下に実施例を説明するとともに、本願の理論的な側面についても説明を加える。

## 【 0 0 3 3 】

- 実施例 -

図 1 と同じ構造の電流増幅素子を作製した。入力電流路 6 0 の長さ（入力端子間距離）は  $50 \mu\text{m}$ 、出力電流路 7 0 の長さ（出力端子間距離）は  $0.1 \mu\text{m}$  とした。また、絶縁膜 8 0 の厚みは  $3.7 \text{nm}$  とした。磁石 9 0 は磁束密度  $0.5 \text{T}$  のネオジウム磁石とした。

## 【 0 0 3 4 】

高周波特性の評価は、電流増幅素子の S パラメータを測定し、さらに電流利得を求めるために S パラメータから H パラメータの  $H_{21}$  成分を算出することで行った。なお、電流利得は  $H_{21}$  成分の大きさ  $|H_{21}|$  で与えられる。S パラメータの測定の際の DC バイアスは、入力、出力ともに  $2 \text{V}$  とした。

## 【 0 0 3 5 】

磁場を印加したときの電流利得から磁場を印加していないときの電流利得を差し引いた、磁場印加により増加した電流利得の周波数特性を図 3 に示す。磁場を印加することにより磁場がないときに比べて電流利得は増加していることがわかる。以下では、電流利得の増加分が  $0 \text{ (dB)}$  となる周波数をデバイスの遮断周波数と定義し、本実施例を説明する。

## 【 0 0 3 6 】

図 3 に示すように、本実施例では  $40 \text{GHz}$  までしか測定していないので、電流利得の増加分が  $0$  となる遮断周波数はわからない。そこで、「 $40 \text{GHz}$  以上の周波数では、周波数に反比例して電流利得は減少する」という仮定を立てて遮断周波数を推定した。この仮定は理想的な場合の電流利得の増加分  $G$  を表す式に基づいている。電流利得の増加分  $G$

10

20

30

40

50

は、電流路中の電子の移動度を  $\mu$ 、磁束密度の大きさを  $B$ 、電流路中における電子の衝突緩和時間を  $\tau$ 、入力電流路の長さを  $L$ 、出力電流路の長さを  $W$ 、入出力周波数を  $f$  とすると、定数緩和時間近似の範囲では、次式で与えられる。

【 0 0 3 7 】

【数 1】

$$G = \left| \frac{I_{out}}{I_{in}} \right| = \frac{\mu B}{\sqrt{1 + (2\pi f \tau)^2}} \cdot \frac{L}{W}$$

【 0 0 3 8 】

10

この式は電流磁気効果から以下のように導き出される。ある物質に電場  $E = (E_x, E_y, E_z)$  と  $Z$  方向の磁場  $B = (0, 0, B)$  を印加すると、電流磁気効果により物質を流れる電流密度  $J = (J_x, J_y, J_z)$  は

【 0 0 3 9 】

【数 2】

$$\begin{bmatrix} J_x \\ J_y \\ J_z \end{bmatrix} = \frac{ne^2\tau}{m^*} \frac{1}{1 + (\tau\omega_c)^2} \begin{bmatrix} 1 & -\tau\omega_c & 0 \\ \tau\omega_c & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} E_x \\ E_y \\ E_z \end{bmatrix}$$

20

【 0 0 4 0 】

で与えられる。ここで、 $n$  は物質中のキャリア（電子または正孔）の濃度、 $-e$  は電子の素電荷、 $\tau$  はキャリアの衝突緩和時間、 $m^*$  はキャリアの有効質量、 $\omega_c$  はサイクロトロン角振動数で  $\omega_c = eB / m^*$  である。

【 0 0 4 1 】

上記物質に  $x$  軸と平行に 2 つの入力端子を、 $y$  軸に平行に出力端子を備え付けた場合を考える。理想的な場合を考え、 $z$  方向の電場は存在しないとする。また、印加される電場として時間的に変化しない静電場ではなく、角振動数  $\omega$  で振動する電場が印加された場合を考える。このとき、電流密度  $J$  は近似的に

30

【 0 0 4 2 】

【数 3】

$$\begin{bmatrix} J_x \\ J_y \\ J_z \end{bmatrix} = \frac{ne^2\tau}{m^*} \frac{1}{(1 + i\omega\tau)^2 + (\tau\omega_c)^2} \begin{bmatrix} 1 + i\omega\tau & -\tau\omega_c & 0 \\ \tau\omega_c & 1 + i\omega\tau & 0 \\ 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} E_x \\ E_y \\ E_z \end{bmatrix}$$

【 0 0 4 3 】

で与えられる。入力電流路、出力電流路の  $Z$  方向厚さを  $d$  とすると、入力電流  $I_x$  は近似的に  $J_x W d$ 、出力電流  $I_y$  は  $J_y L d$  となり、電流利得の増加分  $G$  は  $|I_y / I_x|$  として導きだせる。従って、この式から電流利得の増加分  $G$  の式が導き出される。

40

【 0 0 4 4 】

周波数  $f$  が小さいとき、つまり  $1 \gg 2\pi f \tau$  のときは、 $G$  の増加分は周波数によらず一定の値になる。一方周波数  $f$  が大きくなっていくと  $1 \ll 2\pi f \tau$  となり、このときには  $G$  は  $f$  に反比例して減少すると予想される。上記の仮定は、このような理想的な  $G$  の周波数依存性から想定したものである。

【 0 0 4 5 】

なお、この仮定によって得られる遮断周波数は、実際の遮断周波数よりも小さく見積もられている可能性がある。なぜならば、電流利得の増加分のうち  $40 \text{ GHz}$  近辺でデータ

50

のあるものを見ると、周波数が増大するに連れて減少はしているものの周波数に反比例するほどの減少とはなっていないからである。

【0046】

図4は図3のデータに、周波数に反比例して減少する電流利得の増加分の仮定の線100を加えたものである。この図より遮断周波数は、71GHzと推定される。なお、上述のとおり、実際の遮断周波数は71GHzよりも大きいと思われる。

【0047】

G = 1のときのfが遮断周波数となる。従って電子の移動度が大きくなればそれに比例して遮断周波数も高くなる。例えば、本実施例の電流増幅素子において出力電流路70の長さを半分の0.05 $\mu\text{m}$ (50nm)とすると、Gは2倍になり6dB程度増加する。この場合は、遮断周波数は約200GHzと推定される。現在の半導体素子の製造技術から考えると、50nmの加工は十分可能であるので、Siからなっていて遮断周波数が200GHzの電流増幅素子を量産することは可能である。

10

【0048】

また、本実施例では、出力電流路70にn<sup>+</sup>型Siを用いており、ドーピングにより電子の移動度が約100cm<sup>2</sup>/Vs(ドーピング濃度は1 $\times$ 10<sup>19</sup>cm<sup>-3</sup>)と低いため、推定遮断周波数が71GHz程度とそれほど高くなっていないものと考えられる。そこで、Siよりも高い電子移動度を有している化合物半導体であるGaAsを用いた場合の遮断周波数を予測する。

【0049】

GaAsにおいて、ドーピング濃度を1 $\times$ 10<sup>19</sup>cm<sup>-3</sup>とすると、電子の移動度は約1300cm<sup>2</sup>/Vsになると期待される。従って、本実施例において半導体材料をSiからGaAsに変更すると、上式よりGは13倍、即ち22dB程度増加すると予想される。図5はこの予想を基に描いたGaAsの周波数特性の図である。Siの場合と同様にして反比例の仮定の線200を書き入れて遮断周波数を推定すると、約15THzとなる。この遮断周波数は従来の半導体増幅素子の上限と考えられている1THzを大きく越えている。

20

【0050】

図6は以上のことをまとめて示している、縦軸に遮断周波数(THz)、横軸に出力電流路の長さWまたはゲート長(nm)をとった特性のグラフである。3本のグラフのうち、真ん中のものがホール効果を利用していない従来の電流増幅素子(GaAs系)の特性を示したものである。下側のグラフは、Siからなるホール効果を利用した電流増幅素子の特性を計算して示したグラフであり、本実施例(出力電流路100nm)の特性は符号300で示されている点で表される。上側のグラフは、GaAsからなるホール効果を利用した電流増幅素子の特性を計算して示したグラフであり、出力端子間距離を100nmとしたときの特性が符号400で示されている点である。このように、本実施例の電流増幅素子はSiからなっているにもかかわらず、GaAsからなる従来の電流増幅素子に近い特性(遮断周波数)を有していて、本実施例の電流増幅素子をGaAsにより作製すると従来の電流増幅素子よりも2桁近く遮断周波数が大きくなることがわかる。なお、より高い遮断周波数を有する電流増幅素子を得るためには、変調ドープ構造などを用いることも考えられる。

30

40

【0051】

(実施形態2)

実施形態2に係る電流増幅素子の模式的な平面図を図2(a)に、図2(a)の模式的なA-A'線断面図を図2(b)に示す。

【0052】

本実施形態の電流増幅素子はシリコン基板40上に形成されており、入力電流路および出力電流路62は不純物がドーピングされたSiからなっている。実施形態1とは異なり入力電流路と出力電流路62とが絶縁膜によって隔てられておらず、両電流路はそれぞれの一部が電流増幅素子中の同じ部分を占めている。即ち、2つの入力端子15, 33(1つは

50

グランド配線 30 の一部)の間を繋ぐ入力電流路と 2 つの出力端子 25、35 (1 つはグランド配線 30 の一部)の間を繋ぐ出力電流路 62 は、図 2 (b) に示されている部分では同じ領域を占めている。

#### 【0053】

A1 からなる入力配線 11 はコンタクト部である入力端子 15 において入力電流路と直接接続されている。もう一方の入力端子 33 はグランド配線 30 におけるコンタクト部である。また、A1 からなる出力配線 21 は、コンタクト部である出力端子 25 と電氣的に接続しており、出力端子 25 は出力電流路 62 と直接接続されている。もう一つのコンタクト部である出力端子 35 はグランド配線 30 と接続している。入力電流路および出力電流路 62 は n 型 Si からなっている。p 型 Si である基板 40 の下側には磁石 90 が接着

10

#### 【0054】

一方、平面図においては、入力電流と出力電流とが互いに直交して流れるように入力電流路と出力電流路 62 とが配置されていることが示されている。即ち、図 2 (a) において入力電流は 2 つの入力端子 15、35 の間を流れるので、図の左右方向に流れるのに対し、出力電流は 2 つの出力端子 25、35 の間を流れるので、図の上下方向に流れる。なお、基板 40 の上において入力電流路、出力電流路 62、入力端子 15、33、出力端子 25、35、入力配線 11、出力配線 21、およびグランド配線 30 以外の部分は絶縁層 51 が形成されている。

20

#### 【0055】

本実施形態においては、入力端子 15、33 と出力端子 25、35 とが図 2 (a) において菱形の配置となっている。より正確に説明すると、入力端子 15、33 および出力端子 25、35 の各辺も一つの辺とみなすと、八角形の配置となっており、各端子同士を結ぶ辺が菱形配置となっている。このような配置とすることで、入力端子 15 から出力端子 25 を介してグランド側の入力端子 33 に電流が流れることは抑制できる。

#### 【0056】

本実施形態は実施形態 1 とは異なり、入力電流路と出力電流路 62 とが絶縁膜によって隔てられていないが、入力電流路と出力電流路 62 とが直交しており、両電流路に対して垂直な磁場が形成されているため、理論的に電流磁気効果により電流増幅が行われると考えられる。

30

#### 【0057】

(その他の実施形態)

上記の実施形態は、本発明の例示であり本発明はこれらの例に限定されない。例えば、入力電流路および出力電流路を構成する物質は Si や GaAs に限定されず、SiC や SiGe、SiGeC 等、あるいは InGaAs 等の III-V 族化合物半導体、または Cu や Au、Al などの金属などであっても構わない。特に電子の移動度が高いものが好ましい。

#### 【0058】

入力電流路と出力電流路とは厳密な意味での垂直であることは必要なく、垂直から数度程度ずれて略垂直であってもよく、さらに理論的な意味では平行ではなくて互いに垂直な成分が存していれば電流増幅が行われる。同様に発磁体が発生させる磁場は、入力電流路および出力電流路の双方に略垂直であればよく、入力電流路および出力電流路の双方に対して少なくとも垂直成分が存していれば電流増幅の効果があるのでよい。

40

#### 【0059】

実施形態 1 において絶縁膜 80 の厚みは薄い方が好ましい。具体的には 0.5 nm 以上 100 nm 以下が好ましい。なお、絶縁膜 80 は SiO<sub>2</sub>、SiN、シリコン酸窒化膜などどのようなものであってもよい。

#### 【0060】

本発明の電流増幅素子では、遮断周波数は電子移動度が大きいほど高くなるので、半導

50

体ヘテロ接合を形成して出力電流路をHEMT構造にすることが好ましい。半導体ヘテロ接合は、公知の接合を用いればよい。

【0061】

発磁体は、入力電流を磁場の中に置くものであれば、永久磁石であっても電磁石であっても又は電流の流れる配線でも構わない。また、基板上に発磁体を設けていなくても、電流増幅素子として動作する際に磁場の中に入力電流が置かれるように基板近傍に発磁体を配置する構成であってもよい。また、電流利得の増加分Gの式からわかるように発磁体から生じる磁場は大きい方が好ましい。本発明においては特許文献1の発明とは異なり、複数の電流増幅素子に磁場を与える磁石（発磁体）は一つの磁石であっても構わないので、強力な大きな磁石を集積回路の上方又は下方に配置させることが好ましい。なお、装置全体を小型化することを考えると、基板の下面あるいは上面に磁性体薄膜を設けて磁場を発生させることが好ましい。この場合、基板40の裏面あるいは上面にスパッタなどによって磁性体薄膜を形成すればよい。また入力電流路と出力電流路との間に発磁体を配置しても良い。

10

【0062】

電流利得の増加分Gの式から、遮断周波数を高くするためには既に述べたパラメータ以外のパラメータに関して考えると、入力電流路の長さLは長い方が好ましく、電子の衝突緩和時間は小さい方が好ましい。なお、Lに関しては出力電流路の長さWとセットにして考えると、 $L/W$ が1以上であれば実用上遮断周波数が十分大きくなる。さらに、 $L/W$ が50以上となるようにすると遮断周波数をより大きくすることができ好ましい。

20

【0063】

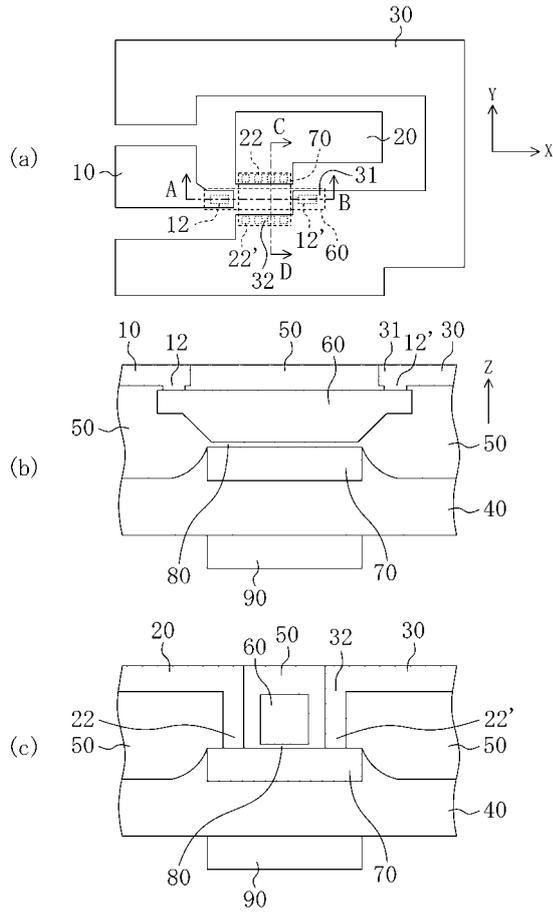
さらにこれまで説明してきた電流増幅素子は、整流や発振、記憶等他の機能を有する素子と同じ基板上に形成されることが好ましい。

【産業上の利用可能性】

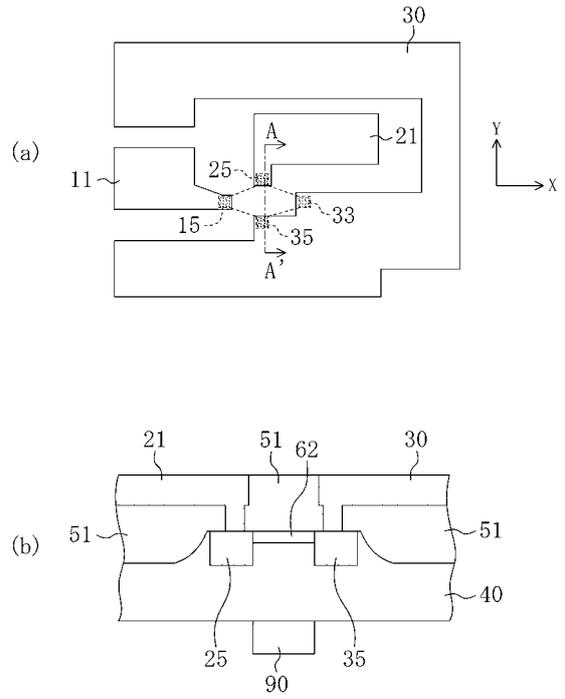
【0064】

以上説明したように、本発明に係る電流増幅素子は、非常に高い遮断周波数を有し、光通信システムにおける増幅素子や高周波アナログ無線システムにおける増幅素子等として有用である。

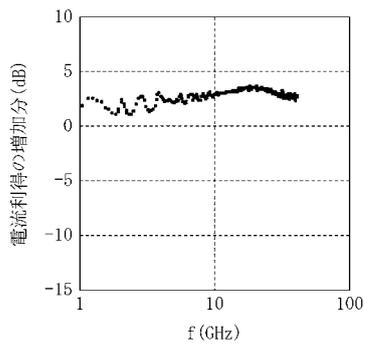
【 図 1 】



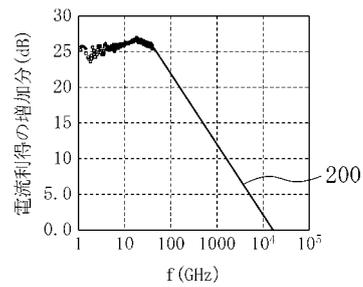
【 図 2 】



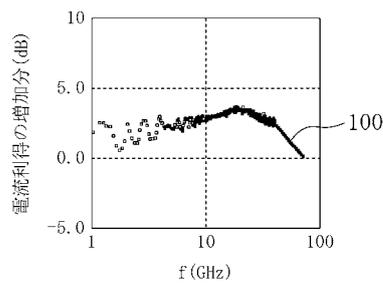
【 図 3 】



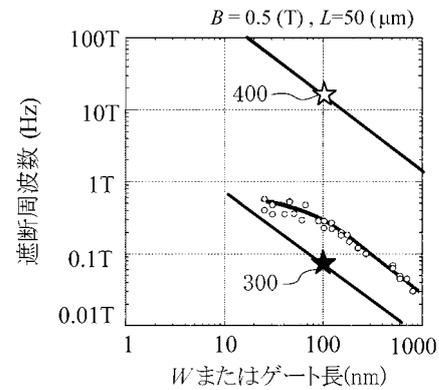
【 図 5 】



【 図 4 】



【 図 6 】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/065141
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H01L29/66(2006.01) i, H01L43/00(2006.01) i, H03F15/00(2006.01) i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L29/66, H01L43/00, H03F15/00  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 63-142876 A (NEC Corp.), 15 June, 1988 (15.06.88), Full text; all drawings (Family: none)	1-5
A	JP 2002-170937 A (Canon Inc.), 14 June, 2002 (14.06.02), Par. Nos. [0029] to [0063]; Figs. 1 to 6 (Family: none)	1-5
A	JP 5-226635 A (Casio Computer Co., Ltd.), 03 September, 1993 (03.09.93), Full text; all drawings (Family: none)	1-5
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 October, 2007 (05.10.07)		Date of mailing of the international search report 16 October, 2007 (16.10.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/065141

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-235568 A (Japan Science and Technology Agency), 19 August, 2004 (19.08.04), Full text; all drawings (Family: none)	1-5
A	JP 50-120785 A (Mitsukoshi Kogyo Kabushiki Kaisha), 22 September, 1975 (22.09.75), Full text; all drawings (Family: none)	1-5

国際調査報告		国際出願番号 PCT/JP2007/065141									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/66(2006.01)i, H01L43/00(2006.01)i, H03F15/00(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/66, H01L43/00, H03F15/00											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2007年										
日本国実用新案登録公報	1996-2007年										
日本国登録実用新案公報	1994-2007年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 63-142876 A (日本電気株式会社) 1988.06.15, 全文、全図 (ファミリーなし)	1-5									
A	JP 2002-170937 A (キャノン株式会社) 2002.06.14, 段落【0029】-【0063】, 図1-6 (ファミリーなし)	1-5									
A	JP 5-226635 A (カシオ計算機株式会社) 1993.09.03, 全文、全図 (ファミリーなし)	1-5									
☑ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献									
国際調査を完了した日 05.10.2007		国際調査報告の発送日 16.10.2007									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 小川 将之 電話番号 03-3581-1101 内線 3462	4M 9634								

国際調査報告

国際出願番号 PCT/JP2007/065141

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-235568 A (独立行政法人科学技術振興機構) 2004.08.19, 全文、全図 (ファミリーなし)	1-5
A	JP 50-120785 A (三越興業株式会社) 1975.09.22, 全文, 全図 (ファミリーなし)	1-5

様式PCT/ISA/210 (第2ページの続き) (2007年4月)

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100115059

弁理士 今江 克実

(74)代理人 100115691

弁理士 藤田 篤史

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 樋口 克彦

広島県東広島市鏡山1丁目3番1号 国立大学法人広島大学大学院先端物質科学研究科内

(72)発明者 樋口 雅彦

長野県松本市旭3丁目1番1号 国立大学法人信州大学理学部内

Fターム(参考) 5F092 AA03 AC30 AD07 BD15 BD19 BD20 BD23 FA08

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。