

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-192004
(P2015-192004A)

(43) 公開日 平成27年11月2日(2015.11.2)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-------------------------|----------------------|-------------|
| HO 1 L 21/338 (2006.01) | HO 1 L 29/80 H | 5 F 1 0 2 |
| HO 1 L 29/778 (2006.01) | HO 1 L 29/78 6 1 8 B | 5 F 1 1 0 |
| HO 1 L 29/812 (2006.01) | HO 1 L 29/78 6 1 8 E | 5 F 1 4 0 |
| HO 1 L 29/786 (2006.01) | HO 1 L 29/78 3 0 1 H | |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 3 0 1 B | |

審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2014-67737 (P2014-67737)
(22) 出願日 平成26年3月28日 (2014. 3. 28)

(71) 出願人 304021277
国立大学法人 名古屋工業大学
愛知県名古屋市昭和区御器所町字木市29番
(72) 発明者 江川 孝志
愛知県名古屋市昭和区御器所町字木市29番 国立大学法人名古屋工業大学内
Fターム(参考) 5F102 GB01 GC01 GD10 GJ02 GJ03
GJ04 GJ05 GJ10 GK04 GK08
GL04 GN04 GN08 GQ01 GR04
GS02 GT01 GV05

最終頁に続く

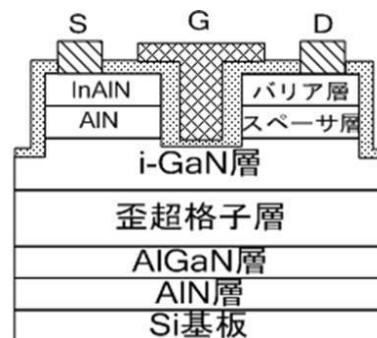
(54) 【発明の名称】 ドレイン電流密度・相互コンダクタンスを大幅に改善したリセス構造のMIS型ノーマリオフHEMT素子

(57) 【要約】

【課題】窒化物半導体のHEMT素子において、ノーマリオフ化を実現しつつ、大きなドレイン電流密度と相互コンダクタンスを確保することである。

【解決手段】基板上に少なくともチャネル層およびバリア層が順次積層され、当該バリア層上にソース電極およびドレイン電極が形成され、少なくともバリア層が除去されたバリア層上に絶縁膜を介してゲート電極が形成されたMIS型GaN系HEMT素子であって、前記バリア層が $In_xAl_{1-x}N$ ($0.05 \leq x \leq 0.30$)である、MIS型GaN系HEMT素子。

【選択図】図3



【特許請求の範囲】

【請求項 1】

基板上に少なくともチャンネル層およびバリア層が順次積層され、当該バリア層上にソース電極およびドレイン電極が形成され、少なくともバリア層が除去されたチャンネル層上に絶縁膜を介してゲート電極が形成されたMIS型GaN系HEMT素子であって、前記バリア層が $In_xAl_{1-x}N$ ($0.05 < x < 0.30$)である、MIS型GaN系HEMT素子。

【請求項 2】

前記チャンネル層とバリア層との間にスペーサ層を設けた、請求項 1 に記載のMIS型GaN系HEMT素子。

10

【請求項 3】

前記チャンネル層が i GaN、スペーサ層が $Al_yGa_{1-y}N$ ($0.80 < y < 1.00$)である請求項 1 または 2 に記載のMIS型GaN系HEMT素子。

GaN系電界効果トランジスタ。

【請求項 4】

前記チャンネル層の形成前に、基板上にAlを含むバッファ層と、Alを含む組成傾斜層あるいはAlを含む歪超格子層の少なくとも一方が基板上に形成された、請求項 1 ~ 3 のいずれかに記載のMIS型GaN系HEMT素子。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、電界効果トランジスタ(FET)、特にノーマリオフ型HEMT素子に係る。

【背景技術】

【0002】

窒化物半導体電界効果トランジスタをパワーデバイスに用いる場合、安全性ならびに従来のSiパワーデバイスとの互換性の観点から、ノーマリオフ型であることが強く求められている。窒化物半導体電界効果トランジスタにおいて、ノーマリオフを実現する方法の一つとして、高速電子移動度トランジスタ(High Electron Mobility Transistor: HEMT)のゲート部をそれ以外の部分に対して掘り下げたリセスゲート構造が知られている(非特許文献1参照)。

30

【0003】

そこで、本発明者らは、非特許文献1と膜基本構成が同じで、MIS型AlGaN/GaNHEMT構造において、リセス無し構造(構造1、図1参照)とリセス構造(構造2、図2参照)のHEMT素子を作製し、素子特性を評価したところ、構造2のリセス構造にすることによって、ノーマリオフ型になったが、構造1と比較してドレイン電流密度と相互コンダクタンスが大幅に低下する結果となった(表2参照)。

【先行技術文献】

【非特許文献】

40

【0004】

【非特許文献1】Wataru Saito他 IEEE Trans. Electron Devices, p. 356-362, Vol. 53, No. 2, 2006

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の課題は、窒化物半導体のHEMT素子において、ノーマリオフ化を実現しつつ、大きなドレイン電流密度と相互コンダクタンスを確保することである。

【課題を解決するための手段】

【0006】

50

本発明者らは、リセス構造においてバリア層としてAlGa_nN層の代わりにInAlN層を用いることにより、InAlN/GaN構造のInAlN内に自発分極以外にピエゾ分極が発生させることによって、ドレイン電流密度と相互コンダクタンスが大きくなると推測して本発明に至った。すなわち、本発明によれば、以下のHEMT素子が提供される。

【0007】

[1] 基板上に少なくともチャンネル層およびバリア層が順次積層され、当該バリア層上にソース電極およびドレイン電極が形成され、少なくともバリア層が除去されたチャンネル層上に絶縁膜を介してゲート電極が形成されたMIS型GaN系HEMT素子であって、前記バリア層がIn_xAl_{1-x}N (0.05 ≤ x ≤ 0.30)である、MIS型GaN系HEMT素子。

10

【0008】

[2] 前記チャンネル層とバリア層との間にスペーサ層を設けた、前記[1]に記載のMIS型GaN系HEMT素子。

【0009】

[3] 前記チャンネル層がi-GaN、スペーサ層がAl_yGa_{1-y}N (0.80 ≤ y ≤ 1.00)である前記[1]または[2]に記載のMIS型GaN系HEMT素子。
GaN系電界効果トランジスタ。

【0010】

[4] 前記チャンネル層の形成前に、基板上にAlを含むバッファ層と、Alを含む組成傾斜層あるいはAlを含む歪超格子層の少なくとも一方が基板上に形成された、前記[1]~[3]のいずれかに記載のMIS型GaN系HEMT素子。

20

【図面の簡単な説明】

【0011】

【図1】従来のノンリセスゲートタイプのMIS型HEMT素子の断面構造を示す図である。

【図2】従来のリセスゲートタイプのMIS型HEMT素子の断面構造を示す図である。

【図3】本発明のリセスゲートタイプのMIS型HEMT素子の断面構造を示す図である。

【図4】比較例のノンリセスゲートタイプのMIS型HEMT素子の断面構造を示す図である。

30

【発明を実施するための形態】

【0012】

以下、図面を参照しつつ本発明の実施の形態について説明する。本発明は、以下の実施形態に限定されるものではなく、発明の範囲を逸脱しない限りにおいて、変更、修正、改良を加え得るものである。

【0013】

本発明において基板は、その上に形成するバッファ層(緩衝層)、組成傾斜層あるいは歪超格子層、チャンネル層、スペーサ層、バリア層の各組成あるいは形成手法に応じて適宜に選択される。例えば、基板としては、シリコン、ゲルマニウム、サファイア、炭化ケイ素、窒化ガリウム、酸化物(ZnO、LiAlO₂、LiGaO₂、MgAl₂O₄、(LaSr)(AlTa)O₃、NdGaO₃、MgO、Ga₂O₃など)、Si-Ge合金、周期律表の第3族-第5族化合物(GaAs、AlN、GaN、AlGa_nN、AlInN)、ホウ化物(ZrB₂など)、などを用いることができる。ただし、室温~1200における前記基板の熱膨張係数が基板上に形成するAlGa_nNからなる膜の熱膨張係数より小さいことが好ましく、なかでもSi基板が品質およびコストの点で好ましく、Si単結晶が特に好ましく、基板の厚みとしては0.42~1.00mmが好適である。

40

【0014】

バッファ層は、その上に形成するデバイス層の組成や構造、あるいは各層の形成手法に応じて、様々な第3族窒化物半導体からなる単一層または複数層から形成される。本発明

50

では、バッファ層は $\text{AlGa}_{1-x}\text{N}$ からなり、 x が 0.2 の 1 層または複数層からなり、合計の厚みとして $30 \sim 500 \text{ nm}$ が好ましく、 $50 \sim 150 \text{ nm}$ がより好ましい。このバッファ層は、例えば MOCVD 法や MBE 法などの公知の成膜手法にて形成される。歪や転位密度ができるだけ少ない膜構造とすることが好ましく、後に形成される膜の品質に影響するため、転位密度は $1 \times 10^{11} / \text{cm}^2$ 以下に形成することが好ましい。なお、バッファ層とチャンネル層の間に、更なる格子歪低減のため、組成傾斜層または超格子層を形成することが好ましい。組成傾斜層としては、膜成長方向に連続的に減少する、あるいは膜成長方向に膜厚 $10 \text{ nm} \sim 100 \text{ nm}$ 毎に階段状に減少することが好ましい。超格子層を形成する場合は、一方の組成が AlN であり、他方の組成が $\text{AlGa}_{1-x}\text{N}$ であり、 x が $0 \sim 0.20$ であることが好ましい。そして、超格子の一对が AlN と $\text{AlGa}_{1-x}\text{N}$ の場合、その膜厚比が $1:2 \sim 1:10$ が好ましく、 $1:3 \sim 1:5$ がより好ましい。

10

【0015】

本発明の HEMT 素子の場合、バッファ層、組成傾斜層または歪超格子層に引き続き、チャンネル層、およびバリア層が形成される。チャンネル層は $0.1 \sim 2 \mu\text{m}$ 厚の $\text{iGa}_x\text{N}_{1-x}$ で構成することが好ましい。バリア層として $1 \sim 15 \text{ nm}$ 厚、特に $5 \sim 10 \text{ nm}$ の $\text{In}_x\text{Al}_{1-x}\text{N}$ を形成することが好ましく、 In の含有量 x は $0.05 \sim 0.30$ が好ましく、 $0.1 \sim 0.2$ が特に好ましい。なお、二次元電子ガスの移動度を改善させるため、チャンネル層とバリア層との間に $0.5 \sim 1.5 \text{ nm}$ 厚の $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0.80 < y < 1.00$)、特に AlN からなるスペーサ層が形成されることがより好ましい。

20

【0016】

バリア層上に形成されるゲート電極は金属絶縁膜半導体の MIS 型であることが好ましく、ゲート電極形成前にバリア層のみ、あるいはバリア層とスペーサ層とが除去され、 iGa_xN 層上に絶縁膜として $1 \sim 20 \text{ nm}$ 厚の Al_2O_3 等の絶縁膜を形成し、さらに Pd/Ti/Au のゲート電極を形成する。

【実施例】

【0017】

(実施例 1 ~ 3 : MIS 型のリセス構造のゲート電極を形成する構造)

実施例 1 として、 8 インチ径、厚み $525 \mu\text{m}$ の (111) 面シリコン (Si) 基板の上に、バッファ層として膜厚 50 nm の AlN 層と膜厚 100 nm の $\text{Al}_{0.20}\text{Ga}_{0.80}\text{N}$ とを形成、さらに歪超格子層として膜厚 5 nm の AlN 層と膜厚 25 nm の $\text{Al}_{0.20}\text{Ga}_{0.80}\text{N}$ 層の各 100 層を交互に形成、さらにチャンネル層として膜厚 $1.5 \mu\text{m}$ の iGa_xN 層、膜厚 1 nm の AlN からなるスペーサ層、膜厚 10 nm の $\text{In}_{0.15}\text{Al}_{0.85}\text{N}$ からなるバリア層をこの順に有機金属気層成長法 (MOCVD 法) にて形成した。なお、バッファ層形成時は 1030°C 、他の層の形成時は 1130°C に基板加熱を行った。次に、ソース電極とドレイン電極を前記バリア層上に Ti/Al/Ni/Au ($15/72/12/40 \text{ nm}$) にて形成した。その後、ゲート電極形成部位をリセスさせるため、 BCl_3 をエッチングガスとした反応性イオンエッチングにて (10 sccm , 5 W , 3 Pa)、半導体表面からチャンネル層である iGa_xN 層が露出するまでエッチングを行った。次に、前記ソース電極とドレイン電極の部位を除いて、原子層オーダ一堆積法 (ALD) にて Al_2O_3 を膜厚 10 nm 形成した、さらに、前記リセス部に Pd/Ti/Au ($40/20/80 \text{ nm}$) を蒸着およびリフトオフすることでゲート電極を形成し、HEMT 素子を作製した。なお、バリア層として $\text{In}_{0.15}\text{Al}_{0.85}\text{N}$ 以外に、 $\text{In}_{0.18}\text{Al}_{0.82}\text{N}$ (実施例 2)、および $\text{In}_{0.23}\text{Al}_{0.77}\text{N}$ (実施例 3) でも、他の膜構成および電極は実施例 1 と同じ条件で素子を作製した。

30

40

【0018】

(比較例 1 : 実施例と同じ膜構成であり、MIS 型ゲート電極形成部位がノンリセス構造)

前記実施例で作製した HEMT と同じ膜構成で製膜し、さらにソース電極、ドレイン電極、絶縁膜まで同様に形成し、ゲート電極形成部位をエッチングせずにゲート電極を形成

50

した。

【0019】

(比較例2, 3: AlGa_xN/GaN HEMT構造)

バリア層に厚さ20nmのAlGa_xN層を用いたAlGa_xN/GaN HEMT構造も作製し、リセスが有り無しで特性の比較を行った。

【0020】

(ホール効果の測定)

膜構成の違いによるシート抵抗とシートキャリア密度の違いを測定した結果を表1に示す。バリア層をIn_xAl_{1-x}Nとする膜構成では、バリア層をAlGa_xNとする膜構成よりも低いシート抵抗と高いシートキャリア密度が得られた。また、In含有量Xを小さくするにつれて、低いシート抵抗と高いシートキャリア密度が得られた。

10

【0021】

【表1】

| | バリア層組成 | シート抵抗 (Ω/□) | シートキャリア密度 (×10 ¹³ cm ⁻²) | 移動度 (cm ² /Vs) |
|------|---|----------------|--|------------------------------|
| 実施例1 | In _{0.15} Al _{0.85} N/GaN | 195 | 2.9 | 1120 |
| 実施例2 | In _{0.18} Al _{0.82} N/GaN | 205 | 2.1 | 1470 |
| 実施例3 | In _{0.23} Al _{0.77} N/GaN | 280 | 1.7 | 1320 |
| 比較例 | Al _{0.2} Ga _{0.8} N/GaN | 424 | 1.2 | 1210 |

【0022】

20

次に、リセス構造にて、バリア層組成のIn_xAl_{1-x}NにおいてXを変化させ、リセスのない構造とHEMT素子特性を比較した結果を表2に示す。その結果、リセス構造、かつバリア層がIn_xAl_{1-x}Nの場合にドレイン電流密度と相互コンダクタンスがともに大きい値が得られた。特に、In量Xが0.18以下の場合に、ドレイン電流と相互コンダクタンスをともに大きくする効果大きい。バリア層がIn_xAl_{1-x}Nであっても、リセス構造でない場合はノーマリオフにならず、またバリア層がAlGa_xNの場合はリセス構造の有無にかかわらず、ドレイン電流と相互コンダクタンスはともに小さい。

【0023】

【表2】

(Wg/Lg=15/1.5 μm)

| | | ドレイン電流 (mA/mm) | 相互コンダクタンス (mS/mm) | しきい値電圧 (V) | オン抵抗 (Ωmm) |
|------|--|-------------------|----------------------|---------------|---------------|
| 実施例1 | In _{0.15} Al _{0.85} N/GaN リセス有り | 1392 | 185 | +2.3 | 2.51 |
| 実施例2 | In _{0.18} Al _{0.82} N/GaN リセス有り | 1419 | 170 | +2.3 | 2.55 |
| 実施例3 | In _{0.23} Al _{0.77} N/GaN リセス有り | 996 | 150 | +2.2 | 2.89 |
| 比較例1 | In _{0.18} Al _{0.82} N/GaN リセス無し | 1500 | 180 | -6.0 | 1.94 |
| 比較例2 | Al _{0.2} Ga _{0.8} N/GaN リセス無し | 530 | 105 | -2.9 | 8.8 |
| 比較例3 | Al _{0.2} Ga _{0.8} N/GaN リセス有り | 300 | 79 | +2.4 | 19.2 |

30

40

【産業上の利用可能性】

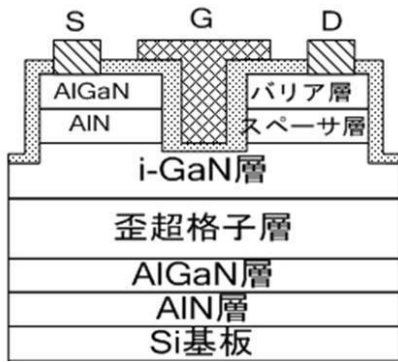
【0024】

本発明はノーマリオフ型HEMT素子に用いられる。

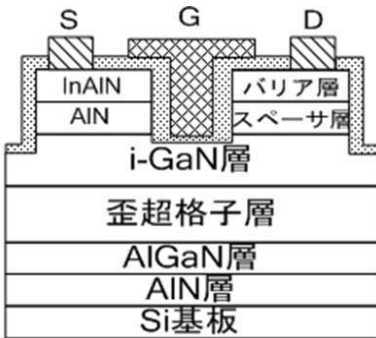
【図1】



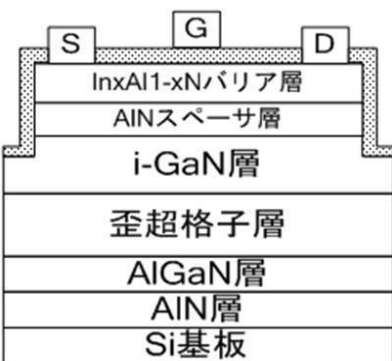
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78 (2006.01)

Fターム(参考) 5F110 AA08 BB12 CC05 DD01 DD04 DD05 DD12 EE02 EE04 EE15
EE43 FF01 FF12 FF27 GG04 GG06 GG19 GG20 GG22 GG24
GG44 HK02 HK03 HK04 HK08 HK22
5F140 AA05 AC36 BA01 BA02 BA03 BA05 BA06 BA07 BA16 BA20
BB06 BB18 BC12 BD11 BE03 BE09 BF05 BF17 BF21 BF25
BJ07 BJ11 BJ15 CE02